

THESE

présentée en vue de l'obtention du titre de

DOCTEUR

de

**L'ECOLE NATIONALE SUPERIEURE
DE L'AERONAUTIQUE ET DE L'ESPACE**

SPECIALITE : Microélectronique, Capteurs d'Images

par

Yavuz DEGERLI

**Etude, modélisation des bruits
et conception des circuits de lecture
dans les capteurs d'images à pixels actifs CMOS**

Soutenue le 6 octobre 2000 devant la Commission d'Examen :

MM.	J. GRAFFEUIL	Président
	F. LAVERNHE	
	G. LECOY	Rapporteur
	P. MAGNAN	Directeur de thèse
	P. MARCHEGAY	Rapporteur
	O. SAINT-PE	

Titre :

Etude, modélisation des bruits et conception des circuits de lecture dans les capteurs d'images à pixels actifs CMOS.

Résumé :

Ce travail porte sur l'amélioration des performances en bruit et sur la conception de circuits de lecture de capteurs d'images à pixels actifs CMOS à destination des applications scientifiques. La première partie est consacrée à l'étude et à la modélisation du bruit temporel de la chaîne de lecture du capteur. Cette étude nous permet de définir des règles de conception réduisant le bruit de ces circuits. Des circuits de test ont été réalisés sur une technologie CMOS 0.7 μm , afin de valider les résultats obtenus. Le deuxième axe porte sur la conception de circuits analogiques de lecture et de traitement du signal effectuant l'extraction du signal utile, l'amplification, et la correction de bruit spatial fixe de colonnes, intégrés sur la même puce que la matrice photosensible ainsi que l'analyse de leurs performances. Trois circuits ont été réalisés sur une technologie CMOS 0.7 μm : le premier est un amplificateur à capacités commutées (c.c.) élémentaire, le second un amplificateur à c.c. à compensation de la tension de décalage, et le troisième un filtre passe-bande actif commutable. Ils permettent des vitesses de lecture jusqu'à 10 Mpixel/sec. Une analyse théorique détaillée de la réponse des circuits au bruit blanc et au bruit en $1/f^\alpha$, en considérant la nature non-stationnaire des signaux de sortie, est présentée. Les résultats expérimentaux et théoriques sont comparés. Finalement un nouveau circuit de lecture du signal des colonnes est proposé et développé afin de réduire le bruit spatial fixe de colonnes. Il nécessite un seul amplificateur de colonne commun à toute une matrice de pixels. Les effets des non-idéalités des composants réels sur les performances de ce circuit sont étudiés et des solutions sont proposées et discutées afin de les minimiser. Les résultats expérimentaux ainsi que les problèmes rencontrés sur un circuit de test, comprenant 128x128 pixels et réalisé sur une technologie CMOS 0.6 μm , sont présentés.

Mots clés :

Capteur d'images, APS, double échantillonnage corrélé, circuit de lecture, capacités commutées, bruit thermique, bruit en $1/f$, filtre passe-bande actif commutable, modèle diffusif.

Title :

Design of readout circuitry and analysis of temporal noise in CMOS active pixel image sensors

Abstract :

This work is focused on the improvement of noise performances and the design of readout circuitry of CMOS active pixels sensors. In the first part of this thesis, the analytical noise analysis of correlated double sampling (CDS) readout circuits used in CMOS active pixel image sensors is presented. Both low frequency noise and thermal noise are considered. The results allow us to optimize the MOS transistor dimensions and capacitor values for lower noise, with the help of SPICE-based circuit simulators. Test circuits were fabricated on a CMOS 0.7 μm process to validate the results. A good agreement was observed between experimental and analytical results. Then, three analog signal processing circuits are proposed for CMOS active pixel imagers, used to extract the signal level proportional to the incident light, amplify it, and to suppress the column FPN (Fixed Pattern Noise). They are based on a fully differential cascode operational transconductance amplifier, and implemented on a CMOS 0.7 μm process: the first is an uncompensated SC (Switched Capacitor) voltage amplifier; the second an offset-compensated SC amplifier, and the third a commutable band-pass filter. They offer up to 10Mpixels/s readout rates. A detailed theoretical analysis of the amplifiers response to white noise and low frequency noise is given, considering the non-stationary nature of the output signals. A method based on diffusive Markovian representation of $1/f^\alpha$ -noise is used. The theoretical results are compared with experimental data. Finally, a new column readout circuit is presented. The proposed circuit is simple and requires only one output amplifier. It is based on capacitor ratios rather than MOS transistor matching, reducing the column FPN. The effects of the imperfections of the components on the performance of the circuit are investigated. Experimental results obtained on a test circuit comprising an 128x128 pixels array designed on a CMOS 0.6 μm process are discussed.

Keywords :

APS, CMOS image sensor, correlated-double sampling, CDS, thermal noise, $1/f$ noise, flicker noise, readout circuit, switched-capacitor circuit.

Remerciements...

Les travaux présentés dans ce mémoire ont été effectués au sein du laboratoire de recherche **CIMI** (Conception d'Imageurs Matriciels Intégrés) de l'Ecole Nationale Supérieure de l'Aéronautique et de l'Espace (**SUPAERO**) à Toulouse.

Tout d'abord, je tiens à remercier les membres du jury, tout particulièrement Monsieur **Jacques GRAFFEUIL**, Professeur à l'Université Paul Sabatier à Toulouse, qui m'a fait l'honneur de le présider. Tous mes remerciements vont également à Messieurs **Gilles LECOY**, Professeur à l'Université Montpellier II, et **Philippe MARCHEGAY**, Professeur et Directeur de l'Ecole Nationale Supérieure d'Electronique et de Radioélectricité de Bordeaux, pour avoir accepté d'être les rapporteurs de cette thèse. Je suis très reconnaissant envers Monsieur **Olivier SAINT-PE**, ingénieur R&D, spécialiste des détecteurs à **ASTRIUM SAS** (anciennement Matra Marconi Space) à Toulouse, pour sa participation au jury de cette thèse.

Je remercie Monsieur **Jean FARRE**, Professeur à SUPAERO, fondateur du Laboratoire CIMI, et à la retraite depuis peu de temps, avec qui mes rapports furent aussi divers qu'enrichissants... Il n'a jamais douté un seul instant que je deviendrais ministre...

Je remercie Monsieur **Pierre MAGNAN**, Professeur à SUPAERO, nouveau responsable du Laboratoire CIMI, et directeur de cette thèse, pour sa disponibilité et toutes les vives discussions que l'on a pu avoir, avec qui je partage le même intérêt pour la littérature scientifique...

Je tiens à remercier Monsieur **Francis LAVERNHE**, Professeur en classe préparatoire aux grandes écoles au Lycée Déodat de Séverac, Toulouse, et Professeur associé à SUPAERO, qui m'a dirigé tout au long de ce travail, pour toutes les discussions fructueuses aussi bien scientifiques que politiques, historiques (histoire des turcs...), sociales, religieuses, etc. J'ai toujours eu grand plaisir à travailler avec lui...

Je voudrais remercier mes compagnons de bureau, les thésards actuels du laboratoire CIMI, **Anne GAUTRAND** (fraîchement doctoresse...), **Cécile MARQUES** (et son copain Eric...), **Stéphan MAËSTRE** (et ses CDs sanguinaires...), ainsi que mes voisins de bureau, heureux dans leur salle aujourd'hui climatisée, **Franck CORBIERE** (et ses questions à 2 francs...), **Philippe MARTIN-GONTHIER**, les ingénieurs CIMI, pour les moments agréables qu'on a passés ensemble, pour les pauses-café, etc...

N'oublions pas non plus les ex-thésards du CIMI : **Cyril CAVADORE**, monsieur l'astronome, maintenant spécialiste des détecteurs CCD à l'ESO (European Southern Observatory) à Munich, pour les soirées qu'on a passées à l'école à découvrir le logiciel CADENCE..., ainsi que **Johannes SOLHUSVIK**, monsieur PHOTOBIT-Norvège, pour son aide au début de ma thèse.

Je tiens à remercier tous les stagiaires et thésards actuels et anciens du Département d'Electronique, Optronique et Physique à SUPAERO, et plus spécialement **Olivier TICO**, **Magali MENARDO**, **Christophe MOORLAS**, **Somsak AKATIMAGOOL**, **René J. LANDRY**, **Carlos MIRANDA**, **Patrick SCUDIER**, **Jean-Marie EVENOU**, **Magali ESTRIBEAU**, **Philippe MAURY** et tous ceux qui ne sont pas cités ici, pour les moments agréables qu'on a passés ensemble...

Je voudrais en particulier remercier :

Monsieur **André BOURRICAUD**, chef du Laboratoire d'Electronique, ainsi que les techniciens, **Etienne PERRIN**, **Francisco FRANCHETTI**, **Thierry SOULET**, **Francis FROIN**, **Gérard ROOU**, et les autres, **Fabien DESTIC**, ingénieur de recherche, pour leur aide concernant tous les problèmes techniques,

Pascal GOUJON, qui a toujours su trouver des solutions à tous mes problèmes informatiques (ou presque...),

Vincent CALMETTES et son épouse **Béatriz BOTERO**, **Philippe GUILLOT**, pour leur amitié,

Monsieur **Serge BERTRAND**, responsable de la bibliothèque de SUPAERO, pour avoir acheté sans trop râler les 150 bouquins que l'on a commandés, et pour son aide à monter la bibliothèque-bis au CIMI,... ainsi que le personnel de la bibliothèque, Monsieur **Michel REGESTE** et Madame **Odile RITEAU**,

Richard FABRE, et **Christian TAKALI** (pour leurs compétences photographiques...),

Ilker YALÇIN, élève ingénieur à SUPAERO, pour son amitié et son aide concernant la rédaction du manuscrit,

Mes potes en Turquie, surtout ceux qui n'ont pas cessé de m'envoyer des mails,

Enfin, mes derniers remerciements vont à ma famille, et à mon papa qui nous a quittés et n'a pas pu voir la fin de ce travail...

A ma famille.

A la mémoire des victimes du séisme catastrophique
en Turquie (août 1999).

Table des matières

Introduction	1
Chapitre I :	
Les Capteurs d'images du CCD à l'APS : Aspects généraux et bruit	5
1.1 Le capteur CCD	5
1.2 Le capteur APS	8
1.2.1 Introduction	8
1.2.2 Architecture générale d'une matrice APS	9
1.2.2.1 Le pixel	9
1.2.2.2 Circuits de lecture colonne	15
1.2.2.3 Décodeurs d'adresses	17
1.2.2.4 Chronogramme de lecture de l'APS	18
1.3 Aspects généraux sur le bruit	20
1.3.1 Généralités	20
1.3.2 Bruit temporel	22
1.3.2.1 Terminologie	22
1.3.2.2 Bruit thermique	24
1.3.2.3 Bruit de grenaille	25
1.3.2.4 Bruit en $1/f$ (bruit de scintillement ou "flicker noise")	26
1.4 Sources de bruit dans l'APS	27
1.4.1 Bruit de grenaille généré par les photons (bruit photonique)	27
1.4.2 Courant d'obscurité et bruit de grenaille généré par le courant d'obscurité	27
1.4.3 Bruit fixe (ou spatial) de la chaîne de lecture	28
1.4.4 Bruit temporel de lecture	30
Chapitre II :	
Analyse et réduction du bruit temporel de la chaîne de lecture du capteur APS	35
2.1 Introduction	35
2.2 Modèles de bruit pour le transistor MOS	40
2.2.1 Modèles de bruit thermique	41
2.2.2 Modèles de bruit en $1/f$	42

2.3 Analyse de la DSP de bruit total des suiveurs	43
2.3.1 Suiveur NMOS du pixel	43
2.3.2 Suiveur PMOS de colonne	45
2.4 Analyse du bruit RMS de sortie avec le procédé CDS	47
2.4.1 Effet du CDS sur la variance de sortie	47
2.4.2 Contribution du suiveur NMOS de pixel	51
2.4.3 Contribution des suiveurs PMOS de colonne	52
2.4.4 Contribution du transistor de reset ou remise à zéro (M_{RST})	52
2.4.5 Bruit différentiel total de sortie et bruit ramené à l'entrée avec le procédé CDS	53
2.5 Analyse du bruit RMS de sortie sans le procédé CDS	54
2.6 Circuits de test et banc de mesure	55
2.7 Résultats et discussions	56
2.7.2 Influence de la largeur du canal (W_I)	57
2.7.3 Influence de la longueur du canal (L_I)	58
2.7.4 Influence du courant de polarisation (I_{bias})	59
2.7.5 Influence de la capacité de diffusion effective (C_{eff})	61
2.7.6 Influence de la capacité d'échantillonnage (C_{ref} ou C_{sig})	62
2.7.7 Bruit de reset (ou bruit kT/C)	63
2.8 Conclusions	63
Chapitre III :	
Conception de circuits de traitement pour la chaîne de lecture du capteur APS	69
3.1 Introduction	69
3.2 Présentation des circuits	72
3.2.1 Amplificateur de tension à c.c. élémentaire	74
3.2.2 Amplificateur de tension à c.c. à compensation de la tension de décalage de l'OTA	76
3.2.3 Filtre passe-bande actif commutable	77
3.3 Réalisations des circuits	80
3.4 Equations d'état des circuits	81
3.5 Analyse des réponses en bruit	84
3.5.2 Analyse de la réponse en bruit blanc	88
3.5.3 Analyse de la réponse au bruit en $1/f^\alpha$	91

3.6 Réalisation d'un générateur de bruit en $1/f^\alpha$	99
3.7 Conclusions	102
Chapitre IV :	
Circuits de lecture colonne à faible bruit spatial fixe pour le capteur APS	107
4.1 Introduction	107
4.2 Présentation du circuit de lecture du signal des colonnes	109
4.3 L'amplificateur opérationnel	111
4.4 Circuit de test	113
4.5 Effets des non-idéalités des composants utilisés	116
4.5.1 Capacités parasites	117
4.5.1.1 Capacité parasite du bus de sortie	117
4.5.1.2 Capacités parasites associées aux armatures des capacités réalisées en CMOS	117
4.5.1.3 Analyse de la fonction de transfert du circuit en présence des capacités parasites	117
4.5.1.4 Réduction des effets des capacités parasites	121
4.5.2 Problèmes liés aux interrupteurs	123
4.5.2.1 L'injection de charge ("charge injection")	123
4.5.2.2 L'injection d'horloge ("clock feedthrough")	124
4.5.2.3 Bruit kT/C	124
4.5.2.4 Réduction des effets non-idéaux des interrupteurs	125
4.5.3 Bruit de l'OTA	126
4.6 Conclusions	128
Chapitre V :	
Conclusions et perspectives	131
Annexe - 1	
A1.1 Bruit du suiveur NMOS du pixel échantillonné sur la capacité C_S (C_{ref} ou C_{sig})	139
A1.2 Gain DC des suiveurs	140
Annexe - 2	
A2.1 Calcul des effets du gain statique fini et de la tension de décalage de l'OTA sur la tension de sortie de l'amplificateur de tension élémentaire	141
A2.2. Calcul des effets du gain statique fini et de la tension de décalage de l'OTA sur la tension de sortie de l'ampli. de tension à c.c. à compensation de la tension de décalage	143

Introduction

Les capteurs d'images à transfert de charges (CCDs) inventés au début des années 70 ont quasiment remplacés les tubes à vides, les vidicons par exemple, dans tous les domaines de l'imagerie visible, aussi bien pour les applications grand public que pour l'imagerie scientifique.

Au début des années 90, un nouveau type de capteur d'images à l'état solide, appelé APS (active pixel sensor ou capteur d'images à pixels actifs) a été étudié par plusieurs laboratoires au Japon et aux Etats-Unis, et notamment par le Jet Propulsion Laboratory (JPL) en Californie [1]. Ce capteur, réalisé sur les technologies CMOS, offre plusieurs avantages par rapport aux CCDs, à savoir : faible consommation en puissance, coût de fabrication réduit, possibilité d'intégrer des circuits de traitement sur la même puce que le capteur (d'où miniaturisation du système), possibilité d'effectuer des lectures rapides, etc.

L'introduction de l'APS a également stimulé les recherches sur tous les types d'imageurs CMOS, dont certains existaient bien avant les CCDs. Ils sont sur le point de remplacer les CCDs dans plusieurs domaines. Parmi les applications diversifiées dont le nombre ne cesse d'augmenter, on peut citer par exemple le domaine grand public (caméscopes, multimédia, photographie numérique, jouets, caméras intégrées sur divers appareils portables...), le secteur d'automobile (anti-collision, guidage...), le domaine industriel (identification, contrôle industriel...), les applications nécessitant des vitesses de lectures très élevées (balistique, sport, "crash-tests" pour les automobiles, analyse d'explosion, etc.), et également le domaine scientifique et militaire (senseurs stellaires utilisés pour positionner les satellites, imagerie médicale, guidage, etc.) [2]-[4]. Des caméras numériques commerciales réalisées sur une seule puce ont été déjà présentées par plusieurs sociétés, avec des résolutions et des vitesses de lectures dépendant des applications, allant de quelques dizaines à quelques centaines d'images par seconde [5]-[10].

Aujourd'hui les recherches dans les imageurs CMOS sont orientées vers l'amélioration des performances électro-optiques du capteur (réduction du bruit temporel, du bruit spatial, et du courant d'obscurité,

augmentation de l'efficacité de détection , etc...), ainsi que vers l'intégration des circuits de traitement de plus en plus performants sur la même puce que le capteur.

En France, le groupe de recherche C.I.M.I. (Conception d'Imageurs Matriciels Intégrés) de SUPAERO (Ecole Nationale Supérieure de l'Aéronautique et de l'Espace) a démarré des recherches sur le concept APS en 1995, et s'intéresse plus particulièrement aux applications spatiales en collaboration avec des industriels et des grands organismes scientifico-industriels.

C'est dans ce contexte qu'une partie importante de cette thèse a été consacrée à l'étude et la réduction du bruit temporel du capteur APS, qui est l'un des problèmes limitant les performances à faible flux du capteur. Le deuxième axe porte sur la conception de circuits analogiques de lecture et de traitement de signal, intégrés sur la même puce que le capteur.

Dans ce manuscrit, le travail effectué durant la thèse n'est pas présenté dans l'ordre chronologique. Les chapitres sont assez indépendants les uns des autres, et organisés de telle sorte que le lecteur s'intéressant à l'un des sujets présenté dans un chapitre ne soit pas obligé de lire tout le reste du manuscrit. Afin de faciliter leur accès, les références bibliographiques sont placées à la fin de chaque chapitre.

Le capteur APS et son fonctionnement, ainsi que les notions de base sur le bruit temporel et spatial, sont présentés dans le Chapitre I. Les autres chapitres font souvent référence à ce dernier.

Les travaux de cette thèse ont débuté par la réalisation de trois circuits de traitement intégrés pour la chaîne de lecture de l'APS. Ils assurent l'extraction et l'amplification du signal utile issu du capteur, proportionnel au flux lumineux incident, ainsi que la correction du bruit spatial fixe de colonnes. Ces circuits seront présentés dans le Chapitre III. Puis une étude théorique et la caractérisation expérimentale des réponses non-stationnaires en bruit blanc et en bruit basse fréquence de ces circuits ont été effectuées, qui sont également présentées dans le même chapitre. Les calculs de réponses en bruit de ce chapitre sont basés sur la résolution numérique des équations stochastiques différentielles. Pour le bruit en $1/f^\alpha$, nous avons appliqué le modèle diffusif développé dans les références [11][12].

Ensuite on s'est intéressé à la modélisation, présentée dans le Chapitre II, du bruit temporel généré par la chaîne de lecture. Les méthodes de calculs de bruit utilisées dans ce chapitre sont basées sur les densités spectrales de bruit et les fonctions de transfert. Les résultats théoriques et expérimentaux nous ont permis de réduire le bruit temporel, en optimisant les dimensions des composants, sans modifier la technologie CMOS standard utilisée.

Les recherches conduites en parallèle à ces études de bruit nous ont conduits à un nouveau circuit de lecture du signal des colonnes pour le capteur APS, qui présente certains avantages par rapport au circuit de lecture classique. Ce circuit est présenté dans le Chapitre IV. Les problèmes rencontrés sur un premier circuit de prototype et des améliorations possibles à apporter dans le prolongement de cette thèse sont également discutés.

Le dernier chapitre, Chapitre V, plus court, donne les perspectives dans le futur proche, ainsi que les difficultés à surmonter en termes de bruit et de dynamique pour réaliser des capteurs APS performants avec des circuits de traitement analogiques intégrés, sur les technologies CMOS submicroniques fonctionnant sous des tensions d'alimentation inférieures à 1V.

Bibliographie :

- [1] E.R. Fossum, "Active pixel sensors: Are CCD's dinosaurs?," in *Charge Coupled Devices and Solid-State Optical Sensors III, Proceedings of SPIE*, vol. 1900, 1993, pp. 1-13.
- [2] E.R. Fossum, "Assessment of image sensor technology for future NASA missions," in *Charge-Coupled Devices and Solid State Optical Sensors IV, Proceedings of SPIE*, vol. 2172, 1994, pp. 38-53.
- [3] Photobit Co., [Online] <http://www.photobit.com/>.
- [4] M. Schanz *et al.*, "A high-dynamic-range CMOS image sensor for automotive applications," *IEEE Journal of Solid-State Circuits*, vol. 35, no. 7, July 2000, pp. 932-938.
- [5] S.G. Smith *et al.*, "A single-chip CMOS 306×244-pixel NTSC video camera and a descendant coprocessor device," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 12, December 1998, pp. 2104-2111.
- [6] M.J. Loinaz *et al.*, "A 200-mW, 3.3-V, CMOS color camera IC producing 352x288 24-b video at 30 Frames/s", *IEEE Journal of Solid-State Circuits*, vol. 33, no. 12, December 1998, pp. 2092-2103.
- [7] S. Agwani *et al.*, "A 1/3-inch VGA CMOS imaging system on a chip", *Proc. 1999 IEEE Workshop on Charge Coupled-Devices and Advanced Image Sensors*, Nagano, Japan, pp. 21-24.
- [8] B. Mansoorian *et al.*, "A 250mW, 60 frames/s 1280x720 pixel 9b CMOS digital image sensor", in *1999 IEEE International Solid-State Circuits Conference (ISSCC) Digest of Tech. Papers*, San Francisco, pp. 312-313.
- [9] A. Krymski *et al.*, "A high speed, 500 Frames/s, 1024x1024 CMOS active pixel sensor", in *1999 Symposium on VLSI Circuits Digest of Tech. Papers*, Kyoto, Japan, pp. 137-138.
- [10] N. Stevanovic *et al.*, "A CMOS image sensor for high-speed imaging", in *2000 IEEE International Solid-State Circuits Conference (ISSCC) Digest of Tech. Papers*, San Francisco, pp. 104-105.
- [11] F. Lavernhe and J. Solhusvik, "Fractional noises: Diffusive model for CCD imager band-pass acquisition chain," in *Fractional Differential Systems, ESAIM Proceedings*, vol. 5, December 1998 (Paris), pp. 119-130.
- [12] F. Lavernhe, G. Montseny and J. Audounet, "Markovian diffusive representation of $1/f^\alpha$ noises and applications to fractional stochastic differential models," *IEEE Transactions on Signal Processing*, vol. 49, no. 2, February 2001, pp. 414-423 (to be published).

Chapitre I

Les Capteurs d'Images du CCD à l'APS : Aspects Généraux et Bruit

1.1 Le capteur CCD [1][2]

Le dispositif à transfert de charges ou capteur CCD (Charge Coupled Device) a été inventé en 1970 par W.S. Boyle et G.E. Smith dans les Laboratoires Bell [3]. Il est basé sur une capacité MOS (Métal-Oxyde-Semiconducteur) dont la grille est polarisée (voir Figure I.1). Cette tension de polarisation provoque un dépeuplement des trous P sous la grille de la capacité MOS. La lumière traverse l'électrode de la capacité MOS et une génération d'une paire électron-trou se produit. Sous l'effet du champ, le photoélectron est attiré sous la grille et le trou repoussé dans le volume du substrat.

Chaque pixel est constitué d'une ou plusieurs grilles et les photoélectrons une fois collectés sont transférés verticalement d'une ligne à une autre à l'aide de plusieurs phases d'horloges (de 2 à 6 phases ϕ_V) vers un registre horizontal. Ensuite, ces charges sont transférées horizontalement par des phases d'horloge ϕ_H vers l'étage de sortie, dont le but est de convertir les photoélectrons en une tension.

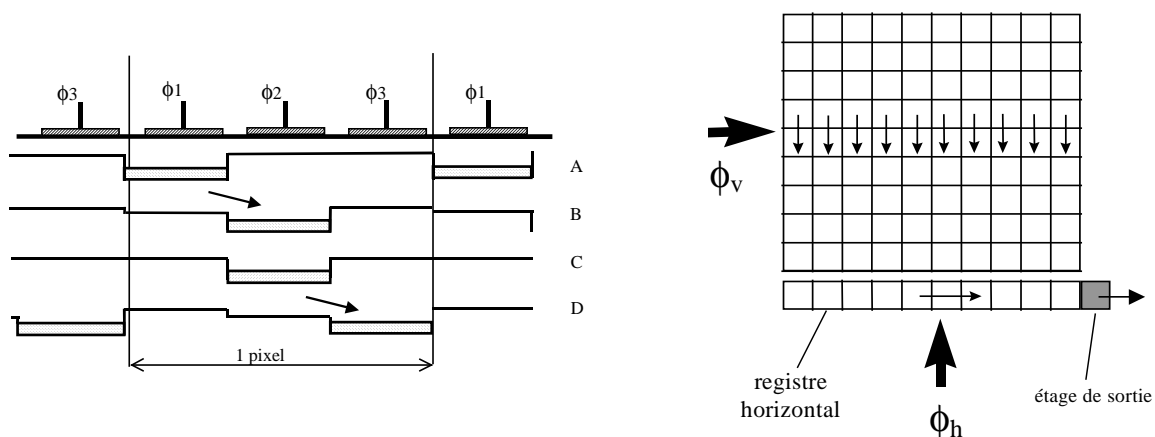


Figure I.1 : (a) CCD avec transfert de charges à trois phases, (b) Exemple de lecture d'un CCD pleine trame.

Deux types d'étages de sortie sont principalement utilisés pour les capteurs CCDs, l'étage à grille flottante et l'étage à diffusion flottante [4]. L'étage à grille flottante permet de lire le signal plusieurs fois sans

détruire le signal (lecture non destructive). Ainsi, on peut sommer les échantillons jusqu'à un niveau où le rapport signal/bruit est suffisant pour pouvoir utiliser l'image. Cette méthode permet donc d'obtenir une très bonne sensibilité. L'inconvénient est qu'il faut en général un grand nombre d'échantillons pour éliminer le bruit, ce qui mène à un temps de lecture relativement long. C'est pourquoi la plupart des CCDs utilisent la structure à diffusion flottante (ou diode flottante) qui est illustrée dans la Figure I.2.

Ce type d'étage de sortie est dit à diffusion flottante (ou diode flottante) car le potentiel de la diode (N+/P) est flottant lorsque le transistor de reset M_{RST} n'est pas activé (c'est-à-dire lorsque ϕ_{RST} est au niveau bas). La capacité de transition (ou dépeuplement) de la diode, préchargée à un niveau de référence V_{dr} par l'intermédiaire de M_{RST} , reçoit, par injection, des charges électriques en provenance d'un pixel du CCD. Un étage suiveur, ayant un gain voisin de l'unité, permet de récupérer ("lire") le signal aux bornes de la diode flottante sans la perturber.

Le fonctionnement de cet étage de sortie est le suivant (cf. chronogramme, Figure I.2) :

- A l'instant T_0 : $\phi_{RST} = \text{niveau haut} \Rightarrow$ initialisation de la diode de sortie, c'est-à-dire pré-chargement de la capacité à la tension V_{dr} donnant en sortie un niveau V_{reset} .
- A l'instant T_1 : $\phi_{RST} = \text{niveau bas} \Rightarrow$ le transistor M_{RST} est bloqué et on garde le niveau de référence (le décalage est dû au couplage capacitif entre l'entrée et la sortie du transistor M_{RST}).
- A l'instant T_2 : $\phi_{L2} = \text{niveau bas} \Rightarrow$ injection de charges dans la diode de sortie, ce qui induit une diminution de la tension de sortie ($\Delta V = V_{ref} - V_{sig}$).
- A l'instant T_0' : le phénomène recommence pour lire le pixel suivant.

En conclusion, le signal à la sortie d'un CCD comprend 3 paliers par période d'un pixel : (i) le palier de reset, (ii) le palier de référence et (iii) le palier de signal. Le signal utile, proportionnel au flux reçu par le capteur, est représenté par la différence ΔV entre le niveau de référence et le niveau de signal.

Le but de la chaîne d'acquisition est donc de mesurer ΔV le plus précisément possible, malgré le bruit qui se superpose au signal. Une technique de mesure différentielle portant le nom de **double échantillonnage corrélé** (ou Correlated Double Sampling – **CDS**) [5] permet d'éliminer le bruit thermique généré par le transistor M_{RST} lors de la phase de reset et stocké sur la capacité équivalente à la diode flottante. Pour une tension V_d appliquée en inverse aux bornes d'une diode N+/P, la valeur de cette capacité est définie ci-dessous [6] :

$$C_d(V_d) = \sqrt{\frac{q \cdot \epsilon_{si} \cdot N_A}{2 \cdot \left(V_{bi} + V_d - \frac{2kT}{q} \right)}} \cdot A_d \quad (1.1)$$

- C_d : capacité du détecteur photodiode polarisé en inverse (F),
 q : charge élémentaire ($1,6 \times 10^{-19}$ C),
 ϵ_{si} : permittivité du silicium (10^{-12} F/cm),
 N_A : concentration des dopants P (atomes/cm³),
 V_{bi} : tension interne ("built-in") de la diode (V),
 V_d : tension inverse aux bornes de la diode (V),
 A_d : surface de la diode (cm²).

Cette formule montre que la valeur de cette capacité est proportionnelle à la surface et, de plus, varie avec V_d .

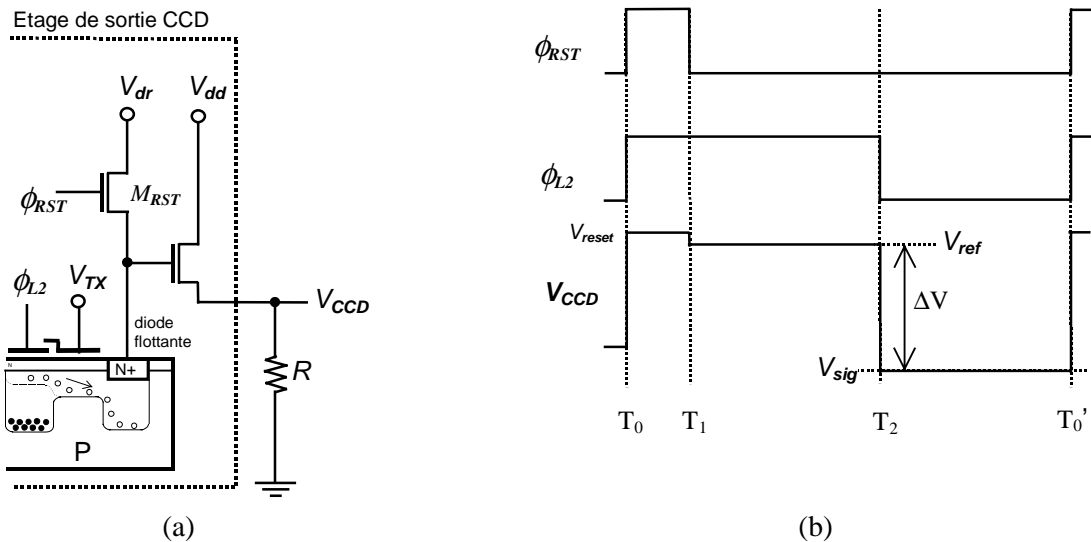


Figure I.2 : (a) L'étage de sortie d'un capteur CCD avec (b) le chronogramme de lecture associé.

Le capteur CCD a atteint aujourd'hui sa maturité et est utilisé dans toutes les applications d'imagerie, aussi bien dans le domaine grand public que scientifique, comme par exemple, l'astronomie, l'imagerie médicale ou la photographie d'art numérique. On peut trouver dans le commerce des CCDs très performants, avec un nombre de pixels allant jusqu'à 7Kx9K (soit 63 millions de pixels), un rendement quantique de 90%, un bruit de lecture inférieur à 1 électron, et des courants d'obscurité de l'ordre de 5pA/cm^2 . Néanmoins, l'usage d'une technologie spécifique au CCD augmente considérablement le coût de fabrication de ce capteur et réduit les possibilités d'intégration des fonctions de traitement.

1.2 Le capteur APS

1.2.1 Introduction

Les capteurs PPS (Passive Pixel Sensor ou capteur d'images à pixels passifs, appelé aussi "capteur d'images MOS-XY" [4]) existaient même avant l'invention du CCD [7], cependant les performances de ces capteurs sont loin d'être satisfaisantes pour les applications faible flux, en raison principalement du niveau de bruit très élevé (typiquement supérieur à 250 électrons) [8]. De nos jours les capteurs PPS sont toujours utilisés dans les applications grand public, et il existe toujours des travaux effectués sur ce type de capteur, en raison de sa simplicité et son taux de remplissage dans le pixel élevé [9][10].

Le progrès de la microélectronique de ces dernières années, a ouvert la possibilité de réaliser de nouvelles structures photosensibles sur des technologie CMOS qui apportent certains avantages par rapport aux CCDs. L'un de ces capteurs est le capteur APS (Active Pixel Sensor ou capteur d'image à pixels actifs) CMOS, introduit par plusieurs laboratoires au début des années 90 [11], et qui est très prometteur aussi bien pour l'imagerie faible flux que pour les applications grand public [12][13].

Le concept APS consiste à associer à chaque pixel du détecteur photosensible, des transistors actifs amplifiant le signal à proximité du capteur élémentaire, afin d'éliminer les problèmes dus au transfert des charges rencontrés dans les matrices CCD classiques (voir Figure I.3). Il permet aussi, à l'aide de transistors de sélection, d'adresser directement chaque pixel.

Le capteur d'image APS présente, par rapport aux capteurs CCDs, plusieurs avantages :

- Accès aléatoire et fenêtrage possible,
- Vitesse de lecture élevée,
- Procédé de fabrication CMOS standard à très grande diffusion (technologie des microprocesseurs et des mémoires),
- La lecture de toute une colonne n'est pas inhibée par un pixel défectueux,
- Possibilité d'intégrer l'électronique de séquençement et de traitement sur la même puce que le capteur,
- Faible consommation de puissance (20 - 50 mW) et tension d'alimentation standard (5V – 1.2V),
- Possibilité de profiter de l'augmentation régulière de la finesse de la technologie pour réaliser des matrices de grande taille.

La réalisation de capteurs d'images "intelligents" (ou "caméra sur une seule puce") comprenant des photodétecteurs, des amplificateurs, convertisseur analogique-numérique, séquenceur et des circuits de traitement sur la même puce que le capteur, est donc possible [12], [14]-[16].

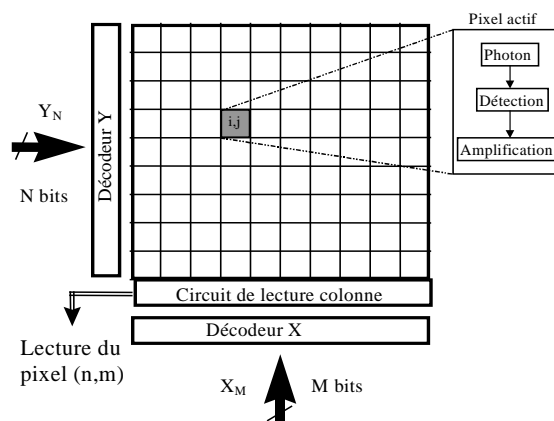


Figure I.3 : Structure de base d'un capteur d'images à pixels actifs où chaque pixel est pourvu d'une partie photosensible et de son amplificateur.

1.2.2 Architecture générale d'une matrice APS

L'organisation et le fonctionnement de la matrice APS avec la chaîne d'acquisition associée seront expliqués brièvement.

1.2.2.1 Le pixel

Dans cette partie seront présentés la structure et le fonctionnement des pixels utilisés actuellement dans les capteurs APS. Il existe deux types de structure principales pour la partie photosensible du capteur : la photodiode et le photoMOS. Ce sont les deux structures qui sont étudiées au Laboratoire CIMI (Conception d'Imageurs Matriciels Intégrés), à SUPAERO [17]-[21].

A. Pixel Photodiode

i) Principe de base

La photodiode est une jonction P/N polarisée en inverse, qui génère un courant lorsqu'elle est éclairée par un flux photonique. La technologie CMOS permet de concevoir des photodiodes simples basées sur une

structure N+/P, dont la région P correspond au substrat et la région N+ est fabriquée de la même manière qu'un drain ou une source de transistor NMOS.

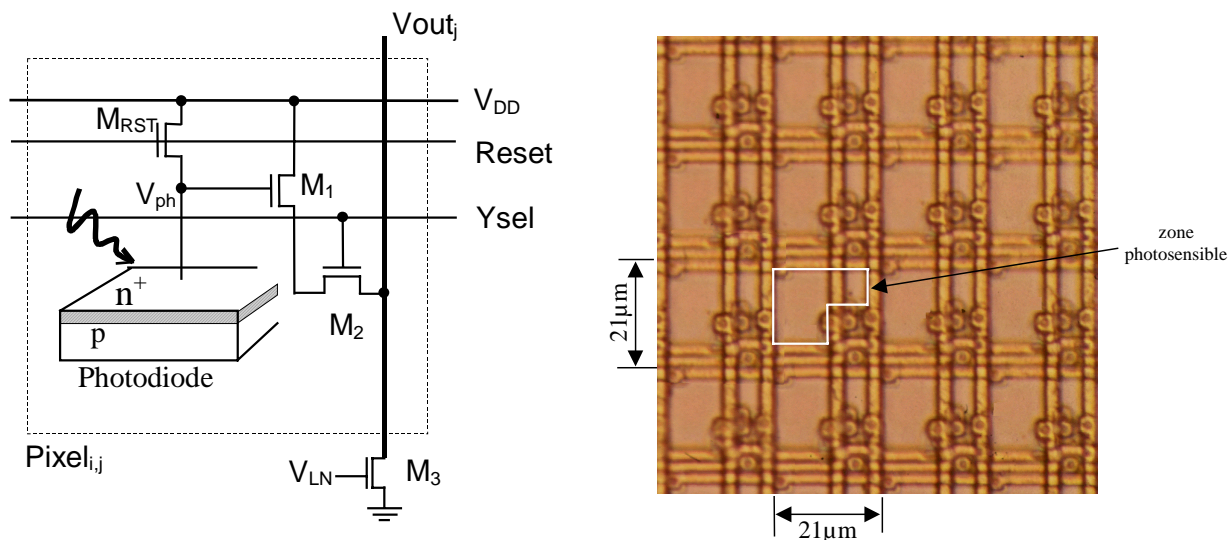


Figure I.4 : (a) Schéma d'un pixel APS à base de photodiode, (b) Microphotographie d'un groupe de 4x4 pixels photodiodes réalisé sur une technologie Alcatel Microelectronics CMOS 0.7µm.

ii) Structure photodiode dans le pixel

La Figure I.4 montre la structure d'un pixel à photodiode. Ce pixel comporte une photodiode et 3 transistors. M_{RST} est utilisé pour initialiser la photodiode en début d'intégration. Les transistors M_1 - M_3 forment un suiveur dont l'objectif est d'amplifier la tension de la photodiode et de l'acheminer via un bus vertical vers les circuits analogiques de traitement. L'avantage apporté par ce suiveur est la sortie à basse impédance du signal de la photodiode. La polarisation des transistors M_1 et M_2 est effectuée pour toute une colonne de pixel par un transistor de charge M_3 , placé en bas de chaque colonne. Afin d'éviter le mélange des signaux sur le bus analogique colonne, le transistor M_2 effectue la sélection du pixel de la ligne à lire.

iii) Fonctionnement

Le chronogramme du pixel peut se résumer ainsi (Figure I.5) : au début de l'intégration, le transistor M_{RST} est mis en position fermé pour initialiser la photodiode, ensuite ce transistor est relâché et la mesure du niveau de reset est effectuée (V_{ref}), l'intégration fait chuter la tension de la diode et en fin d'intégration le

niveau de signal (V_{sig}) est mesuré. La différence de ces deux signaux donne une tension proportionnelle à l'éclairement.

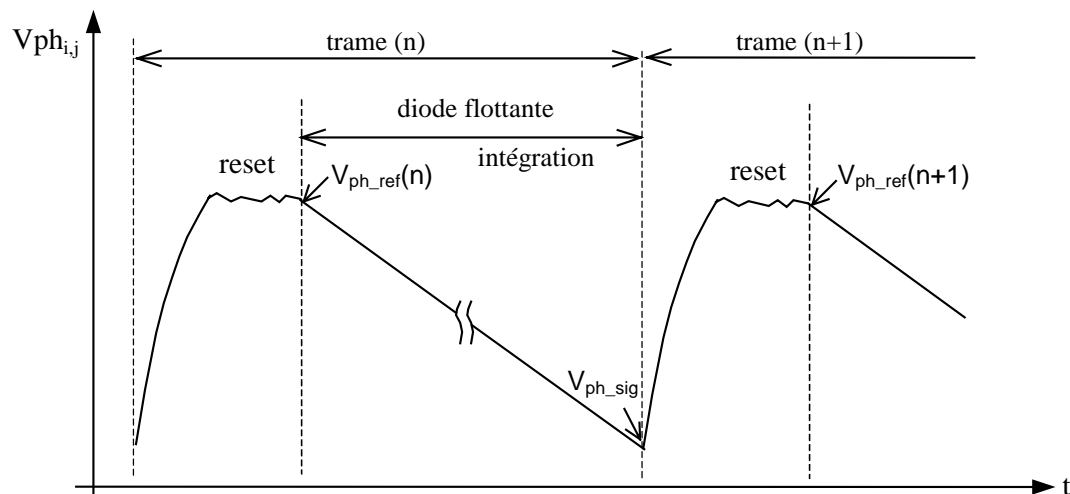


Figure I.5 : Allure de la tension sur la photodiode du pixel de la figure I.4.

Cependant, dans le cas de l'intégration d'un pixel photodiode dans une matrice APS, le CDS ne peut pas être réalisé aisément. Cela tient au fait que la photodiode sert à la fois de photosite et de point de lecture du signal et qu'électriquement la diode n'est pas isolée du lieu où sont collectés les photons. Pour réaliser le CDS, il faudrait réussir à mémoriser en début d'exposition pour chaque pixel la valeur analogique de V_{ref} . Une solution consistant à numériser les signaux V_{ref} (CDS numérique), de toute la matrice est possible, mais reste très lourde à mettre en œuvre, un tel dispositif étant difficilement envisageable à cause de la complexité du système et du coût supplémentaire associé à la surface nécessaire pour une éventuelle intégration sur la puce.

D'un point de vue plus pratique, on réalise un double échantillonnage (non corrélé !) qui consiste à lire successivement le niveau de signal résultant de l'intégration de la trame (n), puis après "reset" du pixel, le niveau de référence de la trame suivante. Ce type de lecture permet de s'affranchir des différences de tensions de seuil de chaque pixel. Malheureusement, le bruit thermique généré par le transistor M_{RST} n'est pas éliminé.

B. Pixel PhotoMOS

i) Principe de base

Alors que la photodiode utilise une jonction P/N, permettant une conversion directe des charges en tension, le détecteur photoMOS est basé sur une structure MOS ou jonction par effet de champ. L'application d'une tension positive provoque initialement un régime de dépeuplement profond, hors de l'équilibre thermodynamique (Figure I.6).

La zone de charge d'espace sous la grille constitue un puits de potentiel, capable de collecter et de retenir des charges photoniques (électrons). La structure consiste en un substrat de silicium dopé P, une couche d'oxyde mince (SiO_2) et une grille en polysilicium (c'est-à-dire du silicium polycristallin fortement dopé au phosphore et rendu très conducteur).

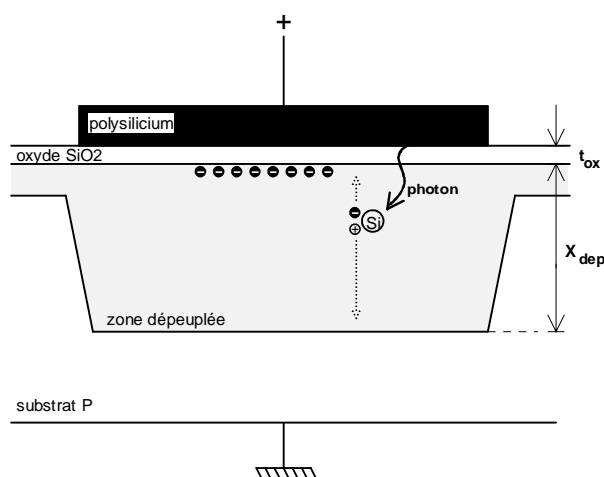


Figure I.6 : Structure d'un détecteur photoMOS en dépeuplement profond.

Le même type de structure est utilisé dans les capteurs CCDs, car la structure photoMOS est capable non seulement de détecter et stocker des charges mais également de les transférer latéralement d'une capacité MOS à une autre située à une distance très proche en appliquant une séquence de polarisations appropriées sur les grilles comme pour un CCD.

La technologie de fabrication CMOS produit des structures de grilles de transistors NMOS complètement assimilables à une structure photoMOS. Autrement dit, le détecteur photoMOS est réalisé comme une grille NMOS de grande surface.

ii) Structure photoMOS dans le pixel

La réalisation dans le pixel de la structure photoMOS est illustrée Figure I.7. Une photo-grille définit la zone de collection des charges et les transistors M_{RST} et M_1 - M_3 ont respectivement les mêmes fonctions que ceux illustrés dans le pixel photodiode. La source du transistor M_{TX} , commune avec celle du transistor M_{RST} , constitue la diode de lecture, élément de conversion charge-tension.

Le nombre de lignes de commandes du pixel est plus important par rapport au pixel photodiode, et le taux de remplissage dans le pixel est réduit.

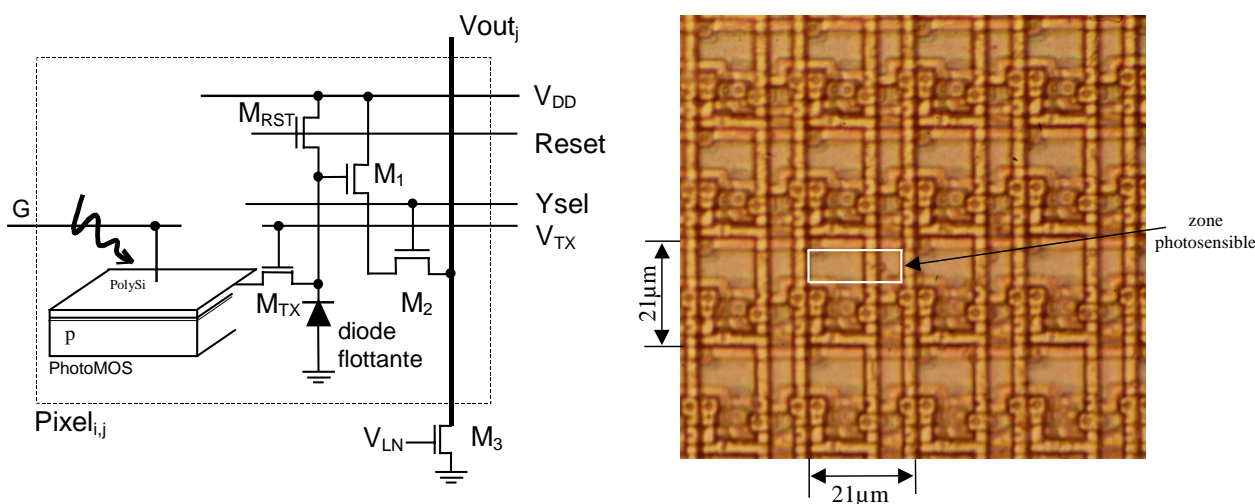


Figure I.7 : (a) Schéma électrique d'un pixel APS photoMOS, (b) Microphotographie d'un groupe de 4x4 pixels photoMOS réalisé sur une technologie Alcatel Microelectronics CMOS $0.7\mu m$.

iii) Fonctionnement

Une coupe longitudinale d'un pixel actif photoMOS sur substrat P pendant la phase d'intégration des charges est illustrée Figure I.8 .

La commande PG est portée au potentiel positif V_{DD} , permettant la création d'une zone dépeuplée de profondeur X_{dep} , les photons traversent la grille du photoMOS et créent des paires électrons trous dans le

volume. Sous l'effet du champ électrique, les trous sont repoussés dans le substrat et les électrons s'accumulent en surface sous la grille du photoMOS. Le rôle du transistor M_{TX} est d'isoler ces électrons de la diode de lecture FD. Le potentiel de TX est généralement fixé autour de 2V.

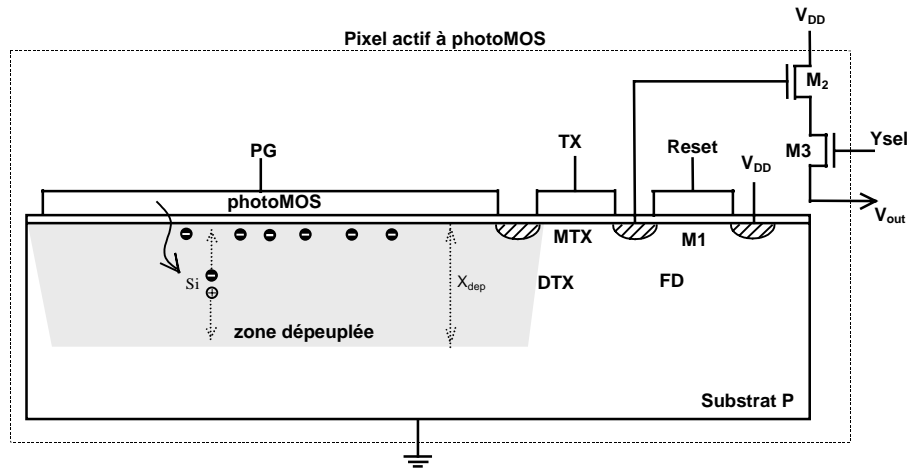


Figure I.8 : Coupe d'un pixel photoMOS pendant l'intégration des charges

Une fois l'intégration terminée, la diode de lecture est rendue flottante en désactivant le transistor de reset M_{RST} par un signal numérique, le niveau de référence est mesuré et les charges sont transférées sur FD en établissant PG à 0V. Les charges traversent alors M_{TX} et vont décharger la diode de lecture, produisant un autre niveau de tension. La différence des deux signaux produit une chute de tension ΔV sur V_{out} définie par :

$$\Delta V = N_e \frac{qA_1}{C_{fd}} = N_e C_{vf} \tag{1.2}$$

- ΔV : différence entre la valeur de référence et la valeur du signal à la sortie du pixel (V),
- N_e : nombre d'électrons photoniques accumulés dans le photoMOS,
- A_1 : gain DC en tension du suiveur dans le pixel (≈ 0.8),
- C_{fd} : capacité de la diode de lecture (F),
- C_{vf} : facteur de conversion (V/électron).

Le facteur de conversion C_{vf} est une donnée très importante, il donne la tension produite par un photoélectron capté par le pixel, et détermine la sensibilité.

Le pixel photoMOS présente l'avantage d'avoir un niveau de bruit de lecture très faible, par rapport à la photodiode. En effet, avec ce pixel, la technique CDS est réalisable et le bruit thermique généré par le transistor M_{RST} et échantillonné sur la diode de lecture est éliminé. De plus, C_{fd} pouvant être rendu très faible (quelques fF), des valeurs élevées de facteurs de conversion peuvent être atteintes (typiquement 10 à $20 \mu V/e^-$). La relation (1.2) est valable également pour les pixels de type photodiode, mais dans ce cas, C_{fd} représente la capacité de la photodiode (plusieurs dizaines de fF) ce qui conduit à des facteurs de conversion souvent inférieurs à $1 \mu V/e^-$.

1.2.2.2 Circuits de lecture colonne

Le circuit de lecture du signal des colonnes utilisé actuellement dans la plupart des APS (Figure I.9) a été proposé dans la référence [13]. C'est un circuit complètement symétrique, implanté dans chaque colonne de la matrice. Les transistors M_5 - M_7 forment un suiveur PMOS. Le transistor M_7 (et son symétrique M_7') est une source de courant, il est unique pour toute la matrice, alors que M_5 et M_6 sont présents pour chaque colonne de la matrice APS. La tension V_{LP} fixe le courant de polarisation de ce suiveur.

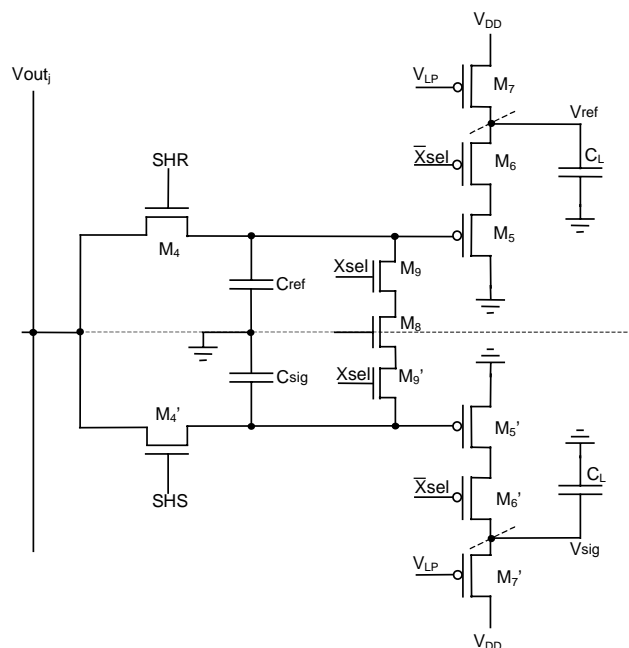


Figure I.9 : Circuit de lecture CDS d'une colonne de la matrice APS (les transistors M_7 et M_7' sont à l'extérieur de la colonne et communs à toute la matrice).

Le suiveur NMOS, qui est utilisé dans les pixels, procure une tension qui est décalée vers le bas par rapport à la tension d'entrée. Lorsque la tension à l'entrée du suiveur venant de la diode flottante du pixel (V_{in}) varie entre 3 et 4 volts, le niveau correspondant en sortie (V_{out_j}) varie entre 1 et 2 volts environ, ces valeurs sont stockées aux bornes de C_{ref} et C_{sig} de 1pF environ. Les tensions sur C_{ref} et C_{sig} sont donc amplifiées ("bufférisées") avec des suiveurs PMOS au lieu de NMOS parce que cette plage de tensions à l'entrée d'un éventuel suiveur NMOS produirait une réponse non linéaire.

Le signal V_{out_j} correspondant au pixel sélectionné de chaque colonne est échantillonné en deux temps : d'abord le palier de référence V_{ref} sur la capacité C_{ref} grâce à l'ouverture du transistor M_4 par le signal global SHR, ensuite le palier de signal V_{sig} sur la capacité C_{sig} en activant le transistor M_4' par le signal SHS.

Une fois cette opération réalisée, les adresses des colonnes (X) sont balayées pour que chaque colonne produise à la sortie de la puce la paire de signaux V_{sig} et V_{ref} de chaque pixel de la ligne lue. Les suiveurs PMOS séparent sur deux voies, les tensions V_{sig} et V_{ref} du signal V_{out_j} qui contenaient séquentiellement le palier de signal et le palier de référence.

Cette chaîne permet le double échantillonnage corrélé. A l'extérieur de la puce, la différence des deux signaux V_{sig} et V_{ref} doit être réalisée et ainsi que la conversion analogique-numérique.

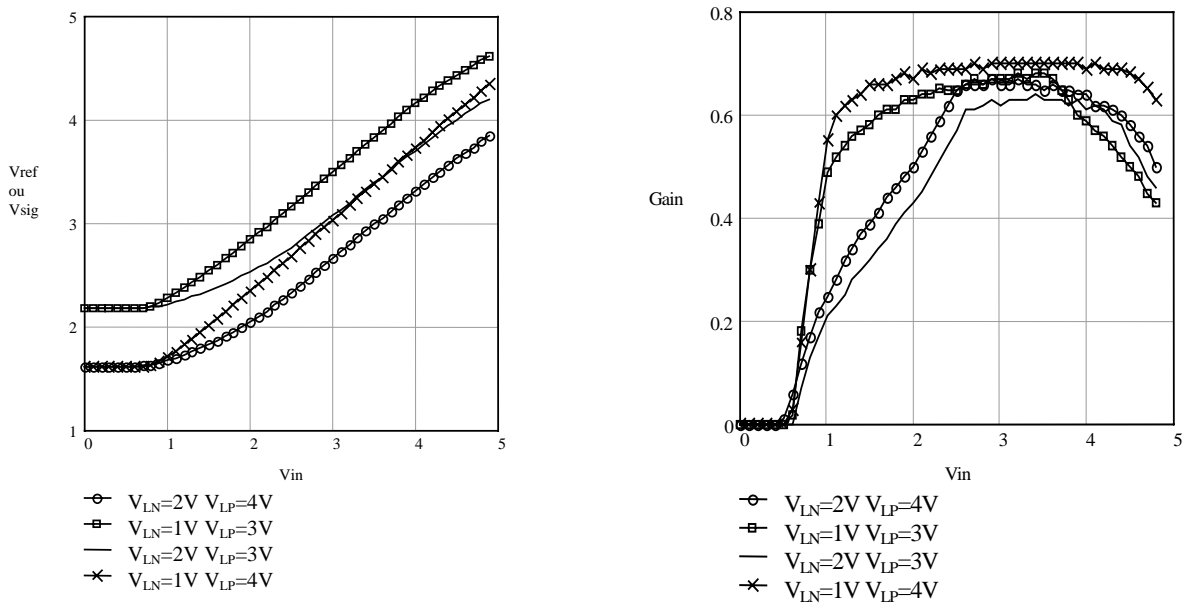


Figure I.10 : (a) Simulation DC, V_{ref} en fonction de V_{in} pour plusieurs polarisations V_{LN} et V_{LP} , (b) Gains respectifs et variations en fonction de V_{in} .

Les Figure I.10a et Figure I.10b montrent respectivement les caractéristiques statiques par rapport à V_{in} et le gain statique à la sortie de l'ensemble de la chaîne de lecture du pixel (M_1 à M_7). La configuration qui produit le moins de variations de gain en fonction de V_{in} est celle où $V_{LN}=1V$ et $V_{LP}=4V$. Dans le cas où $V_{LP}=4V$, le courant est 15 fois moins important que pour $V_{LP}=3V$. Cependant en terme de bande passante, il s'avère que la configuration avec un courant plus faible de polarisation sera bien moins rapide que celle à fort courant.

La configuration "normale" ($V_{LN}=2V$ et $V_{LP}=3V$) montre qu'avec une charge de $6pF$ des fréquences pixels de l'ordre de $20Mpixels/sec.$ peuvent être aisément atteintes, mais au détriment de la linéarité. Si on décide de travailler avec $V_{LN}=1V$ et $V_{LP}=4V$, pour atteindre cette fréquence, la charge devra être diminuée à $1pF$ ce qui est très difficile à réaliser en pratique, compte tenu des diverses capacités parasites (plots de la puce, etc.). Il est plus raisonnable de penser qu'avec cette polarisation et une charge de $6pF$, une fréquence de $3-4 Mpixels/sec.$ pourra être atteinte. En conclusion, un compromis doit être trouvé en fonction de l'application.

Le rôle des transistors M_8, M_9, M_9' et du signal CB illustrés Figure I.9 sera décrit dans la partie 1.4.3.

Le dessin de la chaîne de lecture de colonnes, réalisé sur le logiciel CADENCE, est illustré Figure I.11.

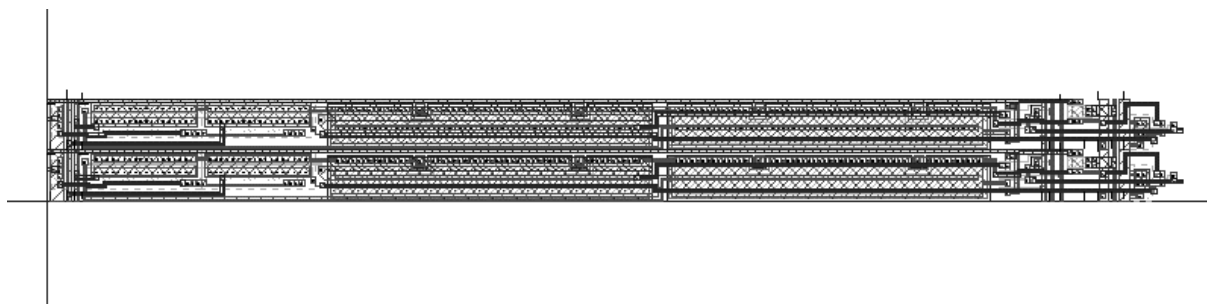


Figure I.11 : Dessin de 2 circuits de lecture CDS aboutés.

1.2.2.3 Décodeurs d'adresses

Les décodeurs d'adresses acceptent N bits à l'entrée et sélectionnent ainsi une des (2^N-1) colonnes ou des (2^N-1) lignes (pour une matrice $N \times N$). Le schéma électrique du décodeur d'adresses en Y est donné dans la Figure I.12 dans le cas du photoMOS. Ce circuit est valable pour les matrices à photoMOS. Le schéma est quasiment identique pour la matrice à photodiodes à l'exception du signal PG qui n'est pas utilisé. Les

lignes d'adresses Y_0 - Y_{N-1} , ainsi que les deux signaux de commande PG et RST, viennent de l'extérieur du circuit. Par conséquent, une seule ligne horizontale peut être adressée à la fois.

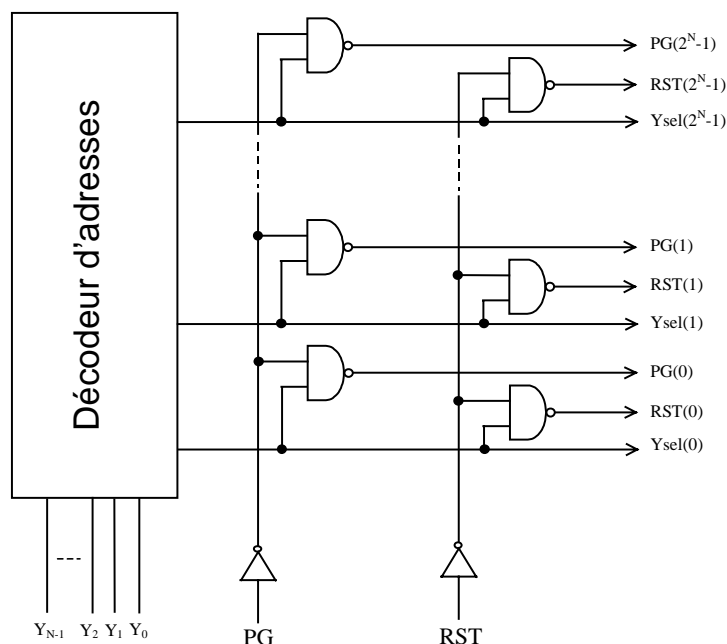


Figure I.12 : Schéma du décodeur d'adresses Y et de la partie logique associée aux signaux de commande (cas du photoMOS).

1.2.2.4 Chronogramme de lecture de l'APS

Le chronogramme de lecture diffère suivant le type de pixel. La Figure I.13a représente le chronogramme d'un APS photoMOS, et la Figure I.13b celui d'un APS photodiode.

Pour le photoMOS, lorsqu'une ligne est sélectionnée, toutes les lignes non adressées de la matrice se trouvent en phase d'intégration. La ligne sélectionnée continue également à intégrer jusqu'à ce que le signal PG passe à l'état bas. Dans le cas de la photodiode, les pixels intègrent tout le temps, sauf quand le signal RST est à l'état haut.

Lors de la lecture, l'information de la ligne sélectionnée Y_N est transférée vers les capacités C_{ref} et C_{sig} du circuit CDS. Pour le photoMOS, les valeurs des tensions V_{ref} sont échantillonnées en activant le signal SHR, après avoir bloqué les transistors de reset des pixels sélectionnés (par un état bas sur le RST externe). Ensuite, PG passe à l'état bas pour terminer l'intégration et permettre le transfert des charges vers la diode de lecture, et le signal SHS échantillonne l'ensemble des valeurs du niveau de signal V_{sig} .

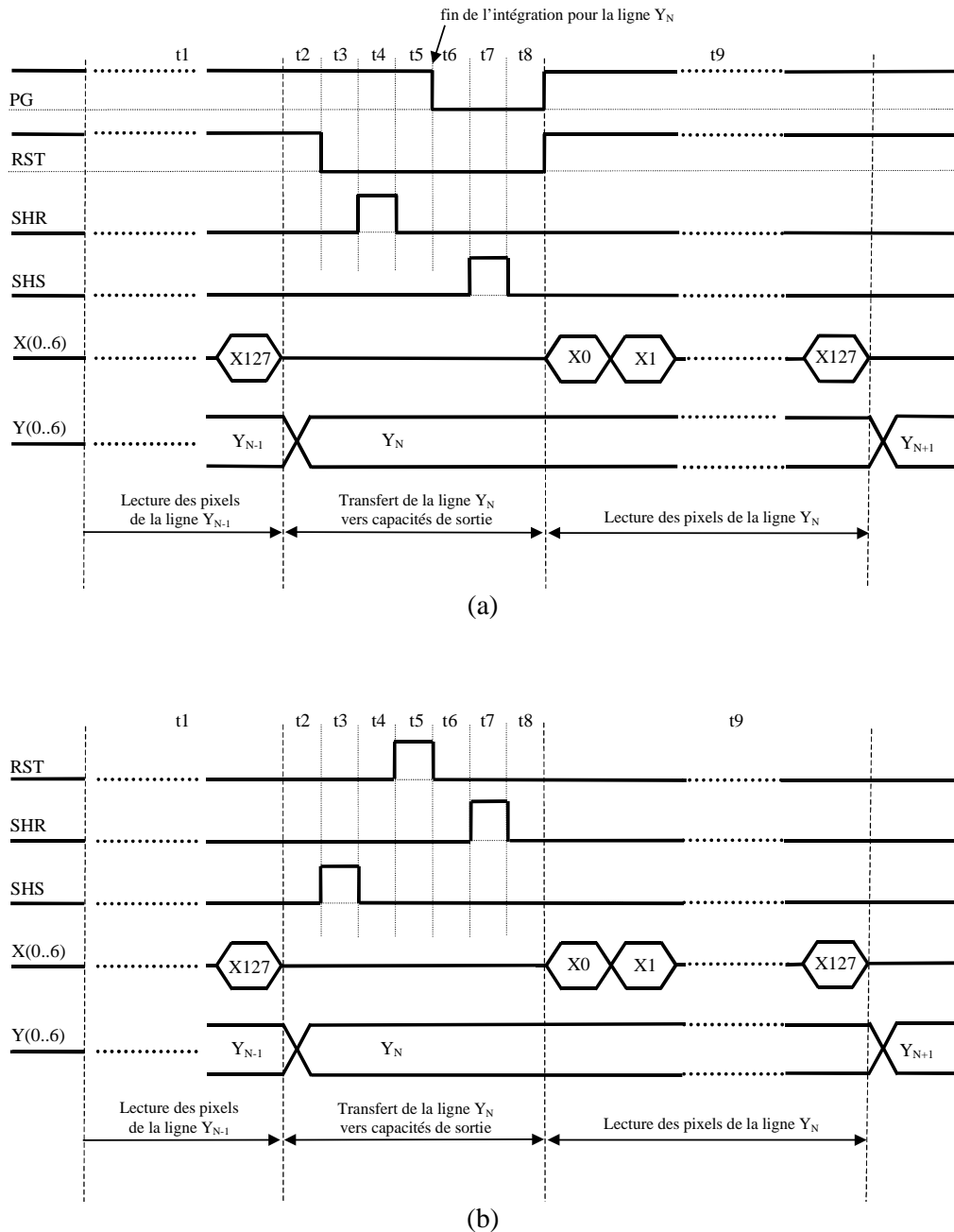


Figure I.13 : Chronogramme de lecture d'une matrice APS 128x128 (a) PhotoMOS, et (b) Photodiode.

Dans le cas de la photodiode, le signal V_{sig} est échantillonné en premier suivi du signal V_{ref} . Il est important de rappeler qu'il s'agit du V_{ref} correspondant à la trame suivante.

La dernière étape consiste à lire chaque pixel de la ligne transférée lors de la phase précédente. Il suffit pour cela de sélectionner chaque pixel en incrémentant le décodeur d'adresse X. Après la lecture du dernier pixel X_N , la ligne Y_{N+1} est adressée et le cycle recommence.

Les microphotographies de certaines parties d'une puce APS 256x256 pixels photoMOS, réalisée sur une technologie *Alcatel Microelectronics CMOS 0.7μm*, ainsi qu'une image produite avec ce capteur à 50kpixels/sec. sont représentées dans la Figure I.14 [19]. Dans la Figure I.14a, on remarque les décodeurs X et Y, les circuits de lecture colonnes, une partie de la zone photosensible, les plots d'entrées et de sorties de la puce. La Figure I.14b montre un groupe de 9x4 pixels. Le pas du pixel est 19μm.

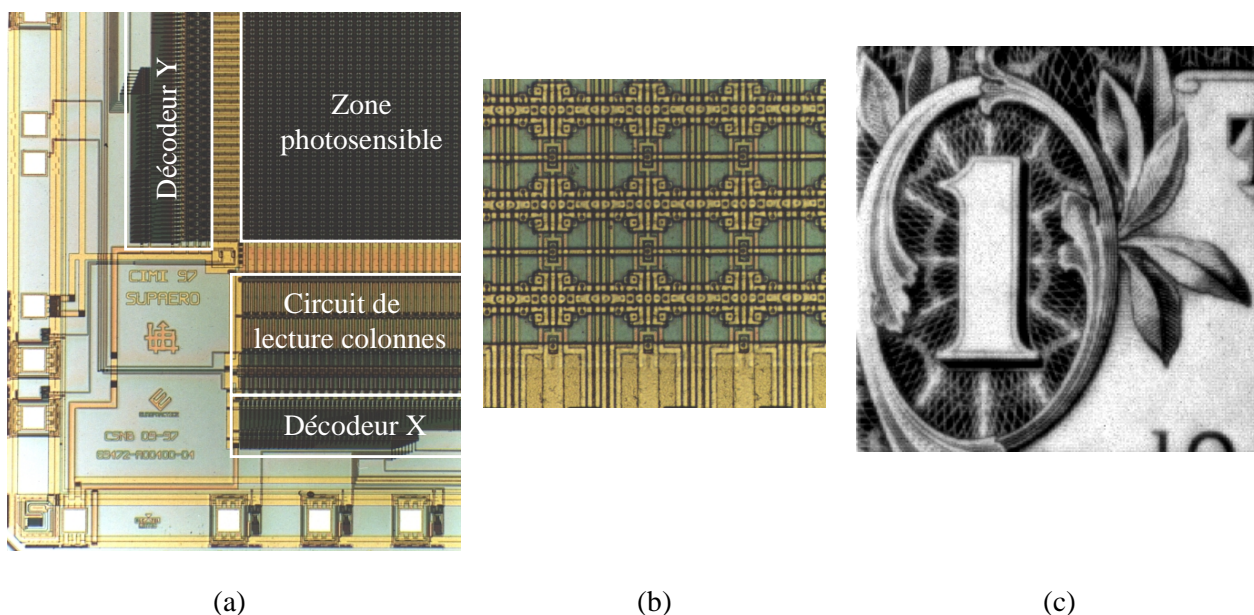


Figure I.14 : (a) Photographie de la puce d'une matrice APS 256x256 pixels photoMOS réalisée sur une technologie *Alcatel Microelectronics CMOS 0.7μm*, (b) photographie de la partie photosensible de la même puce, (c) image produite par ce capteur à 50kpixels/sec.

1.3 Aspects généraux sur le bruit [22]-[27]

1.3.1 Généralités

Dans la littérature des circuits et systèmes électroniques, le terme "bruit" est souvent utilisé pour désigner n'importe quel signal aléatoire non désiré mais présent dans le système.

Le niveau de signal le plus haut traitable par un système est déterminé par les caractéristiques de ce système, et le niveau le plus bas par le bruit.

Afin d'augmenter la dynamique à l'entrée d'un capteur d'images, par exemple celle d'un APS, deux méthodes sont possibles : la première consiste à réduire le niveau de bruit et améliorer la dynamique vers les faibles niveaux de flux et la seconde à augmenter le niveau de saturation à l'entrée et donc étendre la dynamique vers les forts niveaux d'éclairement. Etant donné que ce travail est orienté vers les applications spatiales, le plus souvent à faible flux lumineux, la méthode qui a été choisie est la première. Les méthodes pour augmenter le niveau de saturation¹ sont décrites dans la référence [28].

Les sources de bruit peuvent être internes ou externes au système. Par exemple, le bruit thermique généré par les résistances ou composants actifs d'un circuit intégré constitue une source de bruit interne, et le bruit provenant de l'environnement à travers les interférences électromagnétiques ou électrostatiques une source de bruit externe. L'interférence électromagnétique peut aussi se produire entre divers composants appartenant au même système. Dans les circuits intégrés, par exemple, les parasites générés par les commutations des circuits numériques peuvent se propager grâce aux couplages électromagnétiques, aux pistes d'alimentations ou au substrat, en dégradant les performances des circuits analogiques qui se trouvent sur la même puce.

Le bruit interne, dit "bruit électrique" ou "bruit électronique", est un phénomène physique dû aux petites fluctuations du courant ou de la tension des composants utilisés dans les circuits intégrés.

Les perturbations dues aux sources de bruits externes peuvent aussi altérer le fonctionnement des circuits électroniques, dans certains cas elles peuvent être même dominantes par rapport aux bruits internes. Néanmoins, elles peuvent être réduites considérablement en utilisant certaines méthodes de conception [30]-[32]:

- réalisation de dessins de puce soigneux,
- séparation des alimentations des circuits numériques et celles des circuits analogiques,
- isolation des parties analogiques sensibles du reste du système,
- utilisation de structures de circuit différentielles symétriques.

Ces considérations seront prises en compte lors de la réalisation des circuits présentés dans les chapitres suivants.

¹ Pour une application de ce type, voir par exemple la référence [29].

Par contre, les bruits électriques, comme le bruit thermique, le bruit de grenaille, ou le bruit de scintillement, sont inhérents au fonctionnement du composant et ne peuvent pas être éliminés en utilisant ces méthodes. Ces types de bruit déterminent donc le niveau de signal le plus bas traitable par le système, par exemple, le niveau d'éclairement le plus faible détectable par un capteur APS. C'est ce type de bruit qui sera étudié dans le Chapitre II.

Le bruit étant un phénomène totalement aléatoire, sa valeur efficace ou RMS (Root Mean Square) ainsi que sa moyenne peuvent être estimées et mesurées.

Pour effectuer une analyse du bruit dans les circuits électriques, la fluctuation du courant est décrite comme un signal aléatoire de puissance finie. Ce signal a une valeur quadratique moyenne $\overline{i^2}$, mesurée dans une bande de fréquence Δf . Par contre, sa valeur instantanée $i(t)$ ne peut pas être estimée.

1.3.2 Bruit temporel

1.3.2.1 Terminologie

En désignant par $x(t)$ un signal aléatoire *réel* de puissance finie, centré en général [V ou A], et en notant

$S_x(f)$: la densité spectrale de puissance de bruit [V^2/Hz ou A^2/Hz],

$\overline{x^2} = \sigma_x^2$: la puissance du bruit ou variance [V^2 ou A^2].

σ_x : l'écart type du signal aléatoire (exprimé en V_{rms} ou A_{rms}),

$E[x(t)]$: l'espérance mathématique ou moyenne du signal aléatoire [V ou A],

$R_x(\tau)$: la fonction de corrélation ou autocorrélation du signal aléatoire stationnaire $x(t)$,

$R_{xy}(\tau)$: la fonction d'intercorrélation des signaux aléatoires stationnaires $x(t)$ et $y(t)$,

$x^*(t)$: le complexe conjugué d'un signal aléatoire complexe $x(t)$,

on peut établir les définitions suivantes :

Une **fonction aléatoire stationnaire** représente un phénomène aléatoire qui dépend du temps, mais dont les grandeurs statistiques n'en dépendent pas. Ainsi si $x(t)$ est "stationnaire au sens strict", toutes ses

propriétés statistiques sont invariantes dans tout changement de l'origine du temps. De même, $x(t)$ est "stationnaire au sens large" ou "faiblement stationnaire" (WSS – wide sense stationary), si ses moments du premier et deuxième ordre sont invariants dans tout changement de l'origine du temps.

La **densité spectrale de puissance bilatérale** (DSP) $S_x(f)$ d'un signal aléatoire $x(t)$ est la densité de répartition de la puissance σ_x^2 du processus aléatoire sur l'axe des fréquences : c'est une fonction réelle, positive et paire.

La puissance $\overline{x^2}$ du bruit est calculée par :

$$\overline{x^2} = \int_{-\infty}^{+\infty} S_x(f) df$$

$S_x(f) df$ est la puissance moyenne du signal dans la bande de fréquence df .

L'**espérance mathématique** $E[x]$ (ou la moyenne) d'un signal aléatoire $x(t)$ est définie de la moyenne d'ensemble suivante :

$$E[x(t)] = \int_{-\infty}^{+\infty} x(t) p(x) dx$$

où $p(x)$ est la densité de probabilité de x . Dans le cas des processus ergodiques (donc stationnaires), cette moyenne d'ensemble peut être remplacée par une moyenne temporelle :

$$E[x] = \lim_{T \rightarrow \infty} \frac{1}{T} \int_{-T/2}^{+T/2} x(t) dt$$

Ces expressions peuvent être généralisées aux moments d'ordre n .

La **fonction d'autocorrélation** est définie de la façon suivante :

$$R_x(\tau) = E[x(t) \cdot x^*(t - \tau)]$$

et la **fonction d'intercorrélation** des signaux aléatoires $x(t)$ et $y(t)$ par :

$$R_{xy}(\tau) = E[x(t) \cdot y^*(t - \tau)].$$

D'après le théorème de *Wiener-Kinchin*, si $x(t)$ est un signal aléatoire faiblement stationnaire, sa fonction d'autocorrélation et sa densité spectrale forment une paire de transformées de Fourier :

$$\begin{cases} S_x(f) = \int_{-\infty}^{+\infty} R_{xx}(\tau) e^{-j2\pi f\tau} d\tau, & f \in \mathfrak{R} \\ R_{xx}(\tau) = \int_{-\infty}^{+\infty} S_x(f) e^{+j2\pi f\tau} df, & \tau \in \mathfrak{R} \end{cases}$$

où $R_{xx}(\tau) = E[x(t) \cdot x^*(t - \tau)] = R_{xx}^*(-\tau)$. On rappelle que la puissance totale est donnée par :

$$R_{xx}(0) = \overline{x^2} = \sigma_x^2$$

On montre de plus que $S_x(f)$ peut être évaluée grâce à l'expression :

$$S_x(f) = \lim_{T \rightarrow \infty} E \left[\frac{|X_T(f)|^2}{T} \right]$$

où $X_T(f)$ est la transformée de Fourier du signal $x(t)$ observé durant une durée T .

On utilise souvent en électronique la DSP unilatérale obtenue en prenant le double de la DSP bilatérale sur le domaine des fréquences réelles positives.

1.3.2.2 Bruit thermique

Ce type de bruit est dû au mouvement aléatoire des porteurs de charges sous l'effet de la température. Il est associé à la résistance ou à la partie résistive d'un composant ; il est indépendant du courant et de la polarisation. Ce mouvement est similaire au *mouvement Brownien*² des particules. Il a été observé pour la première fois en électronique par J.B. Johnson aux *Bell Telephone Laboratories* en 1927, et sa densité spectrale a été calculée par H. Nyquist en 1928. C'est la raison pour laquelle il est connu sous les noms de "bruit Johnson" ou "bruit de Nyquist". La DSP unilatérale de courant du bruit thermique généré par une résistance R est donnée par :

$$S_{th,i}(f) = \frac{4kT}{R}$$

² Robert Brown (1773-1858) est un botaniste écossais qui a observé pour la première fois le mouvement aléatoire des grains de pollen dans une solution.

où k est la constante de Boltzmann et T (en K) la température absolue³. La variance du bruit thermique est finie en raison de la bande passante limitée de tout système. La DSP étant constante, ce bruit est appelé bruit blanc.

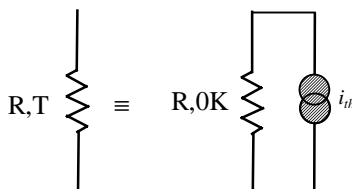


Figure I.15 : Schéma équivalent de Norton en bruit d'une résistance.

1.3.2.3 Bruit de grenaille

Il est dû à la nature granulaire de l'électricité, c'est-à-dire à la non-uniformité du courant. Il intervient lorsque les porteurs franchissent une barrière de potentiel de façon aléatoire suivant une loi de Poisson. Il se manifeste dans les dispositifs à jonctions, tels que les diodes, les transistors bipolaires etc.

Ce bruit est directement proportionnel au courant passant à travers le composant. Dans la bande passante du système, si on néglige le temps de transit, la DSP unilatérale de ce bruit blanc est donnée par :

$$S_{gr,i}(f) = 2qI \quad (f \geq 0)$$

³L'expression la plus générale du bruit thermique est donnée par :

$$S_{th,i}(f) = \frac{4hf}{R \left(\exp\left(\frac{hf}{kT}\right) - 1 \right)} \quad f > 0$$

où h est la constante de Planck, f la fréquence. On remarque la DSP est fonction de la fréquence. Pour la plupart des systèmes électroniques, $f \ll kT/h$, ($kT/h \approx 2 \cdot 10^{10} T$). Donc,

$$\frac{hf}{\left(\exp\left(\frac{hf}{kT}\right) - 1 \right)} \approx kT$$

et on obtient une DSP de bruit blanc :

$$S_{th,i}(f) = \frac{4kT}{R} \cdot$$

où q est la charge électronique élémentaire et I l'intensité du courant continu passant à travers le composant.

1.3.2.4 Bruit en $1/f$ (bruit de scintillement ou "flicker noise")

C'est un type de bruit ayant des propriétés uniques. La densité spectrale de ce bruit suit sensiblement une courbe en $1/f^\alpha$, α étant proche de 1. Il a été nommé bruit de scintillement après avoir été observé pour la première fois dans les tubes à vide. Dans la littérature, des noms tels que "bruit rose" (pour $\alpha = 1$), "bruit en excès" ou "bruit basse fréquence" sont aussi souvent employés. Le bruit en $1/f^2$ est appelé "bruit rouge": il correspond en fait à un bruit blanc intégré temporellement.

Une propriété importante du bruit de scintillement est son universalité. Ce type de bruit est non seulement observé dans les composants électroniques, mais dans des domaines très variés [33]-[38] : l'oscillation des cristaux de quartz, les données économiques (la bourse), le taux de la circulation routière, les données géophysiques, les courants dans les océans, le bruit sismique, le débit du Nil au cours des 2000 dernières années, le taux d'insuline, les variations du rythme cardiaque, les courants dans les fibres nerveuses, l'ADN, les fluctuations du potentiel de membrane dans un système biologique, l'activité solaire, les lumières émises par les naines blanches et les quasars, les oscillations de l'axe terrestre, la rotation de la terre, le son et la voix transmise par la radio, la musique, l'écoulement du sable dans un sablier, la distribution des nombre premiers, etc. Par exemple, pour la fréquence de la rotation de la terre, $\alpha = 2$.

Le bruit basse fréquence dans les transistors MOS sera présenté un peu plus en détail dans le chapitre II.

Etant donné que la densité spectrale du bruit en $1/f^\alpha$ présente une singularité en $f = 0$, le bruit a une puissance infinie si $\alpha \geq 1$. Donc, on devrait mesurer une valeur RMS infinie pour ce bruit qui n'est pas le cas en pratique. En effet, le fait d'observer ce bruit pendant une durée finie induit une fréquence de coupure basse. Donc la DSP moyenne de ce bruit dépend du temps et de la durée d'observation [39][33]. La fréquence de coupure haute est limitée par la bande passante du système. Ce sont les raisons pour lesquelles la valeur RMS mesurée en pratique est toujours finie, ce qui facilite aussi les calculs relatifs à ce bruit.

1.4 Sources de bruit dans l'APS

Le signal de la sortie de l'APS comprend [40] :

- électrons générés par les photons incidents associés à un bruit de grenaille,
- électrons générés par le courant d'obscurité associés à un bruit de grenaille,
- bruit temporel de lecture,
- non-uniformités du courant d'obscurité,
- bruit spatial fixe des circuits de lectures,

Seuls les électrons générés par les photons incidents sont désirés, les autres sont des facteurs limitant la performance du capteur.

1.4.1 Bruit de grenaille généré par les photons (bruit photonique)

C'est un phénomène physique qui ne peut pas être réduit. A fort éclairement, c'est la source de bruit dominante. Il est poissonien et sa variance est donnée par [41] :

$$\sigma_{\text{photon}}^2 = N_{\text{photon}} \quad (1.3)$$

N_{photon} étant le nombre moyen de photons incidents.

1.4.2 Courant d'obscurité et bruit de grenaille généré par le courant d'obscurité

Le courant d'obscurité est dû aux générations de charges thermiques dans le pixel. Il est mesuré en pA/cm^2 . Il s'agit d'électrons qui se libèrent des atomes de silicium à cause de leur énergie thermique, et s'accumulent dans le pixel en se rajoutant aux électrons du signal photonique. Dans le cas du photoMOS, cette génération intervient majoritairement à l'interface Si-SiO₂ plutôt que dans le substrat lui-même. Le taux de génération de ces charges thermiques varie beaucoup d'un pixel à l'autre et il en résulte une non-uniformité de courant thermique désigné par **DSNU** (Dark Signal Non Uniformity). La distribution spatiale en intensité de courant d'obscurité obéit la plupart du temps à une distribution gaussienne centrée

sur la moyenne du courant thermique, et les pixels ayant un courant plus élevé (donc en dehors de la distribution gaussienne) sont appelés des pixels chauds. Le courant d'obscurité est très dépendant de la température et il double tous les 5 à 8°C [40]. Une expression théorique donne la densité du courant d'obscurité J en fonction de la température T [4] :

$$J = A.T^{3/2} e^{-\frac{V_g \cdot q}{2kT}}$$

où A est une constante dépendante des unités utilisées (en pA/cm²), V_g est la largeur de la bande interdite (ou tension de gap). Sa valeur est très dépendante du procédé de fabrication. A température ambiante, l'ordre de grandeur s'étend de 200 à 1500 pA/cm².

Le courant d'obscurité et les non-uniformités peuvent être corrigés, par contre le bruit de grenaille généré par le courant d'obscurité ne peut pas être corrigé [42]. Le seul moyen de corriger ce bruit et de réduire le courant d'obscurité. Le courant d'obscurité continue à être un problème majeur dans les imageurs CMOS, et jusqu'à présent, pour le réduire, seules des solutions modifiant la technologie CMOS standard utilisée ont été proposées [43].

1.4.3 Bruit fixe (ou spatial) de la chaîne de lecture

Il exprime l'écart de réponse des éléments des circuits de lecture situés dans les différents pixels et les différentes colonnes d'une matrice APS. Il est dû principalement aux non-uniformités de certains paramètres des composants, surtout celles des transistors MOS utilisés : tensions de seuil, courants, transconductances, etc. La différence de tensions de seuil est la source de bruit fixe dominante [2]. En général, plus la distance entre deux transistors MOS est grande, plus la tension de seuil des deux transistors peut être différente. Typiquement, on peut avoir sur la même puce des variations de l'ordre d'une dizaine de millivolts [44][45].

Le bruit fixe total pour l'APS peut s'exprimer de la façon suivante [46] :

$$FPN_{i,j} = Y_j + X_{i,j} \tag{1.4}$$

où Y_j représente le bruit fixe de colonnes et $X_{i,j}$ représente le bruit fixe de pixels. X et Y sont des variables aléatoires à moyenne nulle totalement décorrélés, obtenues en soustrayant aux mesures brutes la valeur

moyenne prise sur l'ensemble des signaux. L'estimation de la moyenne et de la variance pour une matrice de M lignes et N colonnes sont données par :

$$\bar{Y}_j = \frac{1}{N} \sum_{i=1}^N FPN_{i,j} \quad (1.5)$$

$$\overline{X_{i,j}} = FPN_{i,j} - \bar{Y}_j \quad (1.6)$$

$$\overline{\sigma_Y^2} = \frac{1}{M-1} \sum_{j=1}^M (\bar{Y}_j)^2 \quad (1.7)$$

$$\overline{\sigma_X^2} = \frac{1}{M(N-1)} \sum_{i=1}^N \sum_{j=1}^M (\overline{X_{i,j}})^2 \quad (1.8)$$

La technique de lecture CDS corrige efficacement le bruit spatial de pixel, et dans l'APS, le bruit fixe de colonne est dominant [13].

Dans la chaîne de lecture de l'APS (la Figure I.9), chaque colonne dispose de deux amplificateurs (suiveurs) séparés, dont la tension continue (DC) en sortie dépend fortement de la tension de seuil des transistors associés. Soit ΔV_{pix} la différence des tensions aux bornes de C_{ref} et C_{sig} , et $\Delta V_s (= V_{sig} - V_{ref})$, la différence correspondante en sortie des deux suiveurs PMOS. Ainsi, on peut exprimer en première analyse la valeur de ΔV_s de la manière suivante :

$$\Delta V_s = A_2 \Delta V_{pix} + \varepsilon$$

où A_2 représente le gain DC des suiveurs PMOS, et ε la différence des tensions de repos de chacun des amplificateurs.

Le bruit fixe de colonne provient du fait que ε varie d'une colonne à une autre, ce qui se traduit sur l'image par l'apparition de rayures verticales pour une scène parfaitement homogène. La Figure I.16 montre la moyenne de 50 images obtenus dans l'obscurité avec un APS 256x256 pixels [20]. On remarque sur ces images le bruit fixe de pixel (0.34% ramené à la dynamique du capteur) et le bruit fixe de colonne (0.84% ramené à la dynamique du capteur).

Actuellement, afin de corriger le bruit fixe de colonne, la méthode d'échantillonnage par double différence⁴ (ou **DDS** - Double Delta Sampling) est utilisée [13]. Le procédé DDS est effectué grâce aux

⁴ On reviendra beaucoup plus en détail sur cette méthode dans le Chapitre III.

transistors M_8 , M_9 , M_9' et le signal CB ("Crow Bar"), illustrés Figure I.9. Cette méthode consiste à mesurer la valeur de ε et à la soustraire à ΔV_s . La lecture DDS se fait de la manière suivante. D'abord, la valeur de ΔV_s est mesurée et stockée par la chaîne externe. Ensuite, les deux capacités C_{ref} et C_{sig} sont court-circuitées. Cela est assuré par le signal de commande CB qui est mis à l'état haut pour créer un court-circuit entre les capacités. Par conséquent, ΔV_{pix} devient nul et à la sortie il ne reste uniquement que ε qui est échantillonné et soustrait à ΔV_s par la chaîne externe.

L'inconvénient de cette méthode est qu'il faut effectuer deux échantillonnages par pixel au lieu d'un seul, ce qui augmente le temps de lecture ainsi que le bruit temporel apporté par ce nouvel échantillonnage.

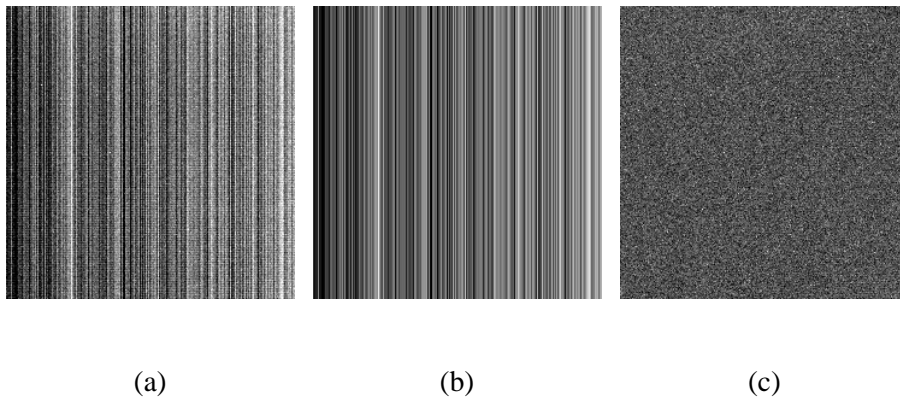


Figure I.16 : Somme de 50 images obtenues dans l'obscurité avec un APS 256x256 pixels : (a) bruit fixe total, (b) bruit fixe de colonne, et (c) bruit fixe de pixel.

1.4.4 Bruit temporel de lecture

Le bruit temporel de la chaîne de lecture est le bruit dominant à faible niveau d'éclairage et faible temps d'intégration, et constitue un paramètre d'importance majeure pour les applications à faible flux. Ce bruit sera analysé en détail dans le Chapitre II.

Bibliographie :

- [1] C. Cavadore, "Conception et caractérisation de capteurs d'images à pixels actifs CMOS-APS," Thèse de Doctorat, no. 242, SUPAERO, Toulouse, Juin 1998.
- [2] J. Solhusvik, "Etude et conception de capteurs d'images à pixels actifs et de l'électronique de traitement associée en vue d'applications faible flux," Thèse de Doctorat, no. 195, SUPAERO, Toulouse, Novembre 1996.
- [3] W.S. Boyle and G.E. Smith, "Charge-coupled semiconductor devices," *Bell System Technical Journal*, vol. 49, April 1970, pp. 587-593.
- [4] A.J.P. Theuwissen, *Solid-State Imaging with Charge-Coupled Devices*, Kluwer, Dordrecht, The Netherlands, 1995.
- [5] M.H. White, D.R. Lampe, F.C. Blaha, and I.A. Mack, "Characterization of surface channel CCD image arrays at low light levels," *IEEE Journal of Solid-State Circuits*, vol. SC-9, no. 1, February 1974, pp. 1-13.
- [6] S.M. Sze, *Physics of Semiconductor Devices*, Wiley, New York, 1981.
- [7] G.P. Weckler, "Operation of p-n junction photodetectors in photon flux integration mode," *IEEE Journal of Solid-State Circuits*, vol. SC-2, 1967, pp. 65-73.
- [8] C. Jansson, P. Ingelhart, C. Svensson, and R. Forchheimer, "An addressable 256x256 photodiode image sensor array with an 8-bit digital output," *Analog Integrated Circuits and Signal Processing*, vol. 4, 1993, pp. 37-49.
- [9] A. Simoni *et al.*, "256x256-pixel CMOS digital camera for computer vision with 32 algorithmic ADCs on board," *IEE Proceedings - Circuits, Devices and Systems*, vol. 146, no. 4, August 1999, pp. 184-190.
- [10] I. Fujimori, C.C. Wang, and C.G. Sodini, "A 256x256 CMOS differential passive pixel imager with FPN reduction techniques," in *2000 IEEE Int. Solid-State Circuits Conference (ISSCC) Digest of Tech. Papers*, San Francisco, pp. 106-107.
- [11] E.R. Fossum, "Active pixel sensors: Are CCD's dinosaurs?," in *Charge Coupled Devices and Solid-State Optical Sensors III, Proceedings of SPIE*, vol. 1900, 1993, pp. 1-13.
- [12] E.R. Fossum, "CMOS image sensors: Electronic camera-on-a-chip," *IEEE Transactions on Electron Devices*, vol. 44, no. 10, October 1997, pp. 1689-1698.
- [13] S.K. Mendis *et al.*, "CMOS active pixel image sensors for highly integrated imaging systems", *IEEE Journal of Solid-State Circuits*, vol. 32, no. 2, 1997, pp. 187-197.
- [14] S.G. Smith *et al.*, "A single-chip CMOS 306x244-pixel NTSC video camera and a descendant coprocessor device," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 12, December 1998, pp. 2104-2111.
- [15] M.J. Loinaz *et al.*, "A 200-mW, 3.3-V, CMOS color camera IC producing 352x288 24-b video at 30 Frames/s", *IEEE Journal of Solid-State Circuits*, vol. 33, no. 12, December 1998, pp. 2092-2103.
- [16] S. Agwani *et al.*, "A 1/3-inch VGA CMOS imaging system on a chip", in *Proc. 1999 IEEE Workshop on Charge Coupled Devices and Advanced Image Sensors*, Nagano, Japan, pp. 21-24.
- [17] C. Cavadore, J. Solhusvik, P. Magnan, A. Gautrand, Y. Degerli, F. Lavernhe, J. Farré, O. Saint-Pé, R. Davancens, and M. Tulet, "Active pixel image sensors for space applications," *Proc. ESA 2nd Round Table on Micro/Nano-Technologies for Space*, WPP-132, Noordwijk, The Netherlands, October 1997, pp. 115-122.
- [18] C. Cavadore, J. Solhusvik, P. Magnan, A. Gautrand, Y. Degerli, F. Lavernhe, J. Farré, O. Saint-Pé, R. Davancens, and M. Tulet, "Design and characterization of CMOS APS imagers on two different technologies," *Proceedings of SPIE*, vol. 3301, January 1998 (San Jose, California), pp. 140-150.

- [19] P. Magnan, C. Cavadore, A. Gautrand, Y. Degerli, F. Lavernhe, J. Farré, O. Saint-Pé, R. Davancens, and M. Tulet, "Experimental characterization of CMOS APS imagers designed using two different technologies," *Proceedings of SPIE*, vol. 3410, May 1998 (Zurich, Switzerland), pp. 77-87.
- [20] O. Saint-Pé, R. Davancens, M. Tulet, P. Magnan, C. Cavadore, A. Gautrand, Y. Degerli, F. Lavernhe, and J. Farré, "Development and characterization of active pixel sensors for space applications," *Proceedings of SPIE*, vol. 3440, July 1998 (San Diego, California), pp. 24-36.
- [21] P. Magnan, A. Gautrand, Y. Degerli, C. Marques, F. Lavernhe, C. Cavadore, F. Corbière, J. Farré, O. Saint-Pé, M. Tulet, and R. Davancens, "Influence of pixel topology on performances of CMOS APS imagers," *Proceedings of SPIE*, vol. 3965, January 2000 (San Jose, California), pp. 114-125.
- [22] C. Motchenbacher and J.A. Connelly, *Low-Noise Electronic System Design*, Wiley, New York, 1993.
- [23] W.B., Davenport Jr. and W.L. Root, *An Introduction to the Theory of Random Signals and Noise*, IEEE Press, New York, 1987.
- [24] A. Demir and A. Sangiovanni-Vincentelli, *Analysis and Simulation of Noise in Nonlinear Electronic Circuits and Systems*, Kluwer, Boston, 1998.
- [25] P. Bolcato, "Modélisation et simulation du bruit dans les circuits intégrés : Analyse fréquentielle et régime transitoire," Thèse de Doctorat, INP-Grenoble, Janvier 1994.
- [26] W.A. Gardner, *Introduction to Random Processes with Applications to Signals and Systems*, Macmillan, New York, 1986.
- [27] A. Chovet et P. Viktorovitch, "Le bruit électrique I : processus aléatoires," *L'onde électrique*, vol. 57, no. 11, 1977, pp. 699-707 ; "Le bruit électrique II : aspects physiques," *ibid.*, vol. 57, no. 12, 1977, pp. 773-783 ; "Le bruit électrique III : représentation symbolique et méthodes de mesure," *ibid.*, vol.58, no.1, 1978, pp.69-80.
- [28] O.Yadid-Pecht, "Wide-dynamic-range sensors," *Optical Engineering*, vol. 38, no. 10, October 1999, pp. 1650-1660.
- [29] M. Schanz *et al.*, "A high dynamic range CMOS image sensor for automotive applications," *Proc. 1999 European Solid-State Circuits Conference (ESSCIRC)*, Duisburg, Germany, pp. 246-249.
- [30] U. Gatti and F. Maloberti, "Analog and mixed analog-digital layout," in M. Ismail and T. Fiez (eds.), *Analog VLSI: Signal and Information Processing*, McGraw-Hill, New York, 1994, pp. 699-726.
- [31] N.K. Verghese, T.J. Schmerbeck, and D.J. Allstot, *Simulation Techniques and Solutions for Mixed-Signal Coupling in Integrated Circuits*, Kluwer, Boston, 1995.
- [32] T. Blalack, "Design techniques to reduce substrate noise," in J. H. Huijsing *et al.* (eds.), *Analog Circuit Design: 1-Volt Electronics; Mixed-Mode Systems; Low-Noise and RF Power Amplifiers for Telecommunication*, Kluwer, Boston, 1999, pp. 193-217.
- [33] M.S. Keshner, "1/f noise," *Proceedings of the IEEE*, vol. 70, no. 3, March 1982, pp. 212-218.
- [34] B. Ninness, "Estimation of 1/f noise," *IEEE Transactions on Information Theory*, vol. 44, no. 1, January 1998, pp. 32-46.
- [35] E. Milotti, "Linear processes that produce 1/f or flicker noise," *Physical Review E*, vol. 51, no. 4, 1995, pp. 3087-3103.
- [36] E. Milotti, "Le bruit en 1/f," *Pour la Science*, no. 246, Avril 1998, pp. 88-93.
- [37] B. Kaulakys and T. Meskauskas, "Modeling 1/f noise," *Physical Review E*, vol. 58, no. 6, December 1998, pp. 7013-7019.
- [38] W. Li, "A bibliography on 1/f noise," Rockefeller Univ., [Online] <http://linkage.rockefeller.edu/wli/1fnoise/> .
- [39] F. Lavernhe, "Markovian model of $1/f^\alpha$ noise, effects of temporal truncature", en preparation.

- [40] A.J.P. Theuwissen, "Design for manufacturability of CMOS image sensors," IEEE Int. Solid-State Circuits Conference (ISSCC'2000) Tutorial Notes, San Francisco, February 2000.
- [41] C-K. Kim, "The physics of charge-coupled devices," in M.J. Howes and D.V. Morgan (eds.), *Charge-Coupled Devices and Systems*, Wiley, Chichester, 1979, p. 61.
- [42] A.J.P. Theuwissen, "CMOS or CCD image sensors for digital still applications?," presented at *ESSCIRC'99*, Duisburg, Germany, September 1999.
- [43] R.M. Guidash *et al.*, "A 0.6 μm CMOS pinned photodiode color imager technology," in *1997 IEEE International Electron Devices Meeting (IEDM) Tech. Digest*, Washington, DC, USA, pp. 927-929.
- [44] M.J.M. Pelgrom, H.P. Tuinhout, and M. Vertregt, "Transistor matching in analog CMOS applications", in *1998 IEEE Int. Electron Devices Meeting (IEDM) Tech. Digest*, San Francisco, pp. 915-918.
- [45] J. Bastos, M. Steyaert, A. Pergoot, and W. Sansen, "Mismatch characterization of submicron MOS transistors", *Analog Integrated Circuits and Signal Processing*, vol. 12, February 1997, pp. 95-106.
- [46] A. El Gamal, B. Fowler, H. Min, and X. Liu, "Modeling and estimation of FPN components in CMOS image sensors," in *Solid State Sensor Arrays: Development and Applications II, Proceedings of SPIE*, vol. 3301, 1998, pp. 168-177.

Chapitre II

Analyse et Réduction du Bruit Temporel de la Chaîne de Lecture du Capteur APS

Résumé :

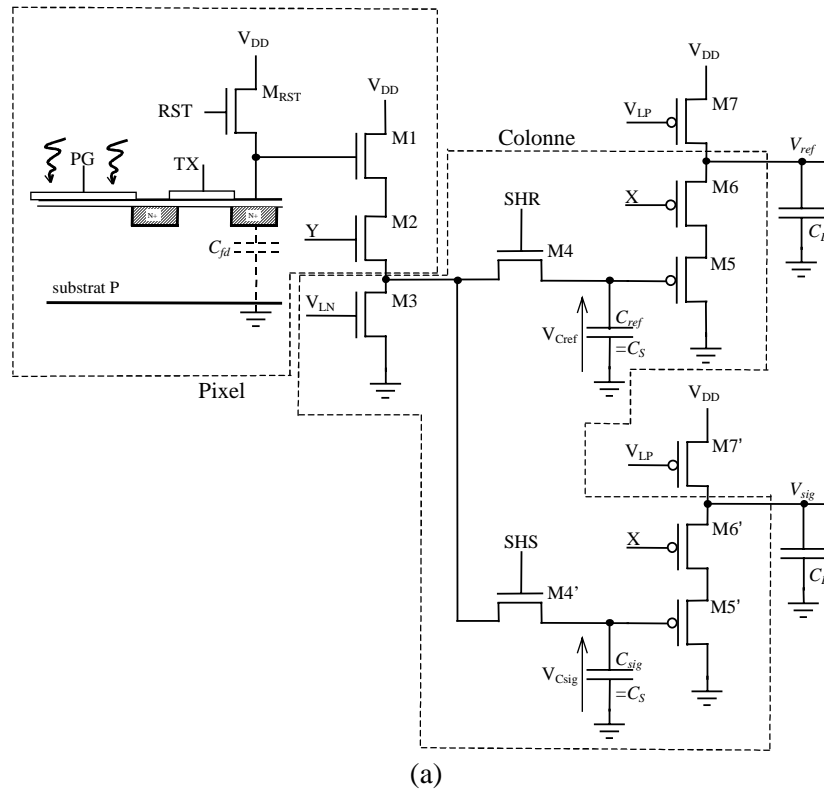
Dans ce chapitre est présentée l'analyse du bruit temporel généré par la chaîne de lecture à CDS (Correlated Double Sampling – double échantillonnage corrélé) utilisée dans les capteurs d'image à pixels actifs CMOS [1]. Le bruit thermique et le bruit basse fréquence sont tous les deux pris en compte. Les résultats permettent d'obtenir, à l'aide des simulateurs de circuits, le bruit RMS en sortie de la chaîne en fonction des dimensions des composants utilisés. Le bruit de reset (ou kT/C), l'influence de la capacité de la diffusion flottante sur le bruit et du facteur de conversion charge-tension, sont considérés. Des circuits de test ont été réalisés sur une technologie *Alcatel Microelectronics* CMOS $0.7\mu\text{m}$, afin de valider les résultats obtenus. Les résultats théoriques sont comparés avec les mesures.

2.1 Introduction

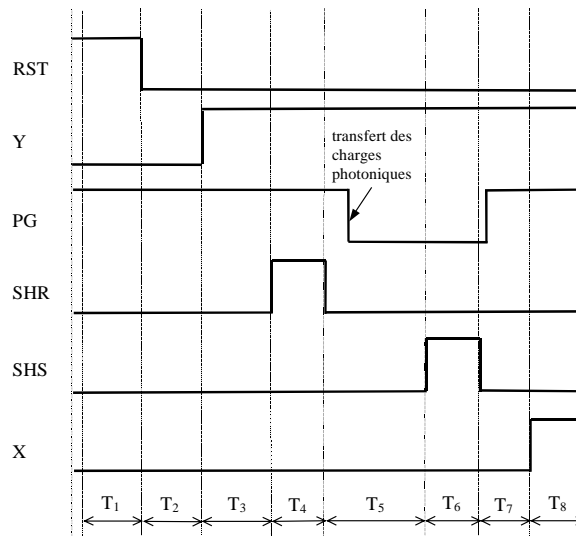
La chaîne de lecture du capteur d'images à pixels actifs est illustrée Figure II.1a, et le chronogramme de lecture associé dans la Figure II.1b pour le pixel de type photoMOS. Ce circuit est utilisé dans plusieurs travaux [2][3]. Il comprend un suiveur NMOS (M_1 - M_2 se situent dans le pixel, et M_3 est commun à toute une colonne de la matrice), deux capacités d'échantillonnage (C_{ref} et C_{sig}), et deux suiveurs PMOS de colonne (communs à toute une colonne). M_1 , M_5 et M_5' sont des sources suiveuses, tandis que M_3 , M_7 , M_7' sont des transistors de charge (ou sources de courant). M_7 , M_7' sont communs à toutes les colonnes de la matrice. Les sources de tension V_{LN} et V_{LP} fixent les courants de polarisation des suiveurs. M_2 et M_6 - M_6' sont respectivement les transistors de sélection de pixel et de colonne.

La séquence de lecture est la suivante :

- 1) Echantillonnage du niveau de référence V_{ref} sur C_{ref} après désactivation du M_{RST} ;
- 2) Transfert des charges photoniques sur C_{fd} en mettant la grille PG à zéro ;
- 3) Echantillonnage du niveau de signal V_{sig} sur C_{sig} .



(a)



(b)

Figure II.1 : (a) Circuit de lecture du capteur APS avec le pixel photoMOS, et (b) chronogramme de lecture associé.

Puis, une lecture différentielle est effectuée en activant les suiveurs de colonne.

On doit remarquer que la séquence de lecture est légèrement différente pour le pixel photodiode qui ne permet pas un vrai procédé CDS, le niveau de signal étant échantillonné avant le niveau de référence.

Cependant, ce mode de lecture ne change rien au niveau de l'analyse théorique présentée ici. Dans ce cas C_{fd} représente principalement la capacité de la photodiode.

Dans la littérature, il existe quelques travaux sur l'analyse du bruit dans les imageurs CMOS [4][5], mais les modèles de bruit utilisés pour les transistors MOS sont limités aux composants à canal long. De plus, le procédé CDS essentiel pour les applications à faible bruit dans les CCDs [6][7] ou les imageurs CMOS n'est pas considéré dans ces articles.

Actuellement, les technologies CMOS utilisent des transistors MOS submicroniques (avec $L < 1\mu\text{m}$), et il est communément accepté que le bruit basse fréquence généré par les transistors MOS est inversement proportionnel à la longueur du canal [8]. Donc, le bruit basse fréquence devient de plus en plus important.

Les DSPs de bruit du courant de drain mesurées sur un transistor NMOS (*Alcatel Microelectronics* CMOS $0.7\mu\text{m}$) avec $W/L=1\mu\text{m}/0.7\mu\text{m}$ sont représentées dans la Figure II.2.

La difficulté majeure de l'analyse du bruit dans les imageurs CMOS tend à l'indisponibilité de modèles de bruit simples, valables dans toutes les régions de fonctionnement pour le transistor MOS. L'origine du bruit basse fréquence dans les transistors MOS est notamment, encore à l'heure actuelle, l'objet de débats au sein de la communauté scientifique, et il existe deux modèles principaux :

1) *Modèle de McWhorter*

Ce modèle est basé sur des fluctuations du nombre de porteurs (ΔN) [9]. Selon la théorie de McWhorter, le bruit en $1/f$ est provoqué par la capture et émission aléatoires des porteurs de charge dans le canal par des pièges qui se situent dans l'oxyde et à l'interface Si-SiO₂. Le bruit en $1/f$ ramené à l'entrée du transistor est indépendant de la tension de grille.

2) *Modèle de Hooge*

Il est basé sur des fluctuations de la mobilité ($\Delta\mu$) [10]. Cette deuxième théorie considère que le bruit en $1/f$ est le résultat des fluctuations de la mobilité des porteurs dans le canal. Le bruit en $1/f$ ramené à l'entrée du transistor dépend fortement de la tension de grille.

On trouve dans la littérature, de nombreux résultats de mesures pour les transistors MOS (voir par exemple les références [11][12]), mais aucun de ces deux modèles n'explique complètement toutes ces données. De plus, le comportement de bruit en basse fréquence du transistor MOS est fortement lié à la technologie utilisée.

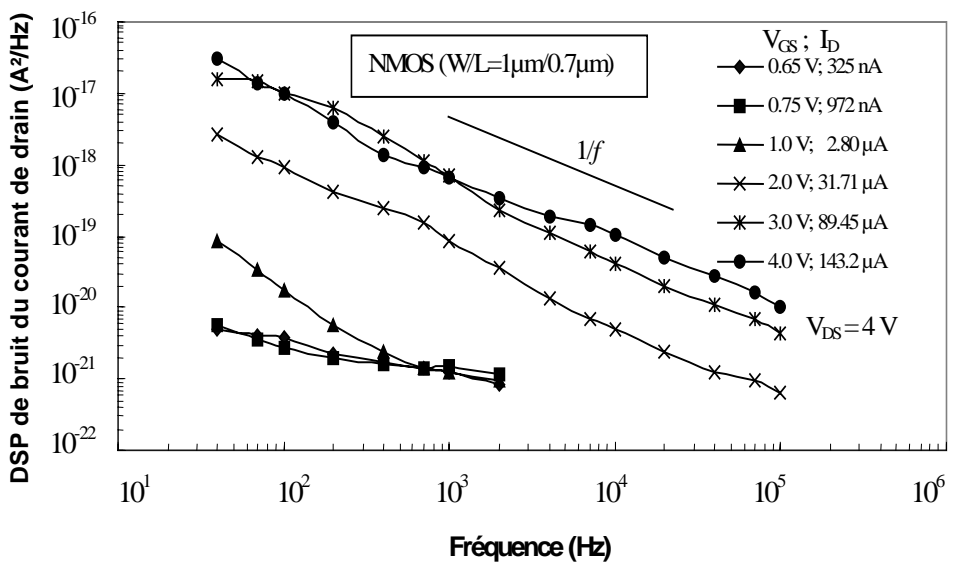
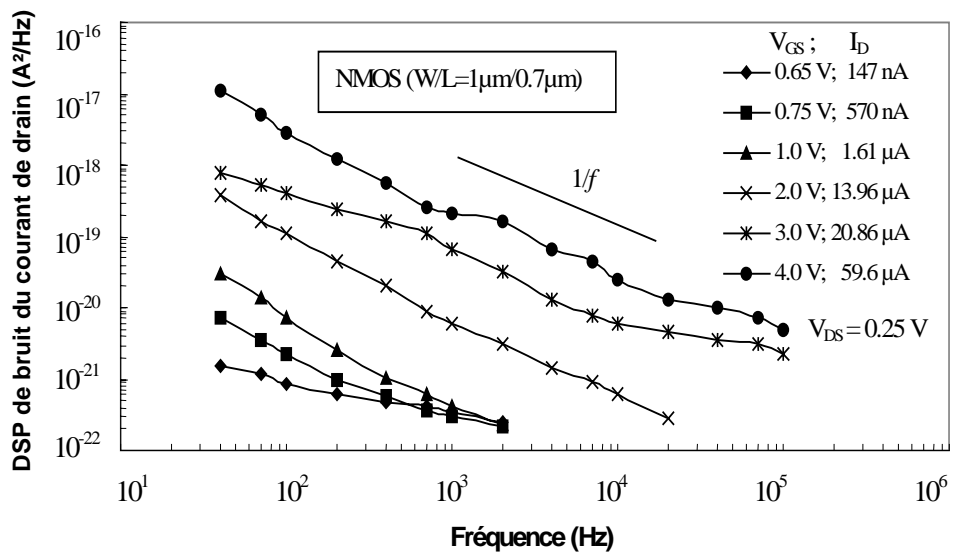


Figure II.2 : DSP de bruit du courant de drain mesurées pour un transistor NMOS avec $W/L=1\mu\text{m}/0.7\mu\text{m}$: (a) $V_{DS}=0.25\text{V}$ (zone linéaire), (b) $V_{DS}=4\text{V}$ (zone de saturation).

Dans les transistors modernes à très petites tailles, à l’interface Si-SiO₂, un seul piège peut être actif. Dans ce cas, le bruit généré est de type RTS (*Random Telegraph Signals*). Le spectre du bruit basse fréquence de ces transistors est alors Lorentzien et non plus en $1/f$ [13][14]. Le changement aléatoire du courant de drain entre deux niveaux discrets est souvent modélisé comme la superposition des effets du nombre de

porteurs qui fluctue, et de la mobilité qui fluctue lorsque le piège change d'état [8][14][15]. La référence [16] est un article récent qui passe en revue sur le bruit basse fréquence dans les transistors MOS.

Afin d'obtenir la densité spectrale de puissance (DSP) de bruit des transistors MOS, les concepteurs de capteurs d'images CMOS, peuvent profiter des paramètres de bruit fournis par le fondeur dans les cartes modèles de transistors pour les simulateurs de circuits. Mais, comme le bruit en sortie de la chaîne de lecture varie dans le temps, le bruit total est la somme des bruits échantillonnés sur des capacités. Donc les simulateurs de circuits comme SPICE ne sont pas aptes pour telles simulations de bruit. C'est pourquoi, des expressions analytiques de la puissance du bruit total pour le circuit illustré Figure II.1a ont été développées, en utilisant le schéma équivalent petits signaux du transistor MOS. En utilisant des simulations DC sur SPICE, le point de fonctionnement et les paramètres (transconductances, capacités, tensions, courants, etc.) correspondant aux différentes conditions de polarisation et aux dimensions des composants sont déterminés. Ensuite ces données sont utilisées pour calculer les DSP de bruit thermique et de bruit en $1/f$ de chaque transistor. Cette méthode semble être une solution pratique pour le concepteur de capteur d'images CMOS, afin d'analyser la performance en bruit du capteur.

Il est nécessaire de remarquer que dans ce chapitre, seul le bruit à l'état stationnaire est considéré. En effet, les niveaux de bruit et de signal atteignent l'équilibre aux instants d'échantillonnage, en accord avec le mode de fonctionnement du capteur APS. En d'autres termes, les phases transitoires du signal et du bruit sont achevées et leurs moyennes ne varient plus. Dans le cas contraire, les modèles de bruit utilisés pour le transistor MOS ne seraient pas valides et une méthode de variable d'état non-stationnaire devrait être utilisée [17]-[19].

Les autres sources de bruit, comme le bruit de grenaille photonique ou le bruit de grenaille généré par le courant d'obscurité [3], ne sont pas considérées ici.

Dans la partie suivante, les modèles de bruit thermique et bruit en $1/f$ pour le transistor MOS qui existent actuellement dans les simulateurs de circuits et qui seront utilisés dans les expressions de bruit de la chaîne de lecture, seront présentés brièvement. Dans la section 2.3 des expressions analytiques qui donnent la DSP de bruit du suiveur NMOS intra-pixel et le suiveur PMOS colonne (voir Figure II.1a) en fonction des densités de bruit des transistors, seront développées. Ensuite la variance du bruit total du circuit sera calculée, avec et sans le procédé CDS en utilisant ces DSP. Finalement, les résultats expérimentaux et théoriques obtenus seront discutés, afin d'optimiser la taille des composants de la chaîne, et de voir l'effets de divers paramètres sur le bruit de sortie.

2.2 Modèles de bruit pour le transistor MOS

Dans cette partie, les modèles de bruit thermique et de bruit en $1/f$ existants pour le transistor MOS, et utilisables dans les simulateurs de circuits seront présentés brièvement. Plusieurs modèles de bruit thermique et de bruit en $1/f$ ont été proposés dans la littérature, considérant toutes les zones d'opération et tous les niveaux d'inversion du transistor MOS. Cependant, comme on le verra, la plupart de ces modèles ne sont valables que pour les transistors à canal long, et nécessitent des paramètres physiques rarement fournis par les fondeurs.

Le schéma équivalent petits signaux considéré pour le transistor MOS est représenté dans la Figure II.3 [20]. Le courant drain-source I_{ds} joue le rôle principal dans le comportement du transistor MOS. Pour l'analyse AC et l'analyse de bruit, la transconductance de la grille (g_m), la transconductance du substrat (g_{mb}), et la conductance drain-source (g_{ds}) qui sont respectivement les dérivées partielles de I_{ds} par rapport aux tensions V_{gs} , V_{bs} , et V_{ds} , sont utilisées. Le bruit du canal est représenté par i_{nd}^2 .

r_d et r_s sont respectivement les résistances dynamiques d'accès du drain et de la source. Ces résistances contribuent aussi au bruit du transistor. Leurs effets peuvent devenir important pour les MOS à canal très court [21]. Les technologies modernes utilisent des procédés de silicidation afin de réduire leurs valeurs [22].

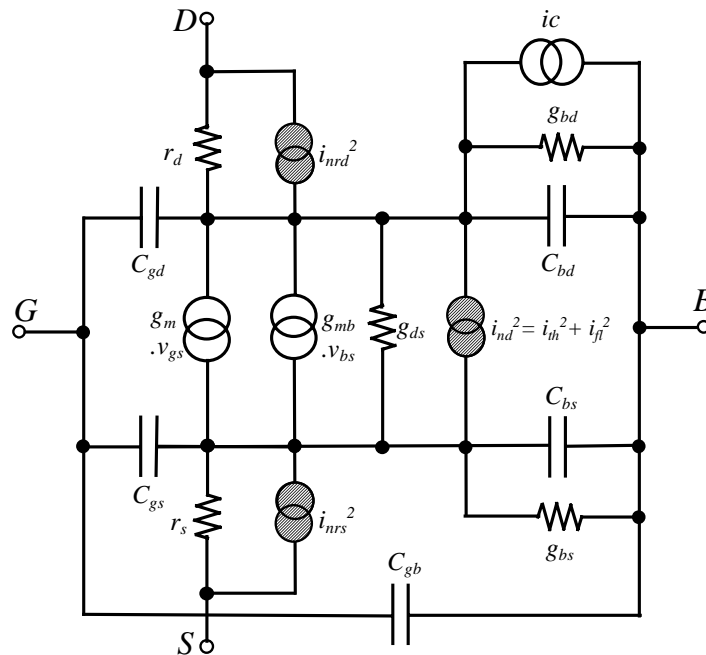


Figure II.3 : Schéma équivalent petits signaux du transistor MOS utilisé actuellement dans le simulateurs de circuit pour les analyses AC et de bruit.

Dans ce schéma équivalent, i_c est le courant du substrat causé par les effets d'ionisation d'impact. Sa valeur dépend de toutes les tensions des terminaux du transistor. Les diodes source/substrat et drain/substrat sont représentées respectivement par les courants de jonctions I_{bs} et I_{bd} . Les conductances g_{bd} et g_{bs} sont définies de la façon suivante :

$$g_{bd} = \frac{\partial I_{bd}}{\partial V_{bd}}, \quad g_{bs} = \frac{\partial I_{bs}}{\partial V_{bs}}$$

Dans les simulateurs de circuits, les contributions en bruit de g_{bd} , g_{bs} et i_c sont négligées.

2.2.1 Modèles de bruit thermique

Le modèle de bruit thermique utilisé dans SPICE2 et ceux développés dans les références [23]-[26] sont fondés sur le modèle donné dans la référence [27], et implémenté dans les simulateurs de circuit de la façon suivante :

$$S_{ind} = \gamma 4kTg_{tot} \quad (2.1)$$

où $g_{tot} = g_m$ ou $g_{tot} = g_m + g_{mb} + g_{ds}$, et γ est un paramètre dépendant du niveau de polarisation du transistor. Pour une polarisation de drain nulle, γ est unitaire, et en saturation $\gamma = 2/3$. Néanmoins, dans ces modèles, les effets des champs électriques du drain et de la source sur la charge du substrat et la charge d'inversion sous l'oxyde sont ignorés. Ils ne sont valables que pour les transistors à canal long. Pour les transistors à canal court, cette expression donne souvent des niveaux de bruit optimistes, et des écarts considérables entre les mesures et les simulations sont observés dans la littérature [28][20].

L'expression la plus générale du bruit thermique dans les transistors MOS est la suivante [29] :

$$S_{ind} = 4kT \frac{\mu}{L^2} |Q_{inv}| \quad (2.2)$$

où Q_{inv} est la charge d'inversion dans le canal. Cette expression est valable dans toutes les zones d'opération, à condition qu'une relation appropriée soit utilisée pour Q_{inv} [21]. Par exemple, un modèle de bruit thermique basé sur la relation (2.2) est présenté dans la référence [28], en développant une expression analytique pour Q_{inv} . Ce dernier, qui considère les effets du canal court, est valable à la fois en faible inversion et forte inversion, et a été implémenté dans certains simulateurs de circuits.

Dans la relation (2.2), en remplaçant μ par la mobilité effective de surface μ_{eff} pour tenir compte de la dégradation de la mobilité, et L par la longueur effective du canal L_{eff} pour considérer la modulation de la longueur de canal, on obtient alors :

$$S_{ind} = 4kT \frac{\mu_{eff}}{L_{eff}^2} |Q_{inv}| \quad (2.3)$$

Un modèle de bruit thermique fondé sur cette relation est présenté dans la référence [30]. Il est obtenu en calculant la valeur de Q_{inv} . Ce modèle considère les effets du canal court, et est valable aussi bien en zone linéaire qu'en saturation. La relation (2.3) est le modèle de bruit thermique utilisé dans BSIM3 (**B**erkeley **S**hort-channel **I**GFET **M**odel) [31]. Elle est aussi utilisée dans les révisions récentes du modèle EKV (**E**nz-**K**rummenacher-**V**ittoz) [32][33], sous une forme légèrement différente.

Les autres sources de bruit thermique dans les transistors MOS qui ne sont pas considérées dans les simulateurs de circuits sont le bruit induit de la grille [27], le bruit généré par le courant du substrat, le bruit généré par la résistance de la grille pour les transistors larges, et le bruit généré par la résistance du substrat [34]. Les effets de la résistance du substrat et de la résistance de la grille sont importants dans les applications HF [34][35]. Le bruit généré par le courant du substrat peut aussi devenir important pour les transistors de petites dimensions [21].

2.2.2 Modèles de bruit en 1/f

Les modèles de bruit existant dans la littérature pour les simulateurs de circuits sont en général entièrement empiriques ou semi-empiriques. Le modèle de bruit en 1/f utilisé dans la plupart des simulateurs est le modèle empirique du SPICE2 :

$$S_{ind} = \frac{K_F \cdot I_{ds}^{AF}}{C_{ox} L_{eff}^2 f^{EF}} \quad (2.4)$$

où K_F , AF et EF sont des paramètres fournis par le fondeur. EF est proche de l'unité. Il n'est valable qu'en forte inversion, et comporte certaines lacunes dans la représentation du comportement en bruit du transistor MOS en fonction de la surface du canal [20][36].

Un modèle fondé sur la fluctuation du nombre des porteurs, valable seulement pour les transistors à canal long, et implémenté dans les simulateurs de circuits est le suivant [37][38] :

$$S_{ind} = \frac{K_F \cdot g_m^2}{C_{ox}^2 W_{eff} \cdot L_{eff} \cdot f^{AF}} \quad (2.5)$$

où K_F et AF sont des paramètres empiriques, différents de ceux utilisés dans la relation (2.4). Ce modèle est valable de la zone de faible inversion jusqu'à la zone de forte inversion, à condition qu'un coefficient, qui est le rapport entre les fluctuations du nombre de porteurs et les fluctuations du nombre de pièges occupés, soit utilisé. La valeur de ce coefficient est proche de l'unité en forte inversion, et diminue considérablement en faible inversion [37]. Néanmoins, dans les simulateurs de circuits, un K_F constant est souvent utilisé, ce qui rend le modèle valable seulement en forte inversion.

BSIM3 dispose d'un modèle de bruit en $1/f$ unifié, développé dans les références [39][40], valable en faible et forte inversions, et tenant compte des effets de canal-court. Ce modèle est fondé à la fois sur la fluctuation du nombre de porteurs causée par les pièges qui se situent dans l'oxyde, et la fluctuation de la mobilité de la surface, d'une façon corrélée. En forte inversion, la densité de bruit du courant de drain est donnée par [31] :

$$S_{ind} = \frac{q^2 V_t \mu_{eff} I_{ds}}{C_{ox} L_{eff}^2 f^{EF} \cdot 10^8} \left\{ NOIA \cdot \ln \left(\frac{N_o + 2 \cdot 10^{14}}{N_l + 2 \cdot 10^{14}} \right) + NOIB (N_o - N_l) + \frac{NOIC}{2} (N_o^2 - N_l^2) \right\} \\ + \frac{V_t I_{ds}^2 \Delta L_{clm}}{W_{eff} L_{eff}^2 f^{EF} \cdot 10^8} \cdot \frac{NOIA + NOIB \cdot N_l + NOIC \cdot N_l^2}{(N_l + 2 \cdot 10^{14})^2} \quad (2.6)$$

où V_t est la tension thermique, et ΔL_{clm} la réduction du canal due à la modulation de la longueur du canal. N_o et N_l sont respectivement les densités de charge au drain et la source. $NOIA$, $NOIB$, et $NOIC$ sont des paramètres empiriques. Dans la zone linéaire, le deuxième terme est nul. Les relations pour N_o , N_l , ΔL_{clm} , et pour la zone de faible inversion peuvent être trouvées dans la référence [31]. Actuellement, les paramètres empiriques ne sont pas fournis par les fondeurs, et les simulations de bruit basse fréquence, réalisées en utilisant les valeurs par défaut, donnent en général des résultats non-réalistes [41][42].

2.3 Analyse de la DSP de bruit total des suiveurs

2.3.1 Suiveur NMOS du pixel

Le schéma électrique du suiveur NMOS du pixel avec la capacité d'échantillonnage est illustré par la Figure II.4a à l'instant d'échantillonnage (T_4 dans la Figure II.1b). C_S représente la capacité d'échantillonnage (C_{ref} ou C_{sig} dans la Figure II.1a). C_{fd} est la somme de toutes les capacités entre la grille

de M_1 et la masse. Les capacités parasites, telles que les capacités poly/substrat, métal/n+, métal/poly, et les capacités de contact, sont incluses dans C_{fd} . C_{gs1} est la capacité grille-drain de M_1 . Dans cette phase, C_{fd} est déjà préchargée à une valeur initiale $V_{Cfd}(0)$ par le transistor M_{RST} .

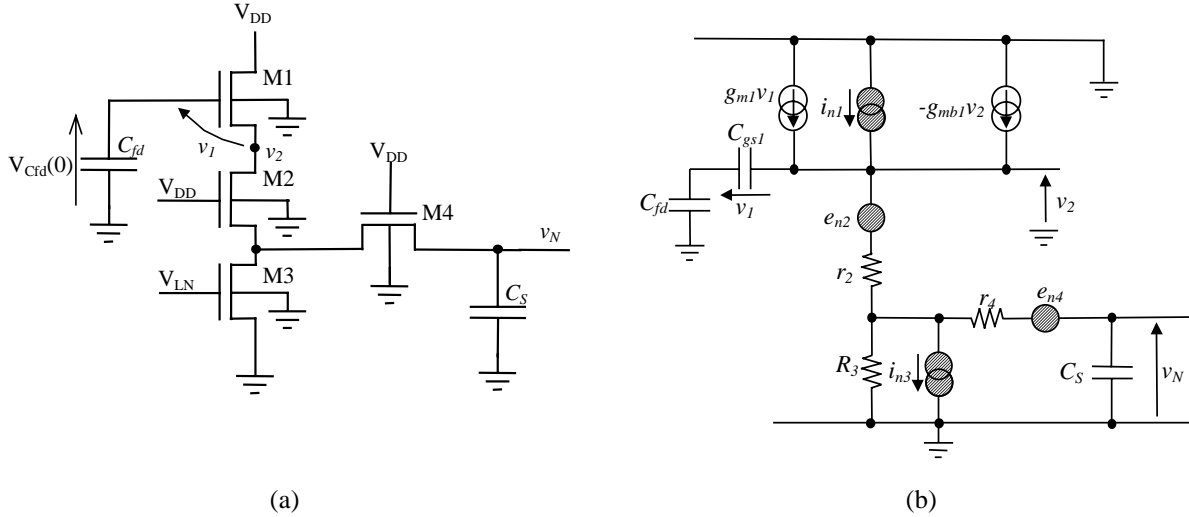


Figure II.4 : (a) Le suiveur NMOS durant la phase d'échantillonnage, et (b) son schéma équivalent petits signaux pour l'analyse de bruit.

Etant donné que seul l'état stationnaire est considéré, les grilles du transistor de sélection M_2 et du transistor d'échantillonnage M_4 sont reliées à la tension d'alimentation V_{DD} . Les transistors M_1 et M_3 sont en saturation, M_2 et M_4 dans la zone linéaire.

Le schéma équivalent petits signaux du circuit est illustré Figure II.4b, où i_n représente i_{nd} , et $R_3 = 1/g_{ds3}$. Le transistor de sélection M_2 et le transistor d'échantillonnage M_4 sont représentés par leurs résistances équivalentes à l'état passant ($r_2 = 1/g_{ds2}$, $r_4 = 1/g_{ds4}$) et leurs sources de tension de bruit respectivement par e_{n2} et e_{n4} , ($e_{n2} = i_{n2}.r_2$ et $e_{n4} = i_{n4}.r_4$). Afin de simplifier les calculs, les courants des jonctions substrat-drain (g_{bd}) et substrat-source (g_{bs}), les résistances d'accès dynamiques du transistor (r_d et r_s) sont négligés. Les capacités C_{ds} et C_{sb} du transistor M_1 sont aussi négligées. Dans ce cas, le substrat et le drain de M_1 sont "court-circuités".

Néanmoins, tous ces effets parasites, tels que l'effet substrat ("body effect") des interrupteurs, les courants de substrat, etc. sont considérés par le simulateur pour déterminer le point de fonctionnement DC du circuit.

Une analyse nodale dans le domaine fréquentiel ($\omega=2\pi f$) du schéma équivalent illustré Figure II.4b, conduit à la relation suivante pour le niveau de bruit de sortie (voir l'Annexe A1.1) :

$$v_N = \frac{R_{eq1} i_{n1} + e_{n2} + (r_2 + R_3) i_{n3} + e_{n4}}{1 + j(\omega / \omega_{eqn})} \quad (2.7)$$

$$\text{avec } R_{eq1} = \left[g_{mb1} + g_{m1} \frac{C_{fd}}{C_{fd} + C_{gs1}} \right]^{-1} \text{ and } \omega_{eqn} = \left[C_S \left(r_4 + \frac{R_3(R_{eq1} + r_2)}{R_3 + R_{eq1} + r_2} \right) \right]^{-1}.$$

où R_{eq1} est la résistance dynamique de sortie de M_1 vue de sa source. La relation (2.7) peut être réécrite de la façon suivante :

$$v_N = H_1(\omega) \cdot i_{n1} + H_2(\omega) \cdot e_{n2} + H_3(\omega) \cdot i_{n3} + H_4(\omega) \cdot e_{n4}$$

où

$$H_1(\omega) = \frac{R_{eq1}}{1 + j(\omega / \omega_{eqn})}, \quad H_2(\omega) = \frac{1}{1 + j(\omega / \omega_{eqn})}, \quad H_3(\omega) = \frac{r_3 + R_3}{1 + j(\omega / \omega_{eqn})} \text{ et } H_4(\omega) = \frac{1}{1 + j(\omega / \omega_{eqn})}.$$

i_{n1} , e_{n2} , i_{n3} , et e_{n4} étant les entrées aléatoires décorréliées d'un système linéaire de sortie v_N , la DSP totale est donnée par :

$$S_{v_N} = |H_1(\omega)|^2 \cdot S_{i_{n1}} + |H_2(\omega)|^2 \cdot S_{e_{n2}} + |H_3(\omega)|^2 \cdot S_{i_{n3}} + |H_4(\omega)|^2 \cdot S_{e_{n4}} \quad (2.8)$$

où $S_{i_{n1}}$, $S_{e_{n2}}$, $S_{i_{n3}}$ et $S_{e_{n4}}$ représentent la DSP de chaque entrée correspondante (constante dans le cas du bruit blanc et inversement proportionnelle à la fréquence pour le bruit en $1/f$). Donc, en considérant les conditions d'état stationnaire, la DSP de bruit totale du circuit sur la capacité C_S est donnée par l'expression suivante :

$$\begin{aligned} S_{v_N} &= \frac{R_{eq1}^2 S_{i_{n1}} + S_{e_{n2}} + (r_2 + R_{eq1})^2 S_{i_{n3}} + S_{e_{n4}}}{1 + (\omega / \omega_{eqn})^2} \\ &= \frac{R_{eq1}^2 S_{i_{n1}} + r_2^2 S_{i_{n2}} + (r_2 + R_{eq1})^2 S_{i_{n3}} + r_4^2 S_{i_{n4}}}{1 + (\omega / \omega_{eqn})^2} \end{aligned} \quad (2.9)$$

où i_{n2} et i_{n4} sont les sources de courant équivalente de Norton de e_{n2} et e_{n4} .

2.3.2 Suiveur PMOS de colonne

La configuration équivalente à l'un des suiveurs PMOS de colonne pendant la phase de lecture (T_8 dans la Figure II.1b) est illustrée en Figure II.5a, où C_L est la capacité de charge, $r_6 = 1/g_{ds6}$, et $R_7 = 1/g_{ds7}$. La capacité d'échantillonnage C_S est déjà préchargée à la valeur initiale $V_S(0)$ par le transistor M_4 . Le suiveur

est activé en mettant X à la masse. Dans ce cas, la capacité C_{gd} de M_5 est négligeable par rapport à C_S . En utilisant la méthode utilisée pour le suiveur NMOS de pixel, on peut calculer la DSP de bruit totale du suiveur PMOS de colonne :

$$S_{v_p} = \frac{R_{eq2}^2 S_{i_{n5}} + S_{e_{n6}} + (r_6 + R_{eq2})^2 S_{i_{n7}}}{1 + (\omega / \omega_{eqp})^2} = \frac{R_{eq2}^2 S_{i_{n5}} + r_6^2 S_{i_{n6}} + (r_6 + R_{eq2})^2 S_{i_{n7}}}{1 + (\omega / \omega_{eqp})^2} \quad (2.10)$$

avec $R_{eq2} \approx [g_{mb5} + g_{m5}]^{-1}$, et $\omega_{eqp} = \left[\frac{C_L R_7 (R_{eq2} + r_6)}{R_7 + R_{eq2} + r_6} \right]^{-1}$.

R_{eq2} est la résistance dynamique de sortie de M_5 vue de sa source. Ces résultats sont obtenus dans le cadre d'hypothèses simplificatrices de même nature que celles adoptées pour le suiveur NMOS (Annexe A1.1) et justifiées par les ordres de grandeurs¹.

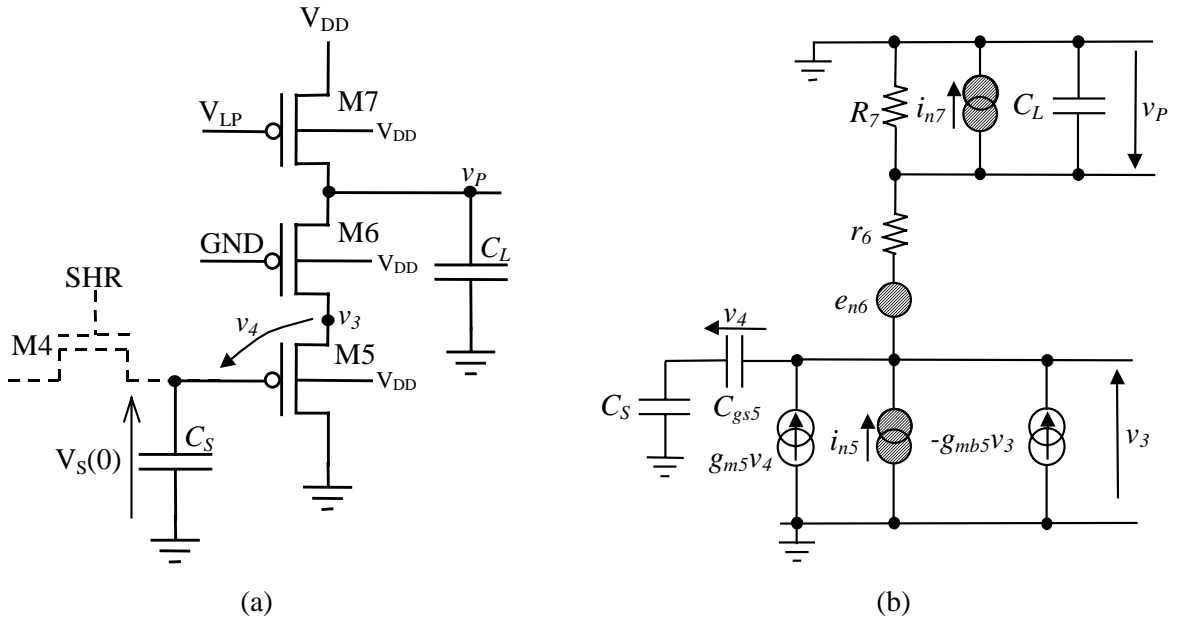


Figure II.5 : (a) Le suiveur PMOS de colonne durant la phase d'échantillonnage, et (b) son schéma équivalent petits signaux.

¹ Les ordres de grandeurs sont les suivants : $R_{eq2} \approx 2K$, $C_{eq2} \approx C_{gs5} \approx 50fF$, $C_L \approx 10pF$, $R_7 \approx 300K$, $r_6 \approx 500\Omega$.

2.4 Analyse du bruit RMS de sortie avec le procédé CDS

2.4.1 Effet du CDS sur la variance de sortie

Le schéma bloc du procédé CDS utilisé pour calculer la variance de sortie est illustré Figure II.6. Le niveau de référence du signal et le bruit sont mémorisés sur C_{ref} pendant la phase T_4 . Au début de cette phase, la tension initiale $v_{Cref}(0)$ aux bornes de cette capacité est statistiquement indépendante du niveau de référence. On considère que le filtre atteint l'état stationnaire à la fin de cette phase. Ce filtre, avec une source de bruit $e(t)$ à l'entrée donne un bruit de sortie $v_{Cref}(t)$:

$$dv_{Cref}(t) = -\omega_{eq} v_{Cref}(t) \cdot dt + \omega_{eq} e(t) \cdot dt \quad (2.11)$$

où ω_{eq} est la fréquence de coupure du filtre du premier ordre. Cette expression peut s'écrire sous la forme convolutionnelle :

$$v_{Cref}(t) = v_{Cref}(0)e^{-\omega_{eq}t} + \omega_{eq}e^{-\omega_{eq}t} \int_0^t e^{\omega_{eq}u} e(u) \cdot du \quad (2.12)$$

où la date 0 correspond au début de la phase T_4 , et t à la fin. Le niveau de bruit $v_{Csig}(t)$ échantillonné sur C_{sig} pendant la phase T_6 peut se calculer de la même manière :

$$v_{Csig}(t) = v_{Csig}(0)e^{-\omega_{eq}t} + \omega_{eq}e^{-\omega_{eq}t} \int_0^t e^{\omega_{eq}w} e(w) \cdot dw \quad (2.13)$$

Dans cette dernière expression, 0 et t correspondent respectivement au début et à la fin de la période T_6 dont la durée est la même que celle de T_4 .

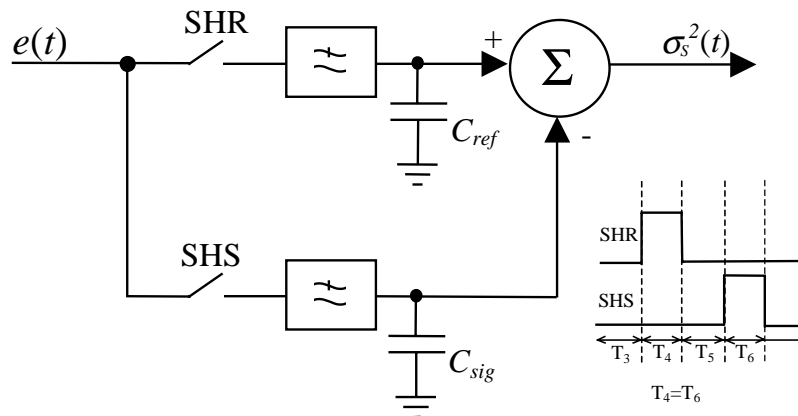


Figure II.6 : Schéma Bloc du procédé CDS utilisé pour calculer la variance du bruit de sortie.

Si $E(v)$ représente l'espérance mathématique ou moyenne du signal v [43], la variance de $v_{Cref}(t)$, $\sigma_{v_{Cref}}^2(t) = E\{v_{Cref}^2(t)\}$, est donnée par :

$$E\{v_{Cref}^2(t)\} = E\{v_{Cref}^2(0)\} \cdot e^{-2\omega_{eq}t} + \omega_{eq}^2 e^{-2\omega_{eq}t} \int_0^t \int_0^t e^{\omega_{eq}x} e^{\omega_{eq}y} E\{e(x) \cdot e(y)\} dx \cdot dy \quad (2.14)$$

où les variables muettes x et y appartiennent à l'intervalle T_4 .

On remarque que le premier terme tend rapidement vers 0, et donc il sera négligé pour v_{Cref} et v_{Csig} . Etant donné que $T_4=T_6$, et en considérant que $e(t)$ est un processus stochastique stationnaire, on obtient une expression et valeur identiques pour $v_{Csig}(t)$:

$$E\{v_{Csig}^2(t)\} = E\{v_{Cref}^2(t)\}$$

L'intercorrélation est donné de la même manière par :

$$E\{v_{Cref}(t) \cdot v_{Csig}(t)\} = \omega_{eq}^2 e^{-2\omega_{eq}t} \int_0^t \int_0^t e^{\omega_{eq}x} e^{\omega_{eq}y} E\{e(x) \cdot e(y)\} dx \cdot dy \quad (2.15)$$

où x appartient à l'intervalle T_4 , et y à T_6 .

Le but du procédé CDS est d'obtenir :

$$\Delta v_S = v_{Cref} - v_{Csig}$$

dont la variance, sachant que $E\{v_{Csig}^2(t)\} = E\{v_{Cref}^2(t)\}$, est donnée par :

$$\sigma_{\Delta v_S}^2 = E\{\Delta v_S^2\} = 2[E\{v_{Cref}^2(t)\} - E\{v_{Cref}(t) \cdot v_{Csig}(t)\}] \quad (2.16)$$

A. Bruit thermique en entrée

On rappelle que, si la DSP unilatérale du bruit blanc d'entrée e à pour valeur a_{th} , on peut écrire [43] :

$$E\{e(x)e(y)\} = \frac{a_{th}}{2} \delta(x - y) \quad (2.17)$$

où δ est l'impulsion de Dirac. Dans la Figure II.6, si $e(t)$ est du bruit blanc, l'intercorrélation donnée par la relation (2.15) est nulle. En fait, x est différent de y puisque ils appartiennent à des intervalles de temps différents, et $E\{e(x) \cdot e(y)\} = 0$. D'après l'expression (2.16), on obtient alors :

$$\sigma_{\Delta v_s}^2 = 2E\{v_{Cref}^2(t)\} \quad (2.18)$$

Donc, le procédé CDS double la puissance du bruit blanc de sortie. En utilisant les expressions (2.14), (2.15) et (2.16),

$$\sigma_{\Delta v_s}^2 = a_{th} \frac{\omega_{eq}}{2} (1 - e^{-2\omega_{eq}t}) \quad (2.19)$$

où, considérant les valeurs pratiques de t (durée des signaux SHR ou SHS, typiquement $>200\text{ns}$) et ω_{eq} (typiquement 100M radians/s.), le terme exponentiel peut être négligé. On obtient alors :

$$\sigma_{\Delta v_s}^2 = a_{th} \frac{\omega_{eq}}{2} = 2\sigma_{v_{Cref}}^2 \quad (2.20)$$

B. Bruit en $1/f$

Dans la Figure II.6, on suppose ici que le bruit d'entrée est constitué par du bruit en $1/f$ limité sur une bande de f_1 à f_2 . Le "vrai" bruit en $1/f$ peut être obtenu en faisant tendre f_1 vers 0, et f_2 vers ∞ . Suivant le théorème de *Wiener-Kintchin*, la fonction d'autocorrelation est la transformée de Fourier de la DSP bilatérale. Si la DSP unilatérale est donnée par :

$$S_e(f) = \frac{a_{fl}}{|f|}$$

puis, $\text{Re}(\cdot)$ étant la partie réelle de (\cdot) et $\omega = 2\pi f$:

$$E\{e(t')e(t'')\} = \text{Re}\left\{\int_{f_1}^{f_2} \frac{a_{fl}}{f} e^{j\omega|t'-t''|} df\right\} \quad (2.21)$$

Si τ est l'intervalle de temps entre les phases T_4 et T_6 dans le chronogramme ($\tau=T_4+T_5$), alors dans l'expression (2.15),

$$E\{e(x)e(y)\} = \text{Re}\left\{\int_{f_1}^{f_2} \frac{a_{fl}}{f} e^{j\omega(y+\tau-x)} df\right\} \quad (2.22)$$

Donc, en utilisant les relations (2.14) et (2.16), après quelques manipulations mathématiques, on obtient la relation suivante pour la variance du signal de sortie :

$$\sigma_{\Delta v_s}^2 = 2 \int_{f_1}^{f_2} a_{fl} \frac{\omega_{eq}^2}{\omega} \cdot \frac{(1 + e^{-2\omega_{eq}t} - 2e^{-\omega_{eq}t} \cos(\omega t))(1 - \cos(\omega \tau))}{\omega_{eq}^2 + \omega^2} d\omega \quad (2.23)$$

Cette intégrale converge pour $f_1=0$ et $f_2=\infty$ et peut être réécrite de la manière suivante :

$$\sigma_{\Delta v_s}^2 = 2 \int_0^\infty a_{fl} \frac{\omega_{eq}^2}{\omega} \cdot \frac{(1 + e^{-2\omega_{eq}t} - 2e^{-\omega_{eq}t} \cos(\omega t))(1 - \cos(\omega \tau))}{\omega_{eq}^2 + \omega^2} d\omega \quad (2.24)$$

En considérant les valeurs pratiques de ω_{eq} et de t (durées des signaux SHR ou SHS), et en remplaçant ω par $2\pi f$, on peut simplifier cette expression :

$$\sigma_{\Delta v_s}^2 = 2a_{fl} \cdot \int_0^\infty \frac{1 - \cos 2\pi f \tau}{f(1 + (f^2 / f_{eq}^2))} df = 2a_{fl} \int_0^\infty F(f) df = 2a_{fl} I \quad (2.25)$$

où l'intégrale I peut être réécrite :

$$I(x_{eq}) = \int_0^\infty \frac{1 - \cos x}{x(1 + (x^2 / x_{eq}^2))} dx \quad (2.26)$$

avec $x_{eq}=2\pi\tau f_{eq}$. Pour $x=0$, l'intégrale n'est pas singulière. La fonction $F(f)$ qui se trouve dans l'intégrale est tracée dans la Figure II.7a. La valeur de l'intégrale est calculée numériquement et tracée en fonction de x_{eq} dans la Figure II.7b. La variance de la sortie dépend de τ . On remarque que, plus on réduit la valeur de τ , plus la valeur de la variance diminue. Donc, pour le bruit en $1/f$, le procédé CDS agit comme un filtre passe-haut qui rejette les basses fréquences et la singularité à la fréquence nulle.

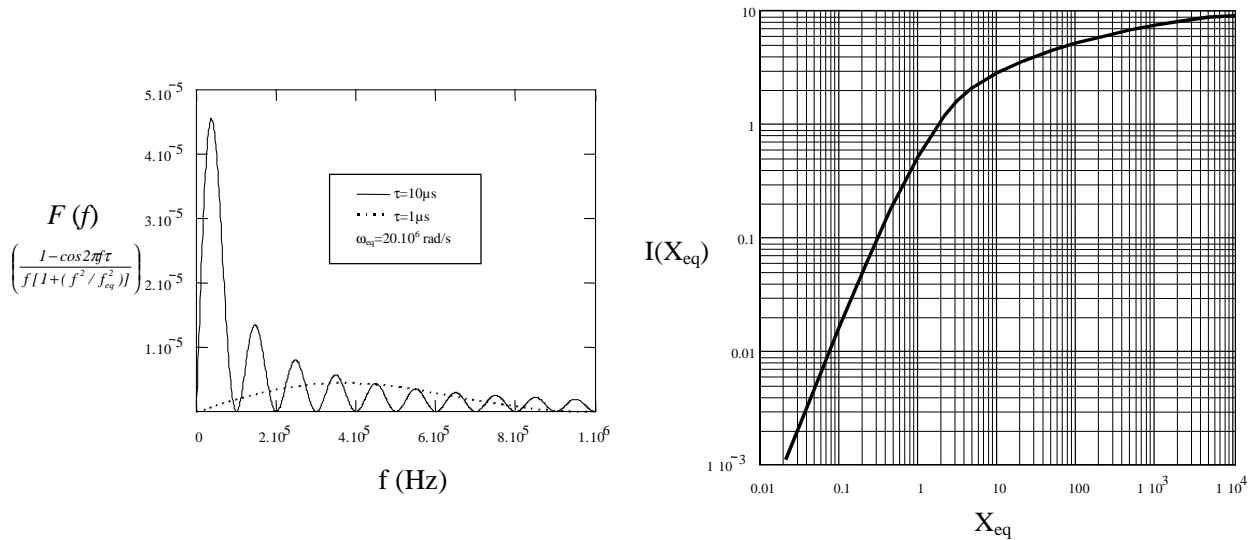


Figure II.7 : Tracé de (a) la fonction $F(f)$, et (b) la fonction $I(X_{eq})$ ($X_{eq}=2\pi f_{eq} \tau$).

2.4.2 Contribution du suiveur NMOS de pixel

Le suiveur NMOS se comporte comme un filtre passe-bas dont la DSP de bruit de sortie, d'après la relation (2.9), est donnée par :

$$S_{v_N} = \frac{R_{eq1}^2 S_{i_{n1}} + r_2^2 S_{i_{n2}} + (r_2 + R_{eq1})^2 S_{i_{n3}} + r_4^2 S_{i_{n4}}}{1 + (f^2 / f_{eqn}^2)} \quad (2.27)$$

Pour le bruit thermique, en utilisant les relations (2.20) et (2.27), la variance du signal échantillonnée, c'est-à-dire la variance de la tension différentielle ($v_{Cref} - v_{Csig}$) mesurée aux bornes des capacités d'échantillonnage (voir Figure II.1) est donnée par :

$$\sigma_{v_N}^2(th) = \pi f_{eqn}^2 [R_{eq1}^2 a_{th1} + r_2^2 a_{th2} + (r_2 + R_{eq1})^2 a_{th3} + r_4^2 a_{th4}] \quad (2.28)$$

où a_{th} est la DSP du bruit thermique en courant du transistor correspondant.

Les bruit en $1/f$ générés par M_4 et M_4' (Figure II.1) ne sont pas corrélés. Donc, les calculs effectués dans la partie III.1 ne sont applicables à ces transistors. Dans ce cas, à cause de la difficulté de déterminer la limite basse du bruit en $1/f$, problème propre à ce bruit, le calcul de la puissance du bruit est plus délicat. On suppose que le transistor a atteint son régime stationnaire et on utilise la méthode d'intégration classique de la DSP afin d'obtenir la variance. On fixe la limite basse de l'intégrale égale à l'inverse de la durée d'observation du signal [44], c'est-à-dire $f_{min1} = 1/T_4$, où T_4 est la durée d'impulsion des signaux SHR où SHS. Si $S_{in} = a_{fl}/f$ représente la DSP du bruit en $1/f$ en courant de chaque transistor, ce bruit peut s'exprimer de la façon suivante :

$$\sigma_{M_4}^2(fl) = r_4^2 a_{fl4} \cdot \int_{f_{min1}}^{\infty} \frac{1}{f(1 + (f^2 / f_{eqn}^2))} \cdot df = \frac{1}{2} r_4^2 a_{fl4} \ln \left(1 + \frac{f_{eqn}^2}{f_{min1}^2} \right) \quad (2.29)$$

et la puissance totale du bruit en $1/f$, en utilisant l'expression (2.25),

$$\sigma_{v_N}^2(fl) = 2I \cdot [R_{eq1}^2 a_{fl1} + r_2^2 a_{fl2} + (r_2 + R_{eq1})^2 a_{fl3}] + 2\sigma_{M_4}^2(fl) \quad (2.30)$$

Le bruit total de la chaîne de lecture étant dominé par les autres sources de bruit, nous n'avons pas pu vérifier expérimentalement cette hypothèse de limite basse pour M_4 .

2.4.3 Contribution des suiveurs PMOS de colonne

Les sorties des deux suiveurs PMOS sont échantillonnées séparément. Le bruit thermique total généré par ces suiveurs peut être calculé en utilisant l'expression (2.10) et en multipliant la variance de l'un des suiveurs par deux :

$$\sigma_{v_p}^2(th) = \pi f_{eqp}^2 [R_{eq2}^2 a_{th5} + r_6^2 a_{th6} + (r_6 + R_{eq2})^2 a_{th7}] \quad (2.31)$$

où a_{th} est la DSP du bruit thermique en courant du transistor correspondant.

Etant donné que les sorties sont échantillonnées une seule fois, contrairement au bruit en $1/f$ des suiveurs NMOS, le procédé CDS ne réduit pas le bruit en $1/f$ généré par les suiveurs PMOS. En utilisant la méthode employée pour calculer le bruit en $1/f$ généré par M_4 dans la partie précédente, et fixant la limite basse de l'intégrale à $f_{min2}=1/T_8$, la variance de sortie est :

$$\sigma_{v_p}^2(fl) = 2[R_{eq2}^2 a_{fl5} + r_6^2 a_{fl6} + (r_6 + R_{eq2})^2 a_{fl7}] \cdot \int_{f_{min2}}^{\infty} \frac{1}{f(1 + (f^2 / f_{eqp}^2))} \cdot df \quad (2.32)$$

et

$$\sigma_{v_p}^2(fl) = \left\{ \ln \left(1 + \frac{f_{eqp}^2}{f_{min2}^2} \right) \right\} [R_{eq2}^2 a_{fl5} + r_6^2 a_{fl6} + (r_6 + R_{eq2})^2 a_{fl7}] \quad (2.33)$$

2.4.4 Contribution du transistor de reset ou remise à zéro (M_{RST})

D'après la Figure II.5, on peut constater qu'une contre-réaction capacitive est formée par les capacités C_{fd} et C_{gs1} . On peut définir une *capacité de diffusion effective* ("effective sense capacitance") C_{eff} , [45][4] :

$$C_{eff} = C_{fd} + (1 - A_1') C_{gs1} \quad (2.34)$$

où A_1' est le gain DC de la grille à la source du transistor M_1 . L'expression pour A_1' est donnée dans l'Annexe A1.2.

A la fin de l'impulsion RST (T_1 dans la Figure II.1b), le courant de drain du transistor M_{RST} se réduit au courant de fuite du drain vers le substrat et au courant de la zone d'inversion vers le substrat [21]. Donc, la

capacité de diffusion effective C_{eff} est chargée par un transistor qui est dans la zone de faible inversion (ou zone dite sous le seuil).

L'interprétation du bruit blanc généré par le transistor MOS dans la zone de faible inversion est aussi sujet à controverse dans la littérature. Ce bruit peut être interprété comme étant un "bruit thermique" ou un "bruit de grenaille" [46][21]. Pour le bruit blanc généré par le transistor MOS fonctionnant sous le seuil, un modèle unifié est présenté dans la référence [47]. Il est montré qu'à l'équilibre thermodynamique, en considérant des tensions de grille et de drain fixes, la variance du bruit aux bornes d'une capacité C chargée par un transistor MOS fonctionnant sous le seuil est toujours égale à :

$$\sigma^2 = \frac{kT}{C} \quad (2.35)$$

qui est l'expression familière du bruit généré par le transistor M_{RST} [48]. Donc, l'expression du bruit de remise à zéro peut s'exprimer de la façon suivante :

$$\sigma_{RESET}^2 = \frac{kT}{C_{eff}} \quad (2.36)$$

Dans la partie 2.7, cette expression est vérifiée expérimentalement². On doit rappeler que le bruit en $1/f$ généré par M_{RST} est aussi éliminé par le procédé CDS, aussi bien que le bruit kT/C .

2.4.5 Bruit différentiel total de sortie et bruit ramené à l'entrée avec le procédé CDS

La variance du signal différentiel de sortie peut s'exprimer de la façon suivante :

$$\sigma_{v_o}^2 (tot) = A_2^2 \sigma_{v_N}^2 (th) + A_2^2 \sigma_{v_N}^2 (fl) + \sigma_{v_p}^2 (th) + \sigma_{v_p}^2 (fl) \quad (2.37)$$

où A_1 et A_2 représentent respectivement les gains DC du suiveur NMOS et celui du suiveur PMOS. Les expressions analytiques pour A_1 et A_2 sont données dans l'Annexe A1.2.

On rappelle que, dans le cas du pixel photodiode, le bruit du transistor M_{RST} , σ_{RESET}^2 , doit être rajouté à droite de la relation (2.37) :

$$(2.38)$$

² Il existe un bruit kT/C résiduel en raison de la non-linéarité de la capacité de la diffusion flottante, avec le procédé CDS. Néanmoins, sa contribution au bruit total de la chaîne est négligeable (moins de 2% pour le pixel photoMOS).

$$\sigma_{RESET}^2 = A_1^2 A_2^2 \frac{2kT}{C_{eff}}$$

Le facteur "2" est dû au double échantillonnage effectué qui est décorrélé dans ce cas.

Le bruit total ramené à l'entrée en Volts est :

$$\sigma_{v_i}(tot) = \frac{\sqrt{\sigma_{v_o}^2(tot)}}{A_1 A_2} \quad (2.39)$$

Le bruit ramené à l'entrée d'un APS peut s'exprimer en terme d'électrons équivalents ramenés sur la diffusion flottante qui produirait une tension à la sortie du capteur, équivalente au bruit en tension résultant de toutes les sources de bruit de la chaîne [4], c'est-à-dire,

$$NEQ = \frac{\sqrt{\sigma_{v_o}^2(tot)}}{Cvf} \quad (e^-) \quad (2.40)$$

où Cvf est le facteur de conversion charge-tension (en V/électron) du capteur, considéré de la diffusion flottante à la sortie :

$$Cvf = A_1 A_2 \frac{q_{elec}}{C_{eff}} \quad (2.41)$$

où $q_{elec} = 1,6.10^{-19}$ [C/électron] est la charge élémentaire.

2.5 Analyse du bruit RMS de sortie sans le procédé CDS

Maintenant, on considère un seul échantillonnage du signal, c'est-à-dire, une seule sortie de la chaîne, illustrée Figure II.1a, est utilisée. Dans ce cas, la variance totale du signal de sortie peut s'exprimer de la façon suivante:

$$\sigma_{v_o}^2(tot) = \frac{1}{2} \left\{ A_2^2 \sigma_{v_N}^2(th) + A_2^2 \tilde{\sigma}_{v_N}^2(fl) + \sigma_{v_p}^2(th) + \sigma_{v_p}^2(fl) + \sigma_{RESET}^2 \right\} \quad (2.42)$$

où l'expression de $\tilde{\sigma}_{v_N}^2(fl)$ est donnée par :

$$\tilde{\sigma}_{v_N}^2(fl) = \left\{ \ln \left(1 + \frac{f_{eqn}^2}{f_{min1}^2} \right) \right\} \left[R_{eq1}^2 a_{fl1} + r_2^2 a_{fl2} + (r_2 + R_{eq1})^2 a_{fl3} + r_4^2 a_{fl4} \right] \quad (2.43)$$

Dans cette relation, a_{fl} est le coefficient de la DSP du bruit en $1/f$ ($S_{in} = a_{fl}/f$) du transistor correspondant et $f_{min1} = 1/T_4$. T_4 est la durée d'impulsion de SHR (voir Figure II.1b). Les autres termes dans la relation (2.42) sont définis dans la partie précédente.

2.6 Circuits de test et banc de mesure

Afin de valider les relations analytiques obtenues, et d'examiner l'influence des dimensions des transistors et capacités sur le bruit de la chaîne de lecture, des structures de test ont été réalisées sur une technologie *Alcatel Microelectronics CMOS 0.7 μ m*. La Figure II.8 montre la photographie de cette puce.

Le schéma électrique du circuit de test est donné dans la Figure II.1a. Afin de distinguer le bruit de la chaîne des autres sources de bruit du pixel, le pixel ne comprend pas le transistor de transfert de charge TX et la capacité photosensible MOS. Seule la diffusion flottante a été implantée.

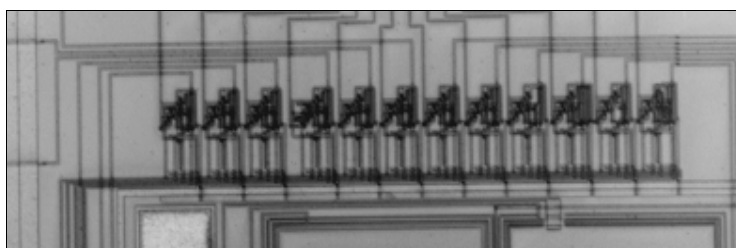


Figure II.8 : Microphotographie de la puce comprenant les circuits de test.

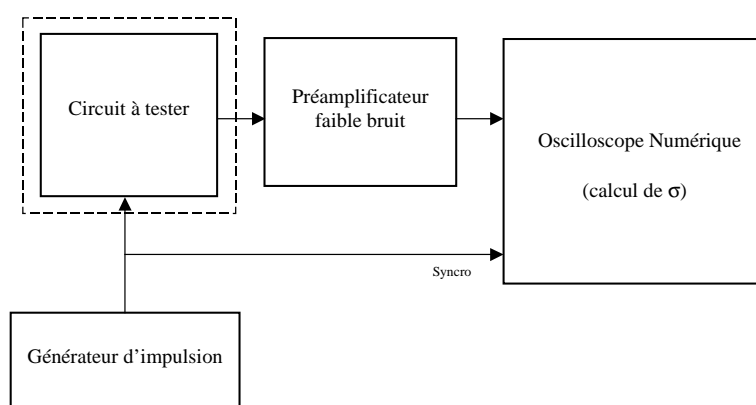


Figure II.9 : Banc de test utilisé pour mesurer le bruit RMS de sortie.

Etant donné que les structures de test nécessitent beaucoup de broches d'entrée et de sortie, le nombre de circuits de test est limité. Dans les circuits de test, on a fait varier les largeurs de canal W_1 , W_3 et la valeur de C_{fd} (voir le Tableau-II.1).

Le banc de test expérimental utilisé pour mesurer le bruit RMS est illustré dans la Figure II.9. Il comprend un préamplificateur faible bruit *EG&G 5185*, un générateur d'impulsion et un oscilloscope numérique LeCroy LC374A. L'oscilloscope est capable de calculer directement la variance des échantillons. Le système entier est placé dans une cage de Faraday. Toutes les mesures ont été effectuées à la température ambiante et dans l'obscurité. 300 valeurs ont été acquises pour chaque mesure. $T_1 = T_4 = T_6 = 200\text{ns}$, et $T_5 = 1.5\mu\text{s}$ (Figure II.1b).

Tableau-II.1 : Dimensions des transistors et des capacités utilisés dans le circuit de test.

Circuit de Test	M_{RST} (W/L)	C_{fd} (fF)	M_1 (W/L)	M_2 (W/L)	M_3 (W/L)	M_4 (W/L)	C_5 (pF)
1	2.2 μm /0.7 μm	15	1.1 μm /0.7 μm	2.2 μm /0.7 μm	4.4 μm /4.9 μm	2.2 μm /0.7 μm	1.2
2		15	2.2 μm /0.7 μm		4.4 μm /4.9 μm		
3		15	6.0 μm /0.7 μm		4.4 μm /4.9 μm		
4		15	15 μm /0.7 μm		4.4 μm /4.9 μm		
5		15	2.2 μm /0.7 μm		1.0 μm /4.9 μm		
6		15	2.2 μm /0.7 μm		2.2 μm /4.9 μm		
7		5	2.2 μm /0.7 μm		4.4 μm /4.9 μm		
8		28	2.2 μm /0.7 μm		4.4 μm /4.9 μm		

$I_{\text{bias_NMOS_Buffer}}=30\mu\text{A}$, $I_{\text{bias_PMOS_Buffer}}=120\mu\text{A}$

2.7 Résultats et discussions

Dans toutes les figures, sauf indication contraire, le bruit thermique est calculé en utilisant la relation (2.3), et le bruit en $1/f$ la relation (2.4).

Tous les paramètres nécessaires pour les calculs de bruit (les tensions des terminaux de transistors, les courants, les transconductances, les capacités, les charges des électrodes, les dimensions efficaces de canal, etc.) sont extraits du simulateur ELDO [49], après une simulation de point de fonctionnement DC du circuit illustré dans la Figure II.1a. Les paramètres physiques et les gains DC des suiveurs A_1 , A_1' et A_2 (voir Annexe A1) dépendent du point de fonctionnement du transistor et sont calculés pour chaque valeur de paramètre qui varie.

La charge d'inversion Q_{inv} nécessaire pour la relation (2.3) est définie de la façon suivante :

$$|Q_{inv}| = |Q_D + Q_S| \quad (2.44)$$

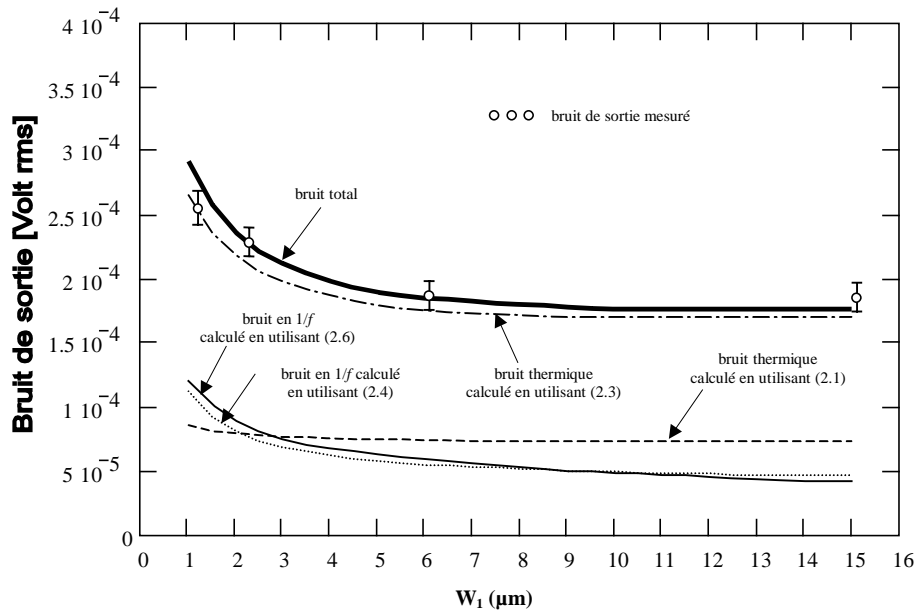
où Q_D et Q_S sont respectivement les charges associées aux électrodes de drain et de source [31][21]. Les expressions utilisées pour calculer la mobilité effective μ_{eff} peuvent être trouvées dans la référence [31].

2.7.2 Influence de la largeur du canal (W_1)

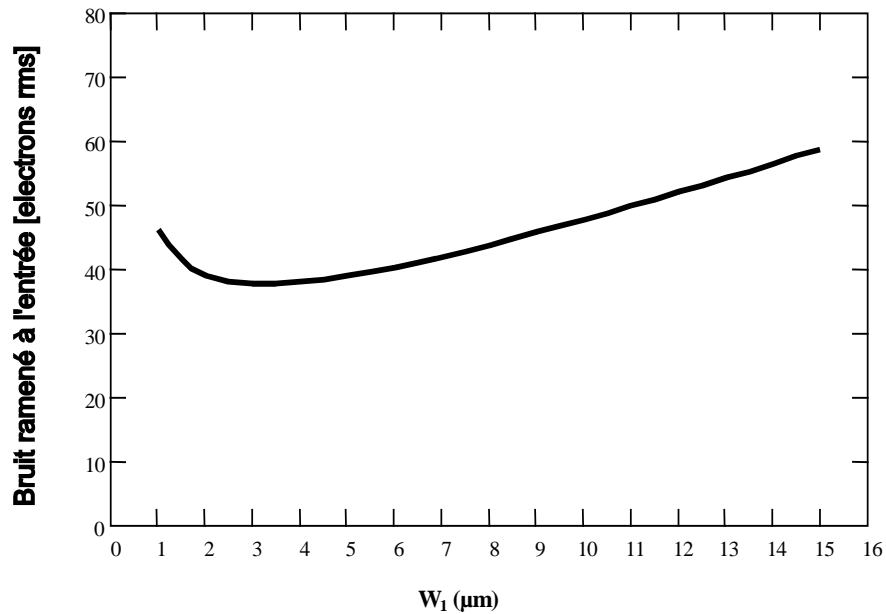
Le bruit RMS de sortie de la chaîne, expérimental et calculé, et le bruit ramené à l'entrée sont tracés respectivement dans les figures II.10a et II.10b en fonction de la largeur du canal W_1 du transistor M_1 avec le procédé CDS. La longueur du canal L_1 est maintenue constante. Pour un W/L donné, on a vérifié que chaque transistor est dans la zone de fonctionnement convenable, à savoir, en forte inversion, M_1 et M_3 saturés, et M_2 linéaire.

Dans cette figure, le bruit thermique total calculé en utilisant le modèle de SPICE2 (relation (2.1)), et le bruit en $1/f$ total calculé en utilisant le modèle de BSIM3 (relation (2.6)), sont aussi représentés. Les paramètres empiriques de bruit en $1/f$ $NOIA$, $NOIB$, et $NOIC$ n'étant pas fournis par notre fondeur, le bruit en $1/f$ est calculé en utilisant les valeurs par défaut de ces paramètres, afin de donner une idée qualitative. On remarque que le bruit thermique calculé en utilisant le modèle classique de SPICE2 donne un niveau de bruit bien inférieur au niveau de bruit mesuré. Il est intéressant de rappeler que, la relation empirique du bruit en $1/f$ (relation (2.4)) donne de façon incorrecte les même densités de bruit pour M_1 et M_2 (non-illustrées dans la Figure II.10) qui sont dans des zones de fonctionnement différentes, au contraire du modèle BSIM3.

Le fait d'augmenter W_1 augmente la densité de bruit thermique (et réduit la densité de bruit en $1/f$), tandis qu'il réduit la résistance de sortie dynamique R_{eq1} de M_1 vue par sa source. Donc, il y a une largeur de canal optimum W_{opt} qui donne un bruit ramené à l'entrée minimum (Figure II.10b). Au-delà de cette valeur, le fait d'augmenter davantage W_1 ne réduit pas le bruit. Pour les largeurs de canal très courtes, le bruit en $1/f$ aussi commence à être important.



(a)

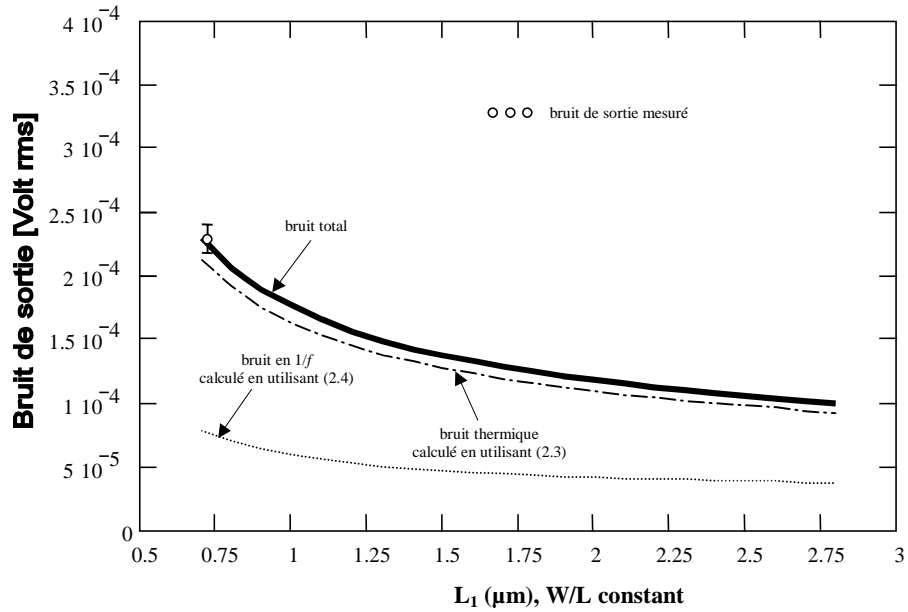


(b)

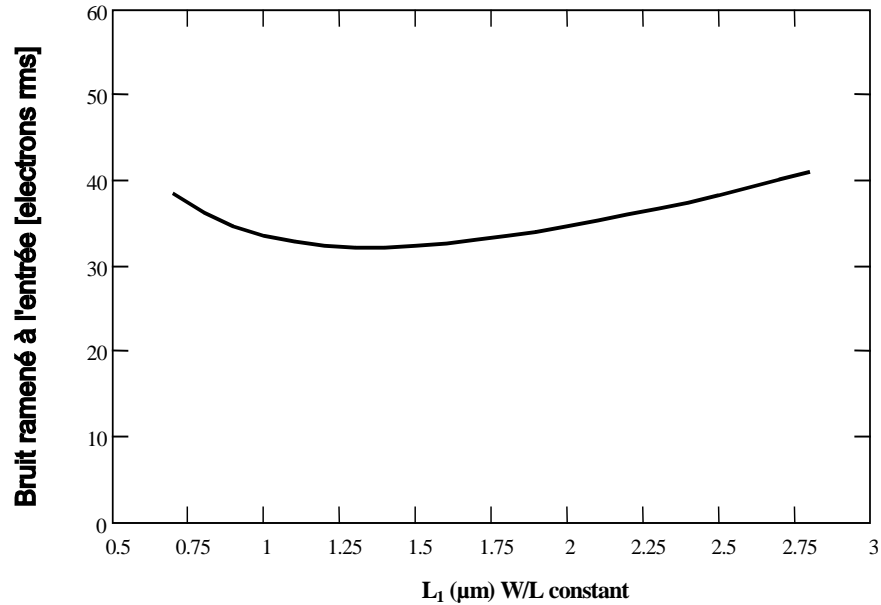
Figure II.10 : (a) Bruit en sortie de l’APS en fonction de la largeur du canal du transistor M_1 (Figure II.1a), (b) Bruit ramené à l’entrée de la chaîne et exprimé en électrons rms ($I_{bias_NMOS} = 30\mu A$, $I_{bias_PMOS} = 120\mu A$).

2.7.3 Influence de la longueur du canal (L_1)

La Figure II.11 montre le bruit RMS en fonction de la longueur du canal L_1 du transistor M_1 , en maintenant W_1/L_1 constant. Pour des très petites valeurs de L_1 , à cause de la capacité C_{gs} de M_1 qui diminue, le bruit ramené à l’entrée augmente. Donc, une valeur optimale pour $(W_1 \times L_1)$ aussi existe.



(a)



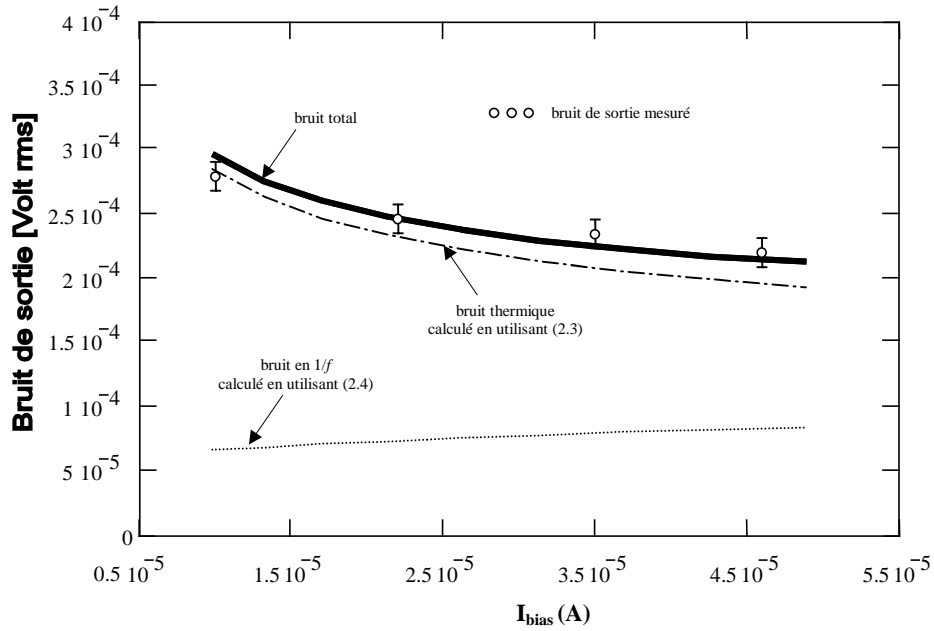
(b)

Figure II.11 : (a) Bruit en sortie de l'APS en fonction de la longueur du canal du transistor M_1 (Figure II.1a), (b) Bruit ramené à l'entrée de la chaîne et exprimé en électrons rms ($I_{bias_NMOS} = 30\mu A$, $I_{bias_PMOS} = 120\mu A$). Le rapport W_1/L_1 est constant.

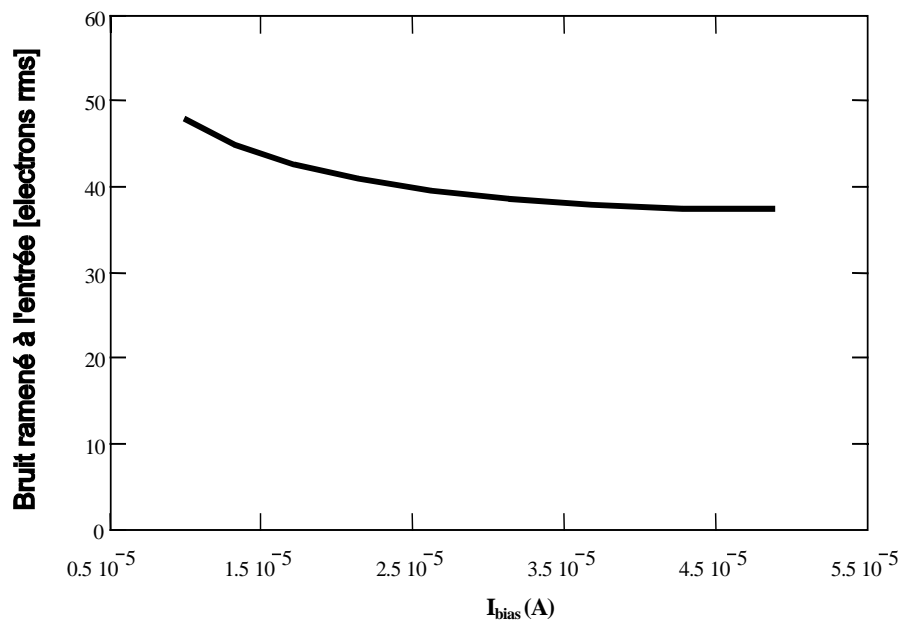
2.7.4 Influence du courant de polarisation (I_{bias})

Dans la Figure II.12, le bruit de sortie est tracé en fonction du courant de polarisation du suiveur NMOS de pixel. Le courant de polarisation est ajusté en variant V_{LN} . A la fois les résultats expérimentaux et théoriques montrent que, plus on augmente le courant, plus on diminue le bruit en sortie et le bruit ramené à l'entrée. En effet, l'augmentation de I_{bias} augmente la transconductance de M_1 , qui en conséquence

diminue R_{eq1} . Les dimensions du transistor de charge M_3 ont une faible³ influence sur le niveau de bruit, et fixent seulement le courant de polarisation du suiveur NMOS.



(a)



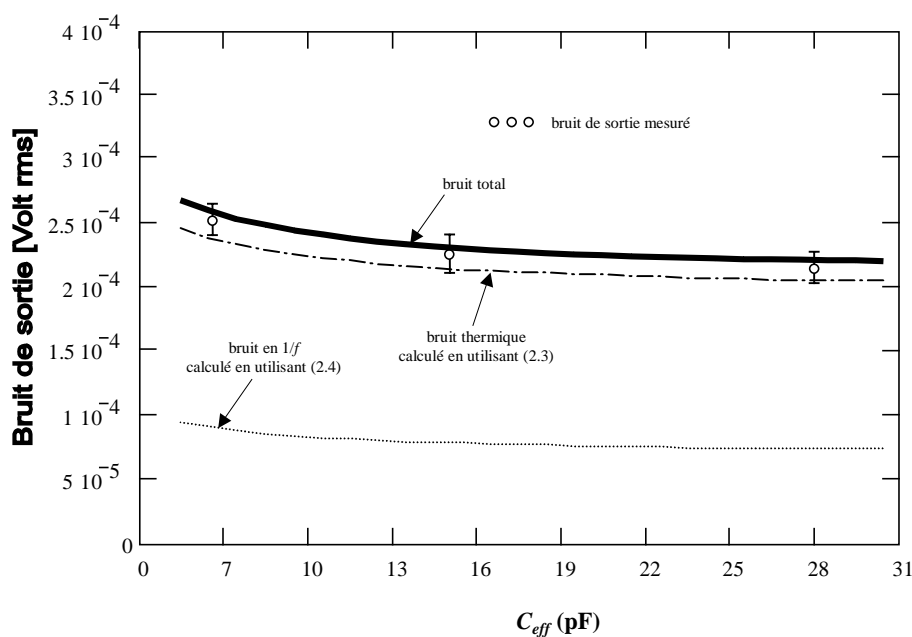
(b)

Figure II.12 : (a) Bruit en sortie de l'APS en fonction du courant de polarisation du suiveur NMOS (b) Bruit ramené à l'entrée de la chaîne et exprimé en électrons rms ($I_{bias_PMOS}=120\mu A$).

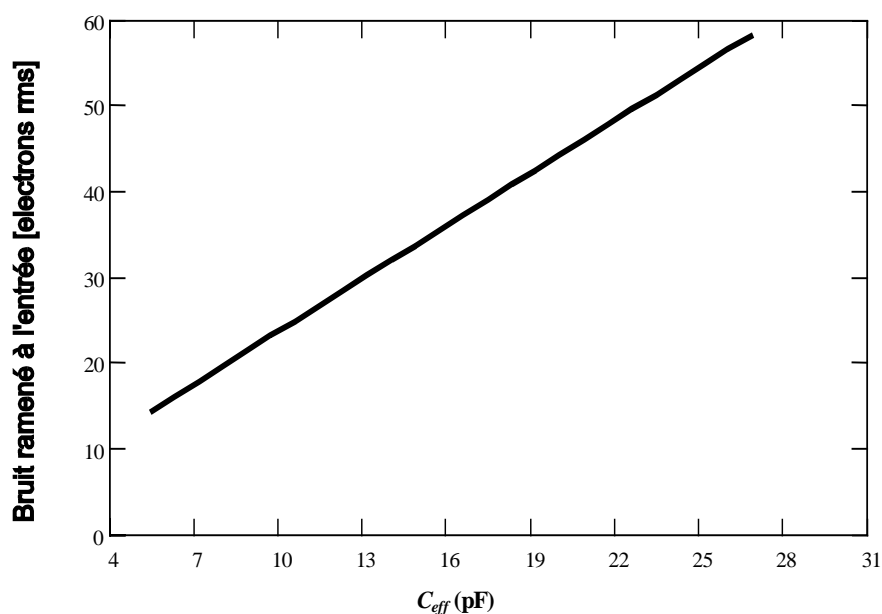
³ En fait, ce transistor, externe au pixel, est habituellement conçu avec une grande longueur de canal (voir Tableau-II.1); donc sa contribution en bruit est très petit par rapport à celle de M_1 . Les simulations montrent que sa contribution devient non-négligeable pour des longueurs de canal inférieures à $1.5\mu m$ ($L_3 < 1.5\mu m$).

2.7.5 Influence de la capacité de diffusion effective (C_{eff})

Le bruit RMS total est illustré Figure II.13, en fonction de la capacité effective de la diffusion flottante C_{eff} . Il est évident que l'augmentation de C_{eff} réduit le facteur de conversion C_{vf} (voir la relation (2.38)) et que le niveau de bruit ramené à l'entrée augmente.



(a)

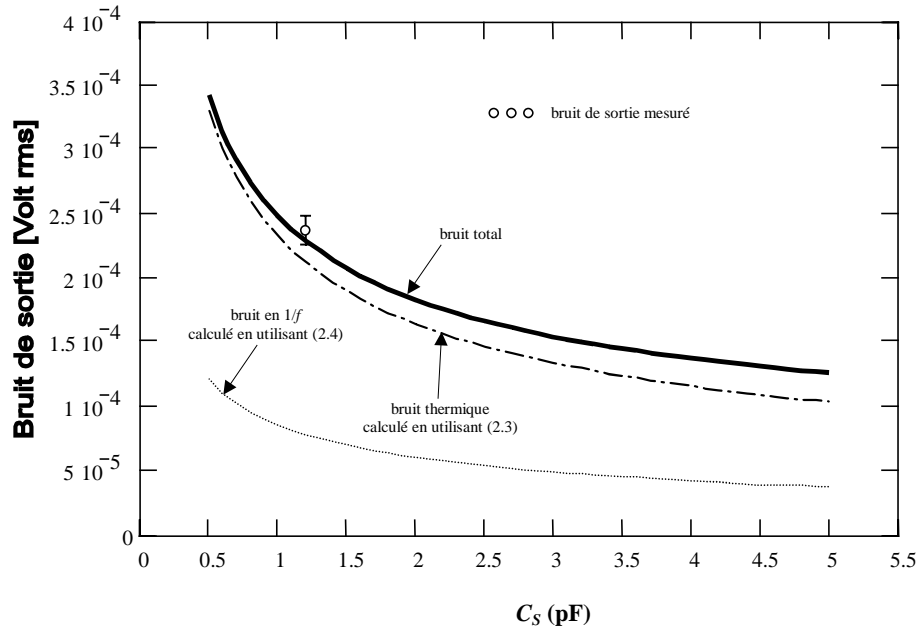


(b)

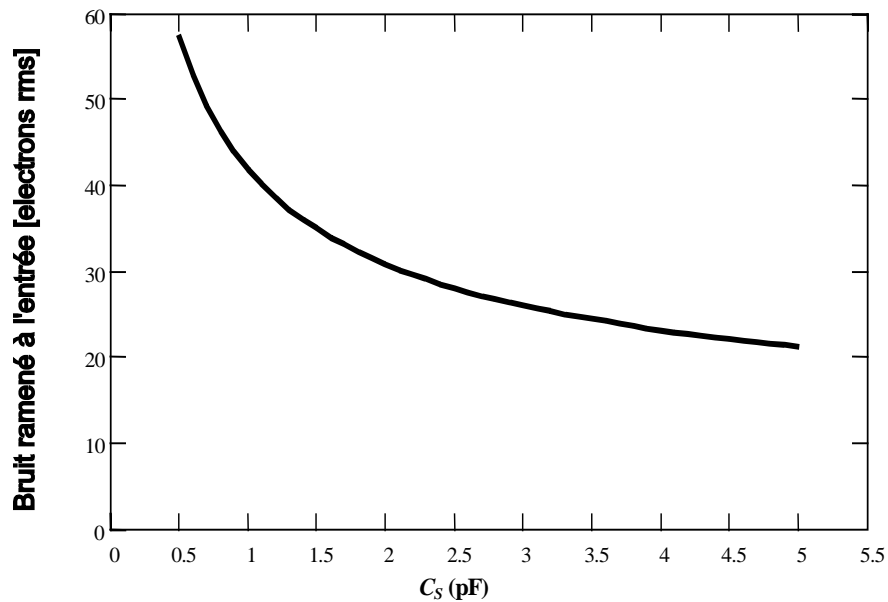
Figure II.13 : (a) Bruit en sortie de l'APS en fonction de la capacité de diffusion effective C_{eff} (b) Bruit ramené à l'entrée de la chaîne et exprimé en électrons rms ($I_{bias_NMOS} = 30\mu A$, $I_{bias_PMOS} = 120\mu A$).

2.7.6 Influence de la capacité d'échantillonnage (C_{ref} ou C_{sig})

D'après la relation (2.7), l'effet de la valeur de la capacité d'échantillonnage C_S (C_{ref} ou C_{sig}) est clair. Les résultats sont illustrés dans la Figure II.14. La réduction de la largeur du canal de M_4 , et l'agrandissement de la taille de C_S diminuent la bande passante du système et du bruit, en réduisant aussi le bruit RMS de sortie. Un autre avantage de ce dernier est la réduction des effets d'injection d'horloge des transistors [50].



(a)



(b)

Figure II.14 : (a) Bruit en sortie de l'APS en fonction de la capacité de la capacité d'échantillonnage (C_{ref} ou C_{sig}) (b) Bruit ramené à l'entrée de la chaîne et exprimé en électrons rms ($I_{bias_NMOS} = 30\mu A$, $I_{bias_PMOS} = 120\mu A$).

2.7.7 Bruit de reset (ou bruit kT/C)

La Figure II.15 montre le bruit RMS en fonction de la capacité de la diffusion flottante C_{eff} , observé sur l'une des sorties et sans le procédé CDS. On remarque que le bruit de sortie mesuré est légèrement supérieur à la valeur calculée en utilisant kT/C_{eff} , à cause du bruit thermique et du bruit en $1/f$ généré par la chaîne de lecture.

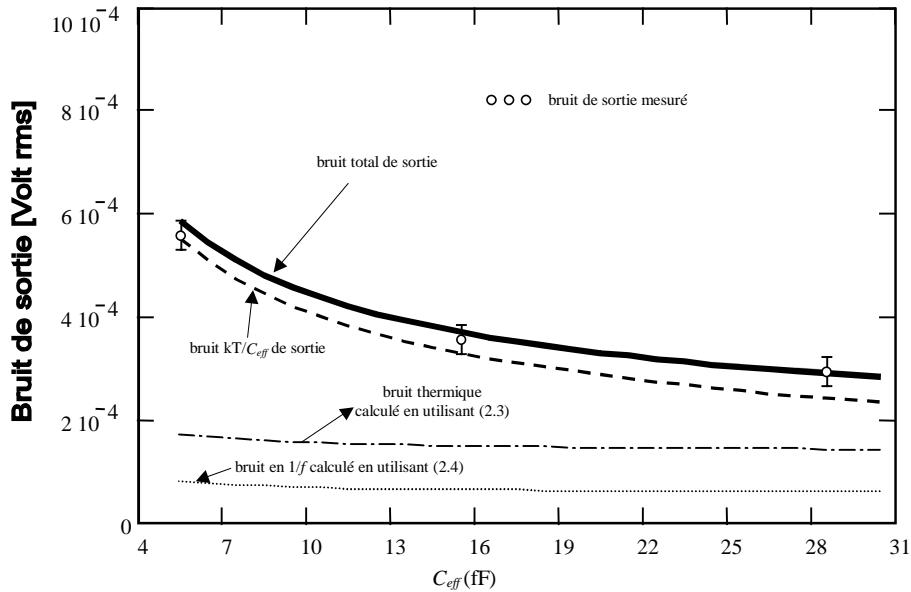


Figure II.15 : Bruit rms en sortie de l'APS en fonction de la capacité de diffusion effective C_{eff} observé sur une voie du circuit de lecture illustré Figure II.1a, sans le procédé CDS ($I_{bias_NMOS} = 30\mu A$, $I_{bias_PMOS} = 120\mu A$).

2.8 Conclusions

Dans ce chapitre, une analyse détaillée du bruit de la chaîne de lecture de l'APS, réalisée en considérant à la fois le bruit thermique et le bruit en $1/f$, est présentée ainsi que l'effet du procédé CDS. Un bon accord est obtenu entre les résultats expérimentaux et analytiques. On peut remarquer que le modèle de bruit thermique classique de SPICE2 (relation (2.1)) sous-évalue considérablement le niveau de bruit, et la relation (2.3) doit être utilisée.

Dans le cas du pixel photoMOS, avec le procédé CDS, dans la plupart des cas, le bruit dominant est le bruit généré par le transistor M_1 qui se situe dans le pixel (voir Figure II.1a). Le procédé CDS double la

puissance du bruit thermique. Grâce au CDS, le bruit en $1/f$ reste moins important que le bruit thermique. Néanmoins, pour les transistors à très petites dimensions, le bruit en $1/f$ aussi devient non-négligeable.

La valeur optimale pour la longueur et la largeur du transistor M1 est légèrement au-dessus de la valeur minimale déterminée par la technologie utilisée. Au-dessus de ces valeurs, le fait d'augmenter ($W_1 \times L_1$) ou (W_1/L_1) augmente le niveau de bruit ramené à l'entrée.

Le bruit total dépend aussi du courant de polarisation du suiveur NMOS de pixel. Pour réduire le bruit, le courant de polarisation doit être le plus élevé possible, au détriment de la spécification de puissance dissipée du capteur. Un compromis doit être trouvé selon l'application.

Afin de réduire le bruit ramené à l'entrée, la capacité de la diffusion flottante doit être réduite, mais on doit rappeler que cela peut dégrader la charge maximale stockable en régime linéaire du pixel dans les applications à faible tension d'alimentation.

Pour réduire le bruit thermique, les capacités d'échantillonnage, C_{ref} et C_{sig} , doivent être le plus large possible. Cela diminue à la fois la bande passante du bruit et du signal. Bien sûr, l'augmentation de la taille de C_s limite la vitesse de lecture. Cependant, contrairement aux CCDs [51], dans les capteurs d'images à pixels actifs CMOS, la vitesse du suiveur NMOS est un critère moins importante, car le facteur majeur qui limite la vitesse de lecture de capteur est la vitesse de balayage des colonnes.

Bibliographie :

- [1] Y. Degerli, F. Lavernhe, P. Magnan, and J. Farré, "Analysis and reduction of signal readout circuitry temporal noise in CMOS image sensors for low-light levels," *IEEE Transactions on Electron Devices*, vol. 47, no. 5, May 2000, pp. 949-962.
- [2] S.K. Mendis *et al.*, "CMOS active pixel image sensors for highly integrated imaging systems," *IEEE Journal of Solid-State Circuits*, vol. 32, no. 2, 1997, pp. 187-197.
- [3] A.J. Blanksby and M.J. Loinaz, "Performance analysis of a color CMOS photogate image sensor," *IEEE Transactions on Electron Devices*, vol. 47, no. 1, January 2000, pp. 55-64.
- [4] O. Yadid-Pecht, B. Mansoorian, E.R. Fossum, and B. Pain, "Optimization of noise and responsivity in CMOS active pixel sensors for detection of ultra low light levels," in *Solid State Sensor Arrays: Development and Applications, Proceedings of SPIE*, vol. 3019, 1997, pp. 125-136.
- [5] H. Tian, B. Fowler, and A. El Gamal, "Analysis of temporal noise in CMOS APS," in *Sensors, Cameras, and Systems for Scientific/Industrial Applications, Proceedings of SPIE*, vol. 3649, 1999, pp. 177-185.
- [6] M.H. White, D.R. Lampe, F.C. Blaha, and I.A. Mack, "Characterization of surface channel CCD image arrays at low light levels," *IEEE Journal of Solid-State Circuits*, vol. SC-9, no. 1, February 1974, pp. 1-13.
- [7] P.G. Jespers, F. van de Wiele, and M.H. White (eds.), *Solid-State Imaging*, NATO Advanced Study Institutes Series, Noordhoff Int. Pub., Leyden, The Netherlands, 1976.
- [8] M.H. Tsai and T.P. Ma, "The impact of device scaling on the current fluctuations in MOSFET's," *IEEE Transactions on Electron Devices*, vol. 41, no. 11, November 1994, pp. 2061-2068.
- [9] A.L. McWhorter, "1/f noise and germanium surface properties," in R.H. Kingston (ed.), *Semiconductor Surface Physics*, University of Pennsylvania Press, Philadelphia, 1957, pp. 207-228.
- [10] F.N. Hooge, "1/f noise," *Physica B*, vol. 83, 1976, pp. 14-23.
- [11] R.P. Jindal (ed.), "Special Issue on Fluctuation Phenomena in Electronic and Photonic Devices," *IEEE Transactions on Electron Devices*, vol. 41, no. 11, November 1994.
- [12] C. Claeys and E. Simoen (eds.), *Noise in Physical Systems and 1/f Fluctuations*, World Scientific, Singapore, 1997.
- [13] H.H. Mueller and M. Schulz, "Statistics of random telegraph noise in sub- μm MOSFET's," in [12], pp. 195-200.
- [14] A. Godoy *et al.*, "Contribution of the carrier number fluctuation and mobility fluctuation on the RTS amplitude in submicron n-MOSFET's," in [12], pp. 201-204.
- [15] A. Nemirovsky and A. Ron, "A revised model for carrier trapping-detrapping 1/f noise," *Solid-State Electronics*, vol. 41, no. 11, 1997, pp. 1811-1818.
- [16] E. Simoen and C. Claeys, "On the flicker noise in submicron silicon MOSFET's," *Solid-State Electronics*, vol. 43, no. 5, 1999, pp. 865-882.
- [17] J. Solhusvik, F. Lavernhe, G. Montseny, and J. Farré, "A new low noise signal acquisition method based on a commutable band-pass filter," *IEEE Transactions on Circuits and Systems II*, vol. 44, no. 3, March 1997, pp. 164-173.
- [18] F. Lavernhe, G. Montseny, and J. Audounet, "Markovian diffusive representation of $1/f^\alpha$ noises and applications to fractional stochastic differential models," *IEEE Transactions on Signal Processing*, vol. 49, no. 2, February 2001, pp. 414-423 (to be published).
- [19] Y. Degerli, F. Lavernhe, P. Magnan, and J. Farré, "Non-stationary noise responses of some fully differential on-chip readout circuits suitable for CMOS image sensors," *IEEE Transactions on Circuits and Systems II*, vol. 46, no. 12, December 1999, pp. 1461-1474.

- [20] P. Bolcato, "Modélisation et simulation du bruit dans les circuits intégrés : Analyse fréquentielle et régime transitoire," Thèse de Doctorat, INP- Grenoble, Janvier 1994.
- [21] Y. Tsididis, *Operation and Modeling of the MOS Transistor*, 2nd edition, McGraw-Hill, Boston, 1999.
- [22] E.P. Vandamme *et al.*, "Impact of silicidation on the excess noise behaviour of MOS transistors," *Solid-State Electronics*, vol. 38, no. 11, 1995, pp. 1893-1897.
- [23] G. Nicollini, D. Pancini, and S. Pernici, "Simulation-oriented noise model for MOS devices," *IEEE Journal of Solid-State Circuits*, vol. SC-22, no. 6, December 1987, pp. 1209-1212.
- [24] R.M. Fox, "Comments on circuit models for MOSFET thermal noise," *IEEE Journal of Solid-State Circuits*, vol. 28, no. 2, February 1993, pp. 184-185.
- [25] S. Tedja, J. Van der Spiegel, and H.H. Williams, "Analytical and experimental studies of thermal noise in MOSFET's," *IEEE Transactions on Electron Devices*, vol. 41, no. 11, November 1994, pp. 2069-2075.
- [26] C.C. Enz, "High precision CMOS micropower amplifiers," Ph.D. Dissertation, no. 802, Ecole Polytechnique Fédérale de Lausanne, 1989.
- [27] A. van der Ziel, *Noise in Solid-State Devices and Circuits*, Wiley, New York, 1986.
- [28] P.A. Layman and S.G. Chamberlain, "A compact thermal noise model for the investigation of soft error rates in MOS VLSI digital circuits," *IEEE Journal of Solid-State Circuits*, vol. 24, no. 1, February 1994, pp. 79-89.
- [29] C.T. Sah, S.Y. Wu, and F.H. Hielscher, "The effects of fixed bulk charge on the thermal noise in metal-oxide-semiconductor transistors," *IEEE Transactions on Electron Devices*, vol. ED-13, no. 4, April 1966, pp. 410-414.
- [30] B. Wang, J.R. Hellums, and C.G. Sodini, "MOSFET thermal noise modeling for analog integrated circuits," *IEEE Journal of Solid-State Circuits*, vol. 29, no. 7, July 1994, pp. 833-835.
- [31] W. Liu *et al.*, *BSIM3v3.2 MOSFET Model User's Manual*, University of California, Berkeley, 1998 (<http://www-device.EECS.Berkeley.EDU/~bsim3/>).
- [32] C.C. Enz, F. Krummenacher, and E.A. Vittoz, "An analytical MOS transistor model valid in all regions of operation and dedicated to low-voltage and low-current applications," *Analog Integrated Circuits and Signal Processing*, vol. 8, July 1995, pp. 83-114.
- [33] D. Foty, *MOSFET Modeling with SPICE: Principles and Practice*, Prentice-Hall, Upper Saddle River, NJ, USA, 1997.
- [34] R.P. Jindal, "High frequency noise in fine line NMOS field effect transistors," in *1985 IEEE Int. Electron Devices Meeting (IEDM) Tech. Digest*, Washington, DC, 1985, pp. 68-71.
- [35] Z.Y. Chang, "Low-noise HF amplifiers," in J.H. Huijsing *et al.* (eds.), *Analog Circuit Design: Low-Noise, Low-Power, Low-Voltage; Mixed-Mode Design with CAD Tools; Voltage, Current and Time References*, Kluwer, Boston, 1996, pp. 3-25.
- [36] Y.P. Tsididis and K. Suyama, "MOSFET modeling for analog circuit CAD: Problems and prospects," *IEEE Journal of Solid-State Circuits*, vol. 29, no. 3, 1994, pp. 210-216.
- [37] G. Reimbold, "Modified $1/f$ trapping noise theory and experiments in MOS transistors biased from weak to strong inversion – Influence of interface states," *IEEE Transactions on Electron Devices*, vol. ED-31, no. 9, September 1984, pp. 1190-1198.
- [38] G. Ghibaudo, "A simple derivation of Reimbold's drain current spectrum formula for flicker noise in MOSFET's," *Solid-State Electronics*, vol. 30, no. 10, 1987, pp. 1037-1038.
- [39] K.K. Hung, P.K. Ko, C. Hu, and Y.C. Cheng, "A unified model for the flicker noise in metal-oxide-semiconductor field-effect transistors," *IEEE Transactions on Electron Devices*, vol. 37, no. 3, March 1990, pp. 654-665.

- [40] K.K. Hung, P.K. Ko, C. Hu, and Y.C. Cheng, "A physics-based MOSFET noise model for circuit simulators," *IEEE Transactions on Electron Devices*, vol. 37, no. 5, May 1990, pp. 1323-1333.
- [41] J.C. Vildeuil, M. Valenza, and D. Rigaud, "Extraction of the BSIM3 $1/f$ noise parameters in CMOS transistors," *Microelectronics Journal*, vol. 30, no. 2, February 1999, pp. 199-205.
- [42] J.C. Vildeuil, 1999, communication personnelle.
- [43] A. Papoulis, *Probability, Random Variables, and Stochastic Processes*, McGraw-Hill, New York, 1991.
- [44] M. S. Keshner, " $1/f$ noise," *Proceedings of the IEEE*, vol. 70, no. 3, March 1982, pp. 212-218.
- [45] P. Centen, "CCD on-chip amplifiers: Noise performance versus MOS transistor dimensions," *IEEE Transactions on Electron Devices*, vol. 38, no. 5, May 1991, pp. 1206-1216.
- [46] G. Reimbold and P. Gentil, "White noise of MOS transistors operating in weak inversion," *IEEE Transactions on Electron Devices*, vol. ED-29, no. 11, 1982, November 1982, pp. 1722-1725.
- [47] R. Sarpeshkar, T. Delbrück, and C. A. Mead, "White noise in MOS transistors and resistors," *IEEE Circuits and Devices Magazine*, November 1993, pp. 23-29.
- [48] J.E. Carnes and W.F. Kosonocky, "Noise sources in charge-coupled devices," *RCA Review*, vol. 33, June 1972, pp. 327-343.
- [49] ANACAD ELDO v4.7_1.1 User's Manual, Revision 7.0, Mentor Graphics Co., May 1998.
- [50] D.J. Allstot and W.C. Black, "Technological design considerations for monolithic MOS switched-capacitor filtering systems," *Proceedings of the IEEE*, vol. 71, no. 8, August 1983, pp. 967-986.
- [51] A. J. P. Theuwissen, *Solid-State Imaging with Charge-Coupled Devices*, Kluwer, Dordrecht, The Netherlands, 1995.

Chapitre III

Conception de Circuits de Traitement pour la Chaîne de Lecture du Capteur APS

Résumé :

Dans ce chapitre sont présentés trois circuits de traitement, utilisant un OTA (Operational Transconductance Amplifier) cascode différentiel symétrique, conçus pour la chaîne de lecture de l'APS et réalisés sur une technologie *Alcatel Microelectronics* CMOS 0.7 μ m. Le premier est un amplificateur de tension à capacités commutées élémentaire, le second un amplificateur de tension à capacités commutées à compensation de la tension de décalage (offset), et le troisième un filtre passe-bande actif commutable. Tous ces circuits permettent de réaliser des opérations de double échantillonnage corrélé (CDS - Correlated Double Sampling) et d'échantillonnage à double différence (DDS - Double Delta Sampling), afin de supprimer respectivement le bruit spatial (FPN - Fixed Pattern Noise) des pixels et des colonnes. Ces circuits permettent des vitesses de lecture jusqu'à 10 Mpixel/sec. Une analyse théorique détaillée de la réponse des circuits au bruit blanc et au bruit en $1/f^\alpha$, en considérant la nature non-stationnaire des signaux de sortie, est présentée. Une méthode s'appuyant sur une représentation markovienne du bruit en $1/f^\alpha$ est utilisée. Les résultats expérimentaux et théoriques sont comparés.

3.1 Introduction

Un des avantages offert par le capteur APS est la possibilité d'intégrer des circuits de traitement analogiques ou numériques sur la même puce que la matrice photosensible, grâce à l'utilisation des technologies standard CMOS. Les chaînes de lecture et d'échantillonnage du signal, externes au capteur d'images dans le cas des systèmes d'imagerie à CCD, peuvent être dans le cas des capteurs APS intégrées au sein de la même puce que la matrice photosensible. Ces chaînes de lecture doivent être conçues pour supporter l'adressabilité des colonnes et optimisées pour minimiser la limitation du rapport signal à bruit du capteur. La chaîne de lecture simplifiée de l'APS ainsi que le pixel ainsi que le pixel photoMOS sont représentés dans la Figure III.1.

Les différences entre les tensions de seuil V_{th} des transistors des suiveurs de colonnes (ϵ_{To}), liées à la dispersion de fabrication, sont responsables d'un bruit fixe de colonne. La Figure III.2 montre une image prise en obscurité avec un APS photoMOS 256x256 pixels [1]. On remarque la présence des lignes verticales. Afin de corriger ce bruit fixe sur la puce, une méthode de lecture par double différence (ou DDS - double delta sampling) est utilisée. Dans un premier temps, les deux sorties V_1 et V_2 sont échantillonnées par la chaîne de traitement externe à la chaîne de lecture. La différence des sorties ($V_1 - V_2$) comprend aussi l'erreur ϵ_{To} . Ensuite l'interrupteur CB ("Crow-Bar") est activé et les capacités C_{ref} et C_{sig} sont court-circuitées. A cet instant, la différence entre V_1 et V_2 est égale à ϵ_{To} directement. Le chronogramme de ce mode de lecture¹ est illustré Figure III.3.

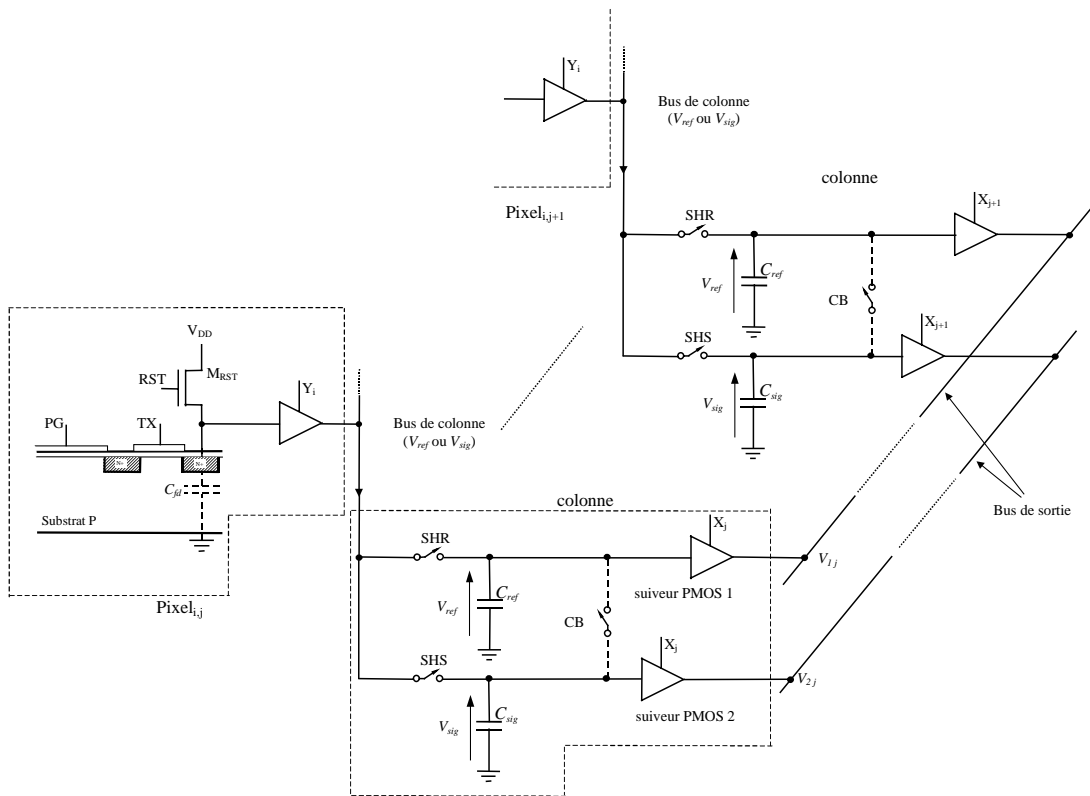


Figure III.1 : Chaîne de lecture simplifiée de l'APS photoMOS comprenant le CB.

Alors, la chaîne de traitement qui suit la chaîne de lecture de l'APS doit effectuer la soustraction suivante et l'amplifier :

$$\begin{aligned}
 [V_1(n) - V_2(n)] - [V_1(n+1) - V_2(n+1)] &= (V_{ref} - V_{sig} + \epsilon_{To}) - \epsilon_{To} \\
 &= V_{ref} - V_{sig} \\
 &= \Delta V
 \end{aligned}
 \tag{3.1}$$

¹ Dans le chronogramme de lecture général de l'APS donné dans la figure I.13 (Chapitre I), après avoir sélectionné une colonne grâce à l'adresse X (l'intervalle de temps t9 dans cette figure), puis lu les signaux V_1 et V_2 , le signal CB est activé et une deuxième lecture de V_1 et V_2 est effectuée avant de passer à la colonne suivante.

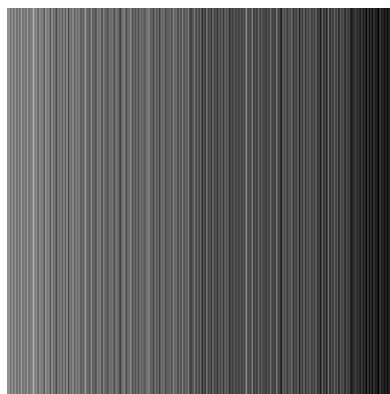


Figure III.2 : Image prise en obscurité avec un APS photoMOS 256x256 pixels sans le procédé DDS, illustrant le bruit fixe de colonne.

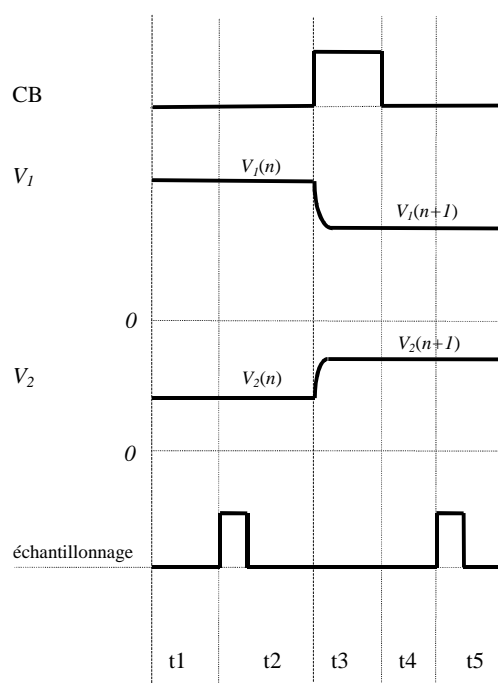


Figure III.3 : Chronogramme de mise en œuvre du procédé DDS (sous éclaircissement).

On remarque que dans cette relation finale l'erreur ε_{T_0} disparaît et on obtient directement le signal utile ΔV . Les trois circuits présentés dans ce chapitre sont conçus pour réaliser cette fonction et éliminer l'erreur ε_{T_0} . Le premier est un amplificateur de tension à capacités commutées élémentaire, le second un amplificateur de tension à capacités commutées à compensation de la tension de décalage (offset), et le troisième un filtre passe-bande actif commutable. Ils reposent sur un amplificateur opérationnel à transconductance (OTA – Operational Transconductance Amplifier) cascode différentiel symétrique. Dans la partie 3.2, ces trois circuits ainsi que leur fonctionnement seront présentés. L'OTA utilisé sera aussi brièvement décrit. L'implantation de ces circuits sera présentée dans la partie 3.3.

Les réponses en régime non-stationnaire de ces circuits à un bruit quelconque, c'est à dire au bruit thermique ou au bruit $1/f^\alpha$ ont été également étudiées [2]. Pour un transistor MOS, α peut varier entre 0.6 et 2.0, suivant la température, le domaine de fréquence, et les conditions de polarisation [3]. Pour ces circuits, les méthodes de calculs de bruit classiques en utilisant les DSP de bruit et le théorème de *Wiener-Kinchin* ne sont pas utiles, car le bruit RMS de sortie de ces circuits est variable dans le temps, et en général, à l'instant d'échantillonnage, les niveaux de sorties n'atteignent pas le régime stationnaire. Dans la partie 3.4 seront présentées les équations d'état des circuits qui seront utilisées dans les calculs des réponses en bruit. Les réponses théoriques et expérimentales au bruit blanc et au bruit en $1/f^\alpha$ de ces circuits seront présentés dans la partie 3.5, et les résultats seront comparés.

3.2 Présentation des circuits

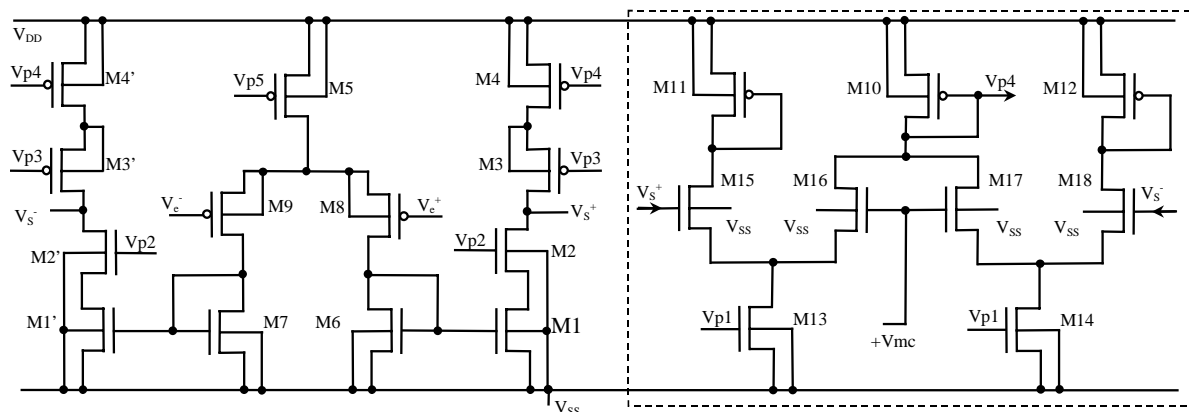
L'amplificateur opérationnel utilisé dans ces circuits est un OTA cascode différentiel symétrique, illustré Figure III.4 [4]. Il est constitué d'un étage d'entrée, de deux étages de sortie cascode et des circuits pour générer différentes tensions de références. Il comprend aussi un circuit de contrôle du mode commun pour assurer un taux de réjection du mode commun (CMRR - Common Mode Rejection Ratio) élevé. Ce circuit compare les deux tensions de sorties, et fixe leur moyenne à une valeur de mode commun $V_{mc}=V_{DD}/2$, en faisant varier V_{p4} .

L'utilisation d'un amplificateur opérationnel différentiel symétrique permet de réduire les effets des problèmes majeurs des circuits à capacités commutées [5] :

- faible taux de réjection des alimentations (PSRR - Power Supply Rejection Ratio),
- l'injection de charges des interrupteurs,
- la dépendance en tension au premier ordre des capacités,

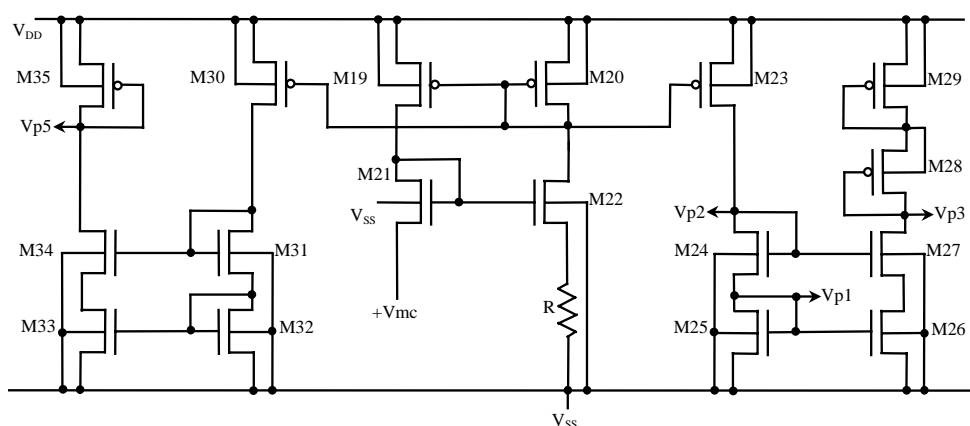
Les simulations réalisées sur le simulateur de circuit ELDO en utilisant les modèles de transistor BSIM3v3 du procédé de fabrication *Alcatel Microelectronics* 0.7 μ m donnent un gain statique de 70 dB, une fréquence de transition de 65MHz, et une marge de phase d'environ 60° avec une capacité de charge de 1.5pF. La dynamique de sortie en mode différentiel est de 2V. Il est stable pour une valeur de charge donnée (1.5pF) et instable en boucle ouverte. Les tensions d'alimentation sont +5V pour V_{DD} , 0V pour V_{SS} et +2.5V pour V_{mc} .

L'étage d'entrée est polarisé avec un courant de 40 μ A, et l'étage de sortie 120 μ A. La surface occupée sur le silicium par l'OTA est 0.034mm².



Circuit de contrôle du mode commun

(a)



(b)

Figure III.4 : Schéma complet de l'OTA différentiel symétrique. Il comprend (a) un étage d'entrée différentiel, deux amplificateurs cascades, et un circuit de contrôle du mode commun, ainsi que (b) des circuits de polarisation.

Le schéma équivalent simplifié de l'OTA utilisé pour les calculs de réponse en bruit est illustré par la Figure III.5. Dans ce schéma, afin de simplifier les calculs, l'OTA est supposé alimenté symétriquement. g_o est la transconductance DC. Le circuit de contrôle de mode commun est représenté par le bloc " $v_S^- = -v_S^+ = v_S$ ".

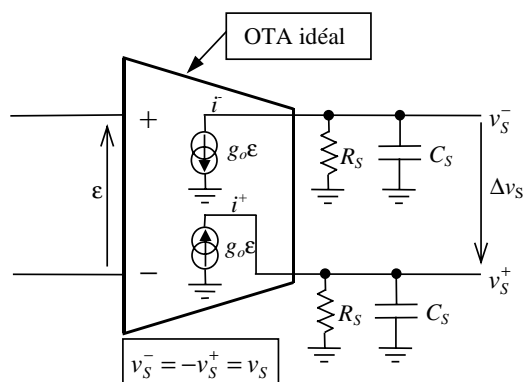


Figure III.5 : Schéma équivalent de l'OTA utilisé pour les calculs de bruit.

3.2.1 Amplificateur de tension à capacités commutées élémentaire

Le premier circuit est un amplificateur de tension à capacités commutées élémentaire différentiel symétrique, illustré en Figure III.6. Pendant la phase-1 ($\phi = V_{DD}$), avant activation du signal CB, les deux sorties de la chaîne de lecture de l'APS (Figure III.1) sont échantillonnées sur les capacités C_1-C_1' , les capacités C_2-C_2' étant alors déchargées.

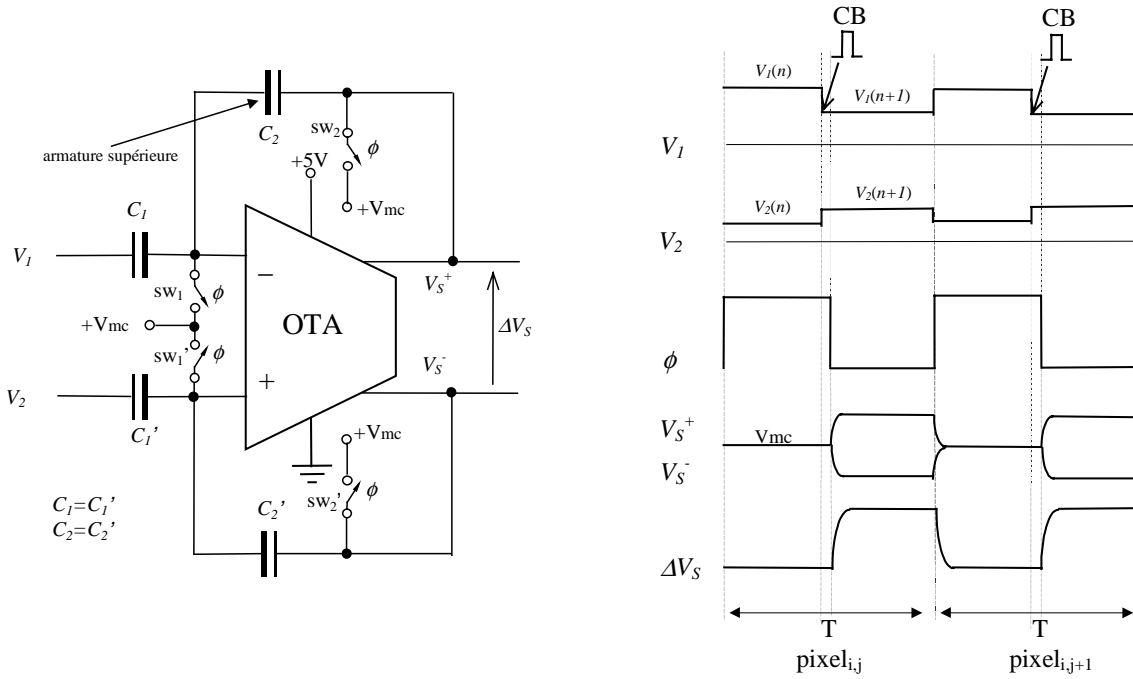


Figure III.6 : Amplificateur de tension à capacités commutées élémentaire avec le chronogramme associé.

Après activation de CB, le signal de contrôle ϕ passe à 0, et les différences entre les nouvelles valeurs et les précédentes sont transférées sur les capacités C_2-C_2' . En effectuant une analyse nodale, avec un OTA idéal ($V_{os} = 0, A_v = \infty$), pendant la phase d'amplification, on obtient l'expression suivante de la tension différentielle de sortie (calculs détaillés en annexe A2.1) :

$$\Delta V_S(n+1) = \frac{C_1}{C_2} \{ [V_1(n) - V_2(n)] - [V_1(n+1) - V_2(n+1)] \}, \quad (3.2)$$

et en utilisant la relation (3.1), (3.3)

$$\Delta V_S(n+1) = \frac{C_1}{C_2} \Delta V$$

où (C_1/C_2) est le gain de l'amplificateur.

Si on tient compte de la tension de décalage de l'OTA V_{os} , pour la tension différentielle de sortie, en effectuant une analyse nodale, on obtient :

$$\Delta V_S(n+1) = \frac{C_1}{C_2} \Delta V + \left(1 + \frac{C_1}{C_2}\right) V_{os} \quad (3.4)$$

où le deuxième terme représente l'erreur due à la tension de décalage.

En considérant le gain statique fini ($A_v = g_0 R_S \neq \infty$) et la tension de décalage de l'OTA, on obtient la l'expression suivante :

$$\Delta V_S(n+1) = \frac{C_1}{C_2 + \left(\frac{C_1 + C_2}{A_v}\right)} \Delta V + \left\{ \frac{C_2 + C_1}{C_2 + \frac{C_1 + C_2}{A_v}} \right\} V_{os} \quad (3.5)$$

D'après cette relation, le gain statique fini de l'OTA introduit donc une erreur dans le gain du circuit. Pour un gain statique infini, on retrouve la fonction de transfert donnée dans la relation (3.4).

Afin de réduire les effets des larges capacités parasites associées aux armatures inférieures des capacités², les armatures supérieures doivent être connectées aux entrées de l'OTA (cf. Figure III.6). Les entrées de l'OTA, qui sont des nœuds sensibles, sont ainsi protégées contre les perturbations venant du substrat à travers les larges capacités parasites associées aux armatures inférieures des capacités. De plus, pour un gain statique assez élevé, ces capacités parasites n'interviennent pas dans la fonction de transfert statique du circuit.

Tous les interrupteurs peuvent être réalisés avec de simples transistors NMOS, afin de réduire les charges injectées à l'ouverture. Dans ce circuit, tous les interrupteurs étant reliés à une source de tension fixe V_{mc} , toutes les charges injectées par les interrupteurs sont indépendantes du signal, introduisant seulement une tension de décalage fixe.

Un des inconvénients de ce circuit concernant le bruit est donc, la tension de décalage de l'OTA n'étant pas éliminée, que le bruit basse fréquence généré par l'OTA n'est pas éliminé non plus [6].

² Pour les capacités parasites associées aux armatures des capacités réalisées en technologies CMOS, voir dans le chapitre IV, la partie 4.5.1.2 et la figure IV.10.

Les effets des non-idéalités des interrupteurs et de l'OTA ne sont analysés dans ce travail. Ces problèmes sont étudiés dans la littérature sur les circuits à capacités commutées (voir, par exemple les références [6]-[9]).

3.2.2 Amplificateur de tension à capacités commutées à compensation de la tension de décalage de l'OTA

Le deuxième amplificateur, illustré Figure III.7, a la particularité d'éliminer la tension de décalage V_{os} de l'OTA, en réduisant également le bruit basse fréquence généré [8][9]. Dans ce circuit, pendant la phase-1 ($\phi_1 = V_{DD}$, $\phi_2 = 0$), les capacités C_2-C_2' ne sont pas court-circuitées, mais préchargées à la tension V_{os} . Cette tension de décalage est éliminée pendant la phase-2.

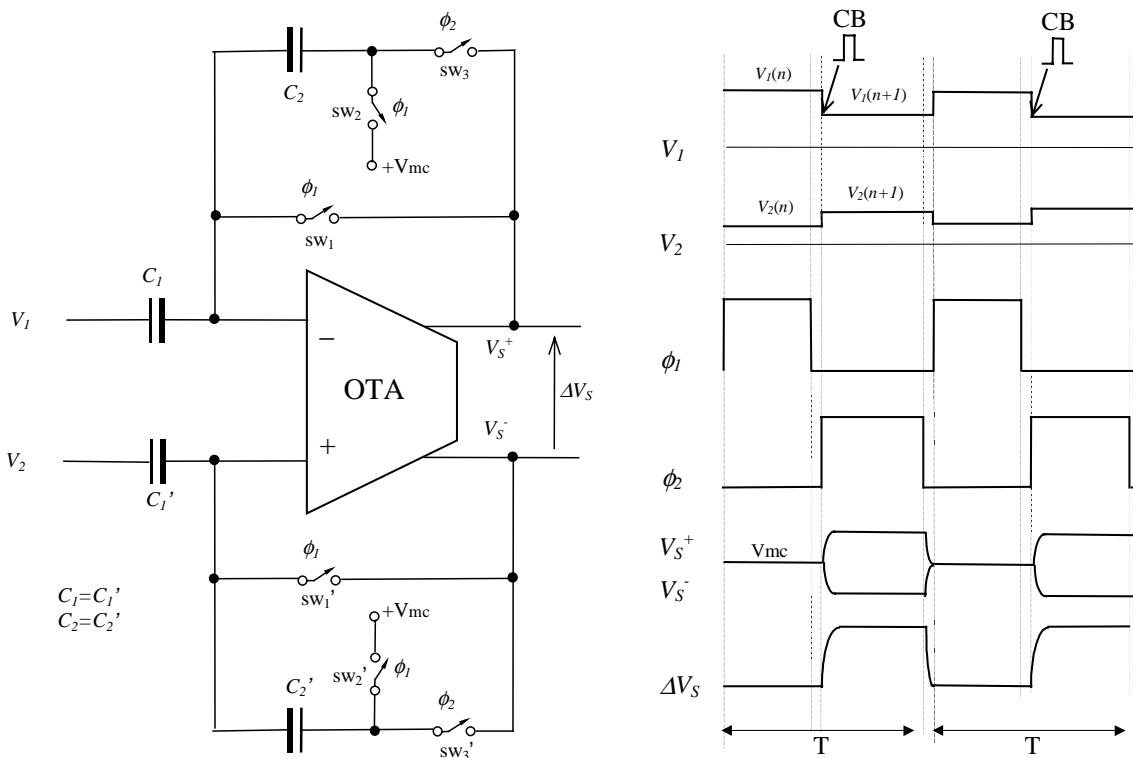


Figure III.7 : Amplificateur de tension à capacités commutées à compensation de la tension de décalage avec le chronogramme associé.

Si on considère un gain statique infini ($A_v = \infty$) pour l'OTA, la fonction de transfert est donnée par :

$$\Delta V_S(n+1) = \frac{C_1}{C_2} \Delta V \tag{3.6}$$

indépendamment de la tension V_{os} .

Si on considère le gain statique fini A_v de l'OTA, en effectuant une analyse nodale (voir l'annexe A2.2), on obtient :

$$\Delta V_S(n+1) = \frac{C_1}{\left(C_2 + \frac{C_1 + C_2}{A_v}\right)} \Delta V + \left\{ \frac{\frac{C_1 + C_2}{1 + A_v}}{C_2 + \frac{C_1 + C_2}{A_v}} \right\} V_{os} \quad (3.7)$$

Pour un gain statique suffisamment élevé, on obtient la relation (3.6).

Les inconvénients de ce circuit proviennent de la complexité et de la difficulté de générer les signaux de commandes ϕ_1 - ϕ_2 , pour des vitesses de lecture rapide. De plus, pendant les intervalles entre les deux phases, l'OTA est en boucle ouverte et instable (voir Figure III.8). Ceci empêche le fonctionnement rapide de cet amplificateur. La durée entre ϕ_1 et ϕ_2 doit être la plus courte possible. Les autres problèmes rencontrés sur ce circuit seront discutés dans les conclusions de ce chapitre. Dans la littérature, on peut trouver des circuits numériques pour générer les signaux de commande ϕ_1 et ϕ_2 à partir d'un seul signal d'horloge [10][11].

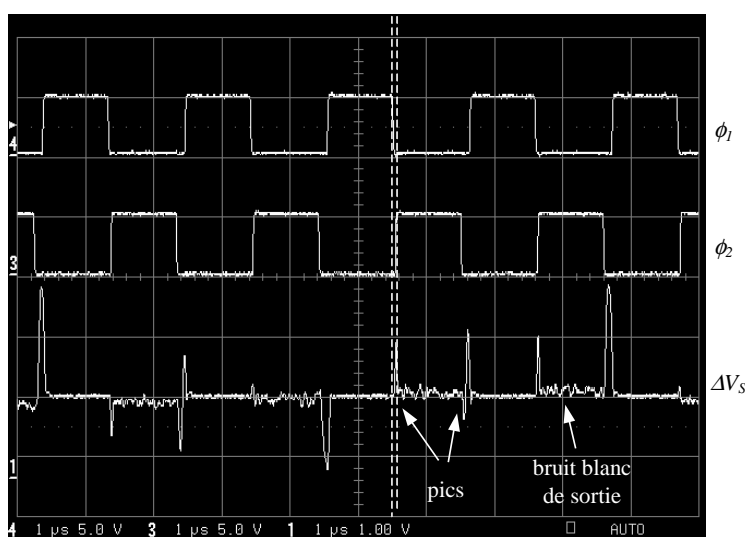


Figure III.8 : Pics (glitches) observés à la sortie de l'amplificateur de tension à capacités commutées à compensation de la tension de décalage illustré Figure III.7.

3.2.3 Filtre passe-bande actif commutable

La Figure III.9a représente le schéma du filtre passe-bande commutable, et la Figure III.9b le chronogramme associé. Le circuit comprend un OTA, quatre résistances, quatre capacités et quatre interrupteurs.

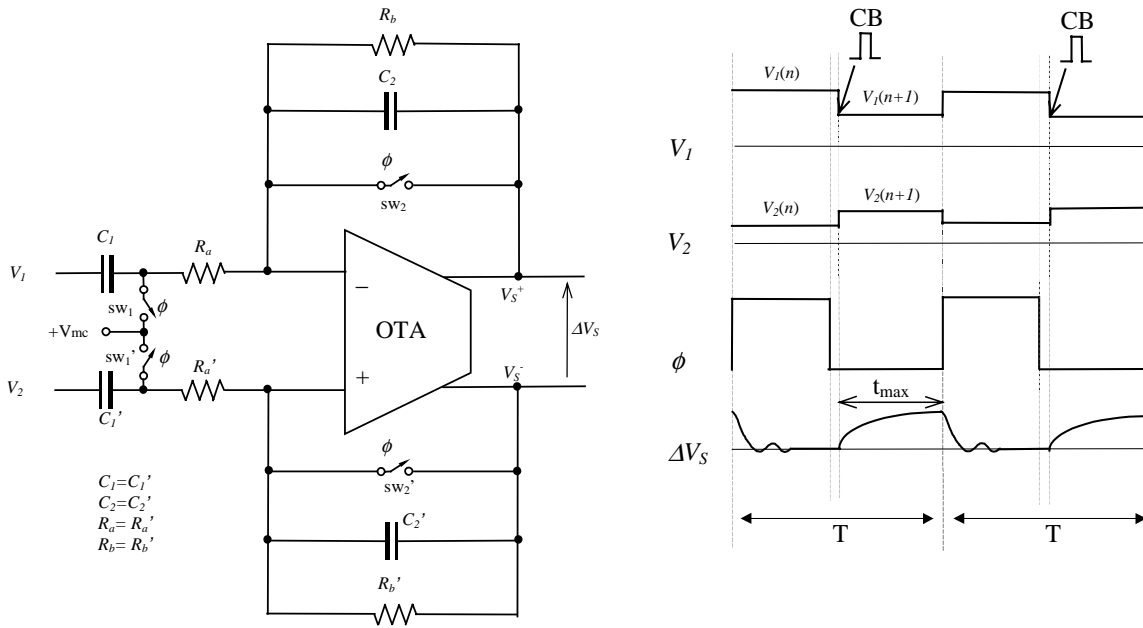


Figure III.9 : Filtre passe-bande actif commutable avec le chronogramme associé.

Il est fondé sur un filtre passe-bande variable dont la fréquence centrale peut être changée d’une haute fréquence (HF) à une basse fréquence (BF), et vice versa, réduisant ainsi la bande passante du bruit. Le changement de fréquence est obtenu en activant / désactivant les interrupteurs pendant les deux phases. Pendant la première phase (mode BF), les interrupteurs sont activés en fixant le signal de commande ϕ à V_{DD} , et les signaux V_1 - V_2 avant activation du signal CB sont échantillonnés sur les capacités C_1 - C_1' . A cet instant, les capacités C_2 - C_2' sont reliées à V_{mc} et déchargées. Juste avant l’activation du signal CB, le signal ϕ passe à 0 et le filtre passe au mode HF.

En considérant un OTA idéal, la fonction de transfert du filtre pendant la première phase est donnée par :

$$H_1(s) = - \frac{r_1 r_2 C_1 s}{(1 + r_2 C_2 s)(R_a + r_1) \left(1 + \frac{r_1 R_a C_1 + r_1 r_2 C_2}{R_a + r_1} s\right)} \quad (3.8)$$

et pendant la deuxième phase par :

$$H_2(s) = - \frac{R_b C_1 s}{(1 + R_a C_1 s)(1 + R_b C_2 s)} \quad (3.9)$$

où $r_1 = r_2 = r$ est la résistance à l’état ouvert des interrupteurs. Le module $|H(f)|$ de cette fonction de transfert pendant les deux phases est tracé dans la Figure III.10.

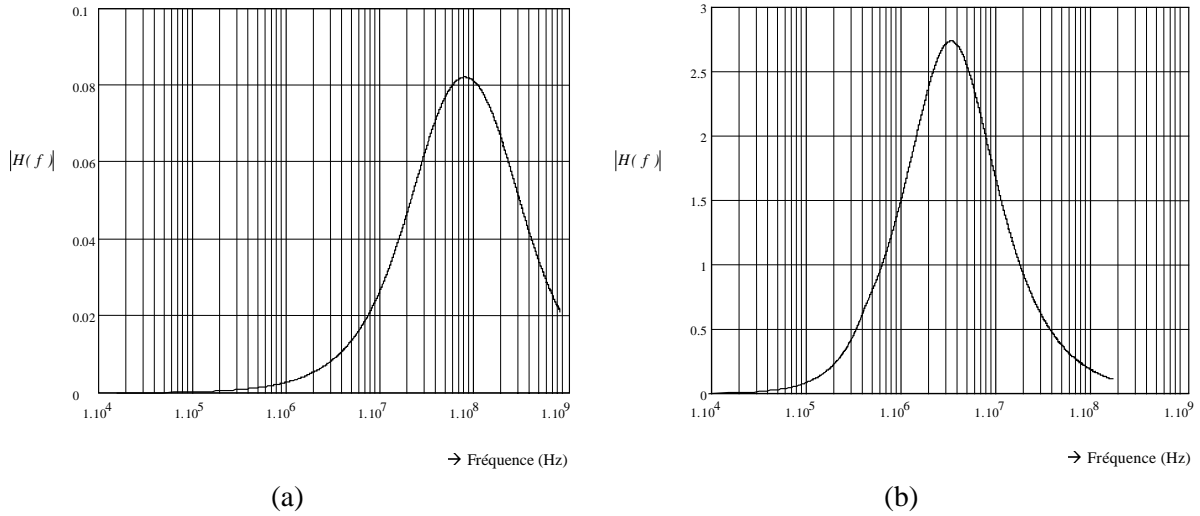


Figure III.10 : Module $|H(f)|$ de la fonction de transfert du filtre passe-bande commutable pendant (a) la phase-1, et (b) la phase-2 pour $R_a = 10\text{K}$, $R_b = 54\text{K}$, $r = 1\text{K}$, $C_1 = 5\text{pF}$, et $C_2 = 0.9\text{pF}$.

Pendant la phase-2, la réponse transitoire du filtre est donnée par :

$$\Delta V_S(t) = \frac{R_b}{R_a} \cdot \frac{\tau_1}{\tau_1 - \tau_2} \left(e^{-t/\tau_1} - e^{-t/\tau_2} \right) \cdot \Delta V \quad (3.10)$$

où $\tau_1 = R_a C_1$ et $\tau_2 = R_b C_2$.

En prenant la dérivée de cette équation et l'égalant à 0, la date où la sortie du filtre atteint sa valeur maximale $\Delta V_S(t_{\max})$, peut être calculée :

$$t_{\max} = \frac{\tau_1 \tau_2}{\tau_1 - \tau_2} \ln \left(\frac{\tau_1}{\tau_2} \right) \quad (3.11)$$

Dans les circuits de test qui ont été réalisés, les paramètres du filtre sont optimisés pour un gain de 6dB et un t_{\max} de 50ns.

Une version différente et non-différentielle de ce circuit a été déjà proposée et étudiée dans les références [12][13] pour la chaîne d'acquisition d'un CCD scientifique de type Thomson 7895M³.

³ Ce circuit a été réalisé en utilisant des composants discrets et testé à une faible vitesse de lecture (25kpixels/s typiquement).

3.3 Réalisations des circuits

Les circuits sont réalisés sur une technologie *Alcatel Microelectronics CMOS 0.7μm* à une seule couche de polysilicium et double couche de métal. La Figure III.11 montre les dessins de ces circuits, réalisés sur le logiciel CADENCE. La Figure III.12 représente la microphotographie d'une puce comprenant deux filtres passe bande commutable, avec des valeurs de RC différentes.

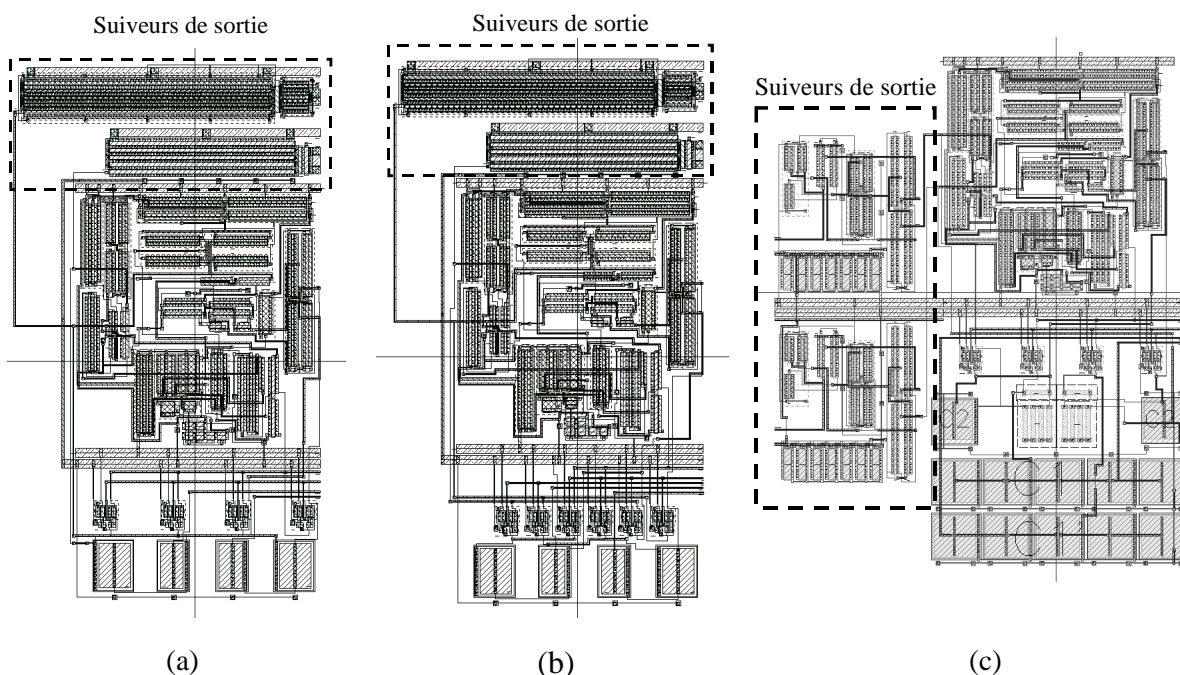


Figure III.11 : Dessins des trois circuits réalisés sur le logiciel CADENCE (les plots d'entrées et de sorties ne sont pas illustrés): (a) amplificateur de tension à capacités commutées élémentaire, (b) amplificateur de tension à capacités commutées à compensation de la tension de décalage de l'OTA, et (c) filtre passe-bande actif commutable.

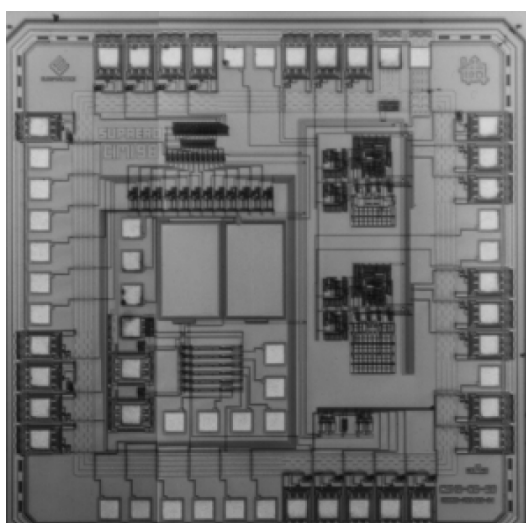


Figure III.12 : Microphotographie d'une puce comprenant une partie des circuits décrits dans le manuscrit, à savoir : deux filtres passe-bande commutables différentiels symétriques (Figure III.9a), et des structures de test pour l'optimisation en bruit de la chaîne de lecture de l'APS présentées dans le Chapitre II (Figure II.8). La puce a été réalisée sur une technologie *Alcatel Microelectronics CMOS 0.7μm*.

Les capacités sont de type polysilicium / diffusion N⁺ sur substrat p, et les résistances utilisées dans le filtre passe bande commutable sont de type polysilicium peu dopé à grande résistivité. Les interrupteurs sont des portes de transmission.

Sur le circuit de test, deux suiveurs ont été rajoutés afin de fixer la charge de l'OTA à 1.5pF et de pouvoir fournir les signaux aux charges capacitives externes vues sur les broches de la puce.

3.4 Equations d'état des circuits

Dans cette partie, seront données les équations d'état des circuits. Ces équations seront utilisées dans la partie suivante pour calculer les réponses en bruit blanc et en bruit en $1/f^\alpha$ de ces circuits.

Les schémas équivalents des circuits sont illustrés Figure III.13. On rappelle que les résistances notées R dans ces schémas varient dans le temps, et prennent pour valeur les résistances à l'état ouvert ou fermé des interrupteurs, selon la position de l'interrupteur. R_I est la résistance de sortie de la source de bruit utilisée.

A. Amplificateur de tension à capacités commutées élémentaire

Suivant la Figure III.13a, on peut écrire les équations différentielles d'état qui représentent l'amplificateur de tension à capacités commutées élémentaire :

$$du_1 = a_1(t).(e_1 - u_1 - u_2 - v_s).dt$$

$$du_1' = a_1(t).(e_2 - u_1' - u_2' + v_s).dt$$

$$du_2 = a_2(t).(e_1 - u_1).dt - a_3(t).(u_2 - v_s).dt$$

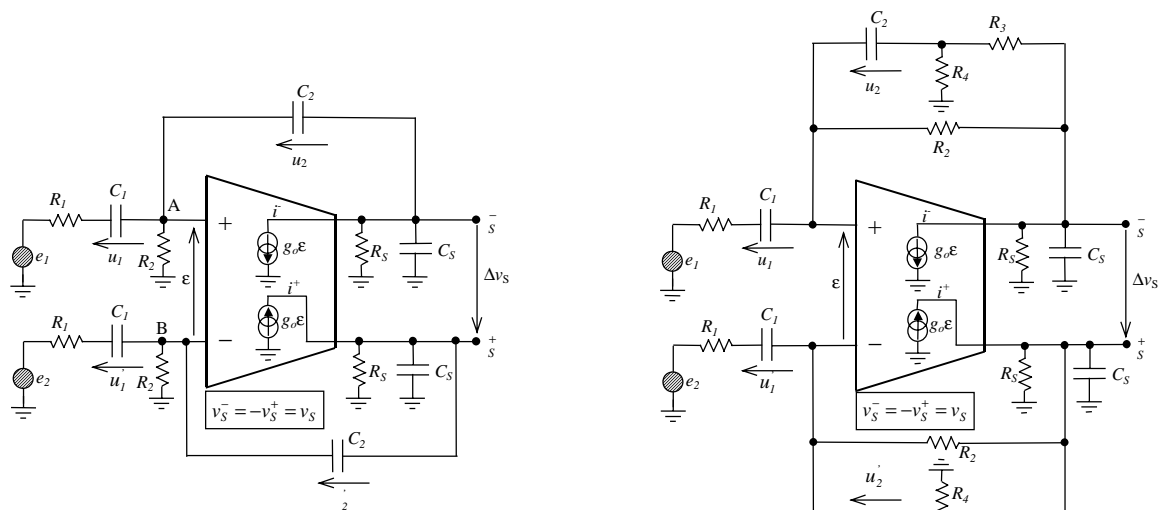
$$du_2' = a_2(t).(e_2 - u_1').dt - a_3(t).(u_2' + v_s).dt$$

$$dv_s = a_4(t).(e_1 - u_1 - e_2 + u_1').dt - a_5(t).(u_2 - u_2').dt - a_6(t).v_s.dt$$

avec

$$a_1 = \frac{1}{R_1 C_1}, \quad a_2 = \frac{1}{R_1 C_2}, \quad a_3 = \frac{1}{C_2} \left(\frac{1}{R_1} + \frac{1}{R_2} \right), \quad a_4 = \frac{1}{2R_1 C_s}, \quad a_5 = \frac{1}{2C_s} \left(\frac{1}{R_1} + \frac{1}{R_2} + 2g_o \right),$$

$$a_6 = \frac{1}{C_s} \left(\frac{1}{R_s} + \frac{1}{R_1} + \frac{1}{R_2} + 2g_o \right).$$

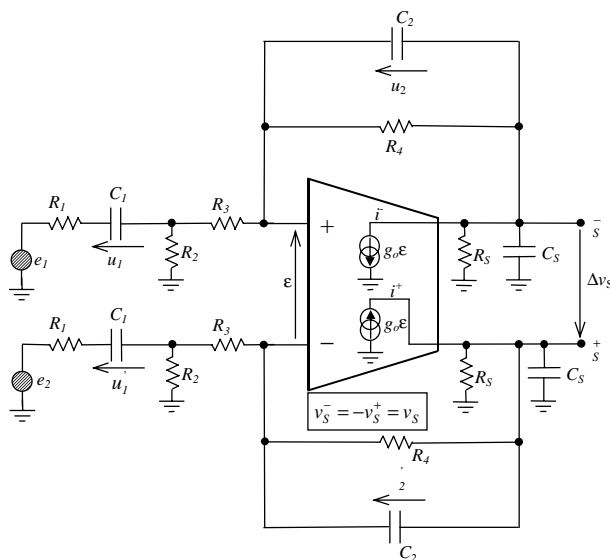


R_1 : résistance de sortie de la source de bruit,
 R_2 : résistance équivalente des interrupteurs sw_1-sw_1' ,
 R_3 : (résistance équivalente de sw_2-sw_2')/(résistance de sortie de l'OTA)

R_1 : résistance de sortie de la source de bruit,
 R_2 : résistance équivalente de sw_1-sw_1' ,
 R_3 : résistance équivalente de sw_3-sw_3' ,
 R_4 : résistance équivalente de sw_2-sw_2' ,
 R_5 : résistance de sortie de l'OTA

(a)

(b)



R_1 : résistance de sortie de la source de bruit,
 R_2 : résistance équivalente de sw_1-sw_1' ,
 R_3 : R_2-R_2' ,
 R_4 : $(R_1-R_1') //$ (résistance équivalente de sw_2-sw_2'),
 R_5 : résistance de sortie de l'OTA

(c)

Figure III.13 : Schémas équivalents des circuits utilisés pour calculer les réponses en bruit : (a) amplificateur de tension à capacités commutées élémentaire, (b) amplificateur de tension à capacités commutées à compensation de la tension de décalage de l'OTA, et (c) filtre passe-bande actif commutable.

Afin de simplifier les calculs et les mesures, dans ce qui suit, on considèrera seulement le cas où la seconde source de bruit e_2 est nulle. Dans ce cas, on peut écrire ces équations sous forme matricielle de la façon suivante :

$$\frac{d}{dt} \begin{bmatrix} u_1 \\ u_1' \\ u_2 \\ u_2' \\ v_S \end{bmatrix} = \begin{bmatrix} -a_1 & 0 & -a_1 & 0 & -a_1 \\ 0 & -a_1 & 0 & -a_1 & a_1 \\ -a_2 & 0 & -a_3 & 0 & -a_3 \\ 0 & -a_2 & 0 & -a_3 & a_3 \\ -a_4 & a_4 & -a_5 & a_5 & -a_6 \end{bmatrix} \begin{bmatrix} u_1 \\ u_1' \\ u_2 \\ u_2' \\ v_S \end{bmatrix} + \begin{bmatrix} a_1 \\ 0 \\ a_2 \\ 0 \\ a_4 \end{bmatrix} [e_1]. \quad (3.12)$$

B. Amplificateur de tension à capacités commutées à compensation de la tension de décalage

Pour cet amplificateur, suivant la Figure III.13b, les équations d'état sont données par :

$$\begin{aligned} du_1 &= b_1(t).(e_1 - u_1).dt - b_2(t).u_2 - b_3(t).v_S .dt \\ du_1' &= b_1(t).(e_2 - u_1').dt - b_2(t).u_2'.dt + b_3(t).v_S .dt \\ du_2 &= b_4(t).(e_1 - u_1).dt - b_5(t).u_2'.dt - b_6(t).v_S .dt \\ du_2' &= b_4(t).(e_2 - u_1').dt - b_5(t).u_2'.dt + b_6(t).v_S .dt \\ dv_S &= b_7(t).(e_1 - u_1 - e_2 + u_1').dt + b_8(t).(u_2 - u_2').dt - b_9(t).v_S .dt \end{aligned}$$

où

$$\begin{aligned} b_1 &= \frac{k_1}{C_1} \cdot \left(\frac{1}{R_2} + \frac{1}{R_3} + \frac{1}{R_4} \right), \quad b_2 = \frac{k_1}{C_1} \cdot \left(\frac{1}{R_3} + \frac{1}{R_4} \right), \quad b_3 = \frac{k_1}{C_1} \cdot \left(\frac{1}{R_2} + \frac{1}{R_3} \right), \quad b_4 = \frac{k_1}{C_2} \cdot \left(\frac{1}{R_3} + \frac{1}{R_4} \right), \\ b_5 &= \frac{k_1}{C_2} \cdot \left(1 + \frac{R_1}{R_2} \right) \cdot \left(\frac{1}{R_3} + \frac{1}{R_4} \right), \quad b_6 = \frac{k_1}{C_2} \cdot \left(\frac{1}{R_3} - \frac{R_1}{R_2 R_4} \right), \quad b_7 = \frac{k_1}{2C_S} \cdot \left(\frac{1}{R_2} + \frac{1}{R_3} - 2g_o \right), \\ b_8 &= \frac{1}{2C_S} \left[-\frac{1}{R_3} + k_1 R_1 \left(\frac{1}{R_3} + \frac{1}{R_4} \right) \left(\frac{1}{R_2} + \frac{1}{R_3} - 2g_o \right) \right], \\ b_9 &= \frac{1}{C_S} \left[\frac{1}{R_2} + \frac{1}{R_3} + \frac{1}{R_S} - k_1 R_1 \left(\frac{1}{R_2} + \frac{1}{R_3} \right) \left(\frac{1}{R_2} + \frac{1}{R_3} - 2g_o \right) \right] \text{ and } k_1 = [1 + R_1(1/R_2 + 1/R_3 + 1/R_4)]^{-1}. \end{aligned}$$

Sous forme matricielle :

$$\frac{d}{dt} \begin{bmatrix} u_1 \\ u_1' \\ u_2 \\ u_2' \\ v_S \end{bmatrix} = \begin{bmatrix} -b_1 & 0 & -b_2 & 0 & -b_3 \\ 0 & -b_1 & 0 & -b_2 & b_3 \\ -b_4 & 0 & -b_5 & 0 & -b_6 \\ 0 & -b_4 & 0 & -b_5 & b_6 \\ -b_7 & b_7 & b_8 & -b_8 & -b_9 \end{bmatrix} \begin{bmatrix} u_1 \\ u_1' \\ u_2 \\ u_2' \\ v_S \end{bmatrix} + \begin{bmatrix} b_1 \\ 0 \\ b_4 \\ 0 \\ b_7 \end{bmatrix} [e_1] \quad (3.13)$$

C. Filtre passe-bande actif commutable

Suivant la Figure III.13c, pour le filtre passe bande commutable, les équations différentielles d'état sont :

$$du_1 = c_1(t).(e_1 - u_1).dt - c_2(t).(u_2 + v_S).dt$$

$$du_1' = c_1(t).(e_2 - u_1').dt - c_2(t).(u_2' - v_S).dt$$

$$du_2 = c_3(t).(e_1 - u_1).dt - c_4(t).u_2.dt - c_5(t).v_S.dt$$

$$du_2' = c_3(t).(e_2 - u_1').dt - c_4(t).u_2'.dt + c_5(t).v_S.dt$$

$$dv_S = c_6(t).(e_1 - u_1 - e_2 + u_1').dt - c_7(t).(u_2 - u_2').dt - c_8(t).v_S.dt$$

avec $c_1 = \frac{k_2}{C_1} \left(\frac{1}{R_2} + \frac{1}{R_3} \right)$, $c_2 = \frac{k_2}{C_1 R_3}$, $c_3 = \frac{k_2}{C_2 R_3}$, $c_4 = \frac{1}{C_2} \left[\frac{1}{R_4} + \frac{k_2}{R_3} \left(1 + \frac{R_1}{R_2} \right) \right]$, $c_5 = \frac{k_2}{C_2 R_3} \left(1 + \frac{R_1}{R_2} \right)$,
 $c_6 = \frac{k_2}{2C_S R_3}$, $c_7 = \frac{1}{2C_S} \left[2g_o + \frac{1}{R_3} \left(1 - \frac{k_2 R_1}{R_3} \right) \right]$, $c_8 = \frac{1}{C_S} \left[2g_o + \frac{1}{R_S} + \frac{1}{R_3} \left(1 - \frac{k_2 R_1}{R_3} \right) \right]$ et
 $k_2 = [1 + R_1(1/R_2 + 1/R_3)]^{-1}$.

Sous forme matricielle:

$$\frac{d}{dt} \begin{bmatrix} u_1 \\ u_1' \\ u_2 \\ u_2' \\ v_S \end{bmatrix} = \begin{bmatrix} -c_1 & 0 & -c_2 & 0 & -c_2 \\ 0 & -c_1 & 0 & -c_2 & c_2 \\ -c_3 & 0 & -c_4 & 0 & -c_5 \\ 0 & -c_3 & 0 & -c_4 & c_5 \\ -c_6 & c_6 & -c_7 & c_7 & -c_8 \end{bmatrix} \begin{bmatrix} u_1 \\ u_1' \\ u_2 \\ u_2' \\ v_S \end{bmatrix} + \begin{bmatrix} c_1 \\ 0 \\ c_3 \\ 0 \\ c_6 \end{bmatrix} \cdot [e_1]. \quad (3.14)$$

3.5 Analyse des réponses en bruit

Dans cette partie, nous allons développer un modèle analytique du bruit RMS de sortie de ces circuits en terme de variance, pour un type de bruit donné, blanc ou en $1/f^\alpha$:

$$\sigma^2(t) = E\{\Delta v_S^2(t)\}$$

où E est l'espérance mathématique ou la valeur moyenne de $\Delta v_S^2(t)$.

Pour tels circuits, la méthode de calcul de bruit classique en utilisant la notion de DSP ou d'autocorrélation (théorème de *Wiener-Kinchin*) n'est pas utilisable pour les raisons suivantes :

- Le bruit total de sortie à la fin de la dernière phase varie dans le temps et dépend des bruits échantillonnés sur les capacités pendant toutes les phases ;
- La sortie du filtre passe-bande commutable n'atteint jamais le régime stationnaire à l'instant d'échantillonnage, à la fois pour le bruit blanc et le bruit en $1/f^\alpha$. Ceci est valable aussi pour les deux autres circuits à capacités commutées avec une entrée de bruit en $1/f^\alpha$, surtout à des vitesses de lecture élevées.

Nous n'allons développer que la réponse en bruit théorique de l'amplificateur de tension à capacités commutées élémentaire. Pour les deux autres circuits, seuls les résultats seront donnés. Les réponses en bruit de ces circuits peuvent être calculées facilement en utilisant les équations d'état données dans la partie 3.4.

Le banc de mesure est représenté dans la Figure III.14. Il mesure l'écart type $\sigma(t)$ du signal de sortie. La Figure III.15 montre les DSP de bruit de la source de bruit en $1/f^\alpha$ utilisée. Cette source de bruit est construite en utilisant une source de bruit blanc et une série de filtres passe-bande, et sera présentée en détail dans la partie 3.6. Un générateur d'impulsion génère les signaux de commande ϕ . Les sorties des circuits sont échantillonnées de multiple fois pour un instant donné t avec l'oscilloscope numérique. Puis la variance de ces échantillons est calculée et affichée en V_{rms} . Des sondes actives avec une capacité d'entrée de 1.8pF ont été utilisées afin de réduire la charge des circuits. Pour s'affranchir des problèmes de jitter, l'oscilloscope est synchronisé sur le signal de commande ϕ .

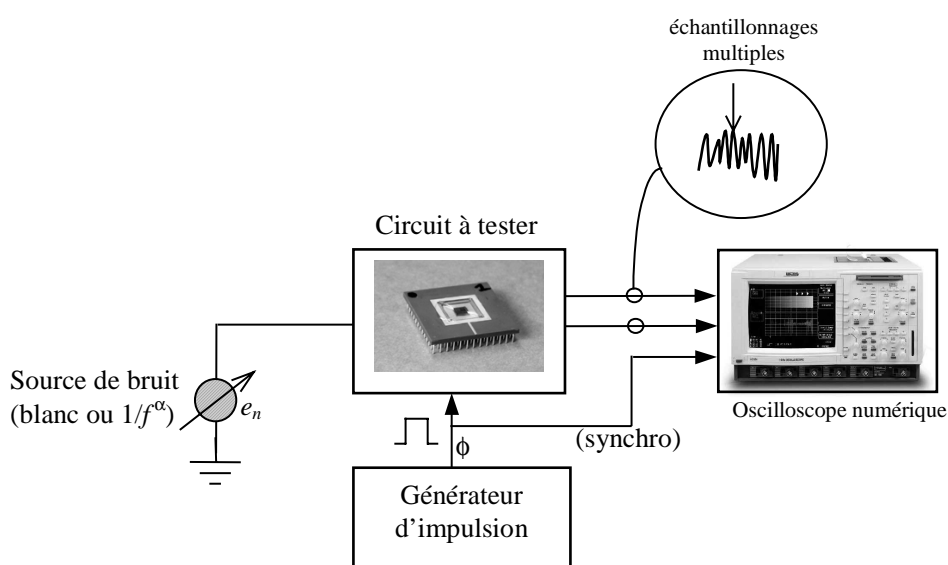


Figure III.14 : Banc de mesure utilisé pour mesurer la réponse en bruit des trois circuits présentés dans ce chapitre.

Dans toutes les mesures, un niveau de bruit assez élevé a été utilisé (supérieure à $50mV_{rms}$) afin que les bruits rajoutés par l'OTA, les résistances, et le banc de mesure soient négligeables. Ces bruits ne sont donc pas considérés dans calculs.

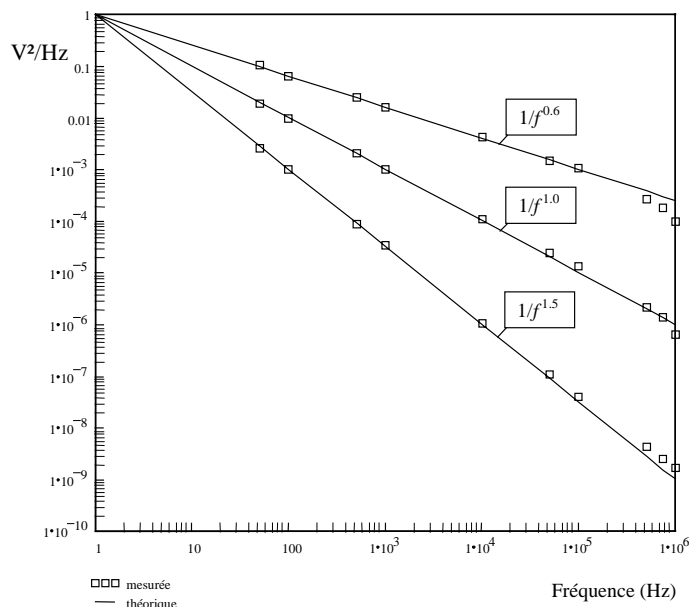


Figure III.15 : DSP de bruit mesurées des sources de bruit en $1/f^{0.6}$, $1/f^{1.0}$ et $1/f^{1.5}$, utilisées pour caractériser les réponses en bruit des circuits présentés dans ce chapitre.

Pour réaliser les calculs de bruit, on définit un processus générateur afin d'obtenir le type de bruit désiré (bruit blanc limité sur une bande ou bruit en $1/f^\alpha$) à partir d'un bruit blanc idéal (voir Figure III.16). L'analyse peut être ainsi réduite à l'étude d'un schéma markovien classique où l'entrée du système est une source de bruit blanc. Alors, grâce à la linéarité du système, la réponse en bruit du circuit peut être développée facilement.

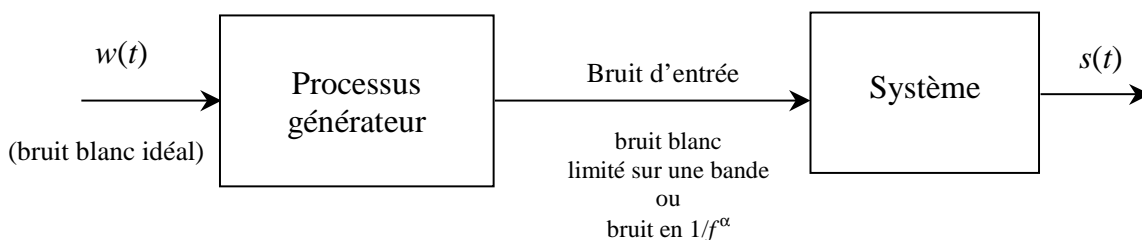


Figure III.16 : Bloc-diagramme pour les calculs de bruit.

La réponse en bruit peut être calculée en utilisant les équations stochastiques différentielles [12][13]. Néanmoins, celui-ci nécessite la manipulation de grandes matrices et les simulations demandent des temps de calculs importants. Ici, nous avons préféré discrétiser directement le processus.

On considère le système d'équations stochastiques différentielles suivant représenté sous forme markovienne matricielles :

$$\begin{cases} dX = A.X.dt + B.e.dt \\ S = C.X \end{cases}, \quad (3.15)$$

où $e = w$ est le bruit blanc, et $e.dt = d\beta$ l'incrément du mouvement brownien standard avec les caractéristiques suivantes [14] :

$$\begin{aligned} E\{d\beta\} &= 0, \\ E\{d\beta(t).d\beta(t')\} &= \delta(t-t').dt.dt', \end{aligned}$$

et

$$E\{(d\beta(t))^2\} = dt.$$

Après avoir discrétisé la relation (3.15) avec une durée d'échantillonnage T, on obtient le système d'équations stochastiques discret :

$$\begin{cases} X(n+1) = A_d.X(n) + B_d.e(n) \\ S(n) = C_d.X(n) \end{cases} \quad (3.16)$$

La fonction de corrélation d'un processus discret X est définie de la façon suivante:

$$R_{XX}(n) = E\{X(n).X^T(n)\} \quad (3.17)$$

où X^T est la transposée de X.

La matrice de corrélation du processus stochastique discret $X(n+1)$ est :

$$R_{XX}(n+1) = E\{X(n+1)X^T(n+1)\}.$$

En utilisant la relation (3.16) on obtient :

$$\begin{aligned} R_{XX}(n+1) &= E\left\{[A_d \cdot X(n) + B_d \cdot e(n)][A_d \cdot X(n) + B_d \cdot e(n)]^T\right\} \\ &= E\left\{[A_d \cdot X(n) + B_d \cdot e(n)][X^T(n) \cdot A_d^T + e(n) \cdot B_d^T]\right\}. \end{aligned}$$

Ce qui donne :

$$\begin{aligned} R_{XX}(n+1) &= A_d \cdot E\{X(n)X^T(n)\}A_d^T + E\{B_d \cdot e(n) \cdot X^T(n) \cdot A_d^T\} \\ &\quad + E\{A_d \cdot X(n) \cdot e(n) \cdot B_d^T\} + B_d \cdot E\{e^2(n)\}B_d^T. \end{aligned}$$

$X(n)$ dépend seulement de $w(n-1), w(n-2), \dots, w(n-i)$ et $E\{w(n) \cdot w(n-i)\} = 0$. Alors, étant donné que $e(n)$ est un processus discret de bruit blanc $w(n)$, indépendant de $X(n)$, les deuxième et troisième termes sont nuls :

$$\begin{aligned} E\{B_d \cdot e(n) \cdot X^T(n) \cdot A_d^T\} &= 0, \\ E\{A_d \cdot X(n) \cdot e(n) \cdot B_d^T\} &= 0. \end{aligned}$$

Donc, si $E\{e^2(n)\} = \sigma_e^2$, alors :

$$R_{XX}(n+1) = A_d \cdot R_{XX}(n) \cdot A_d^T + B_d \cdot \sigma_e^2 \cdot B_d^T \quad (3.18)$$

Maintenant, la fonction de corrélation de la sortie peut être calculée :

$$\begin{aligned} S(n) &= C_d \cdot X(n) \\ R_{SS}(n) &= E\{S(n) \cdot S^T(n)\} \\ &= E\{C_d \cdot X(n) \cdot X^T(n) \cdot C_d^T\} \end{aligned}$$

et

$$R_{SS}(n) = C_d \cdot R_{XX}(n) \cdot C_d^T. \quad (3.19)$$

3.5.2 Analyse de la réponse en bruit blanc

Pour des raisons pratiques, dans les modèles, la bande de la source de bruit blanc idéale est limitée par un filtre passe-bas dont la fonction de transfert sous forme différentiel est donnée par :

$$de_1 = -\xi e_1 dt + \xi d\beta \quad (3.20)$$

où e_1 est le bruit blanc pratique limité en bande, et $\xi / 2\pi$ la fréquence de coupure du filtre en *Hertz*.

Ici, le processus générateur est un filtre passe-bas simple. La représentation d'état du système devient alors :

$$\frac{d}{dt} \begin{bmatrix} e_1 \\ u_1 \\ u_1' \\ u_2 \\ u_2' \\ v_S \end{bmatrix} = \begin{bmatrix} -\xi & 0 & 0 & 0 & 0 & 0 \\ a_1 & -a_1 & 0 & -a_1 & 0 & -a_1 \\ 0 & 0 & -a_1 & 0 & -a_1 & a_1 \\ a_2 & -a_2 & 0 & -a_3 & 0 & -a_3 \\ 0 & 0 & -a_2 & 0 & -a_3 & a_3 \\ a_4 & -a_4 & a_4 & -a_5 & a_5 & -a_6 \end{bmatrix} \begin{bmatrix} e_1 \\ u_1 \\ u_1' \\ u_2 \\ u_2' \\ v_S \end{bmatrix} + \begin{bmatrix} \xi \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix} \cdot [w]$$

ou $\frac{d}{dt} X = A.X + B.e$

dans laquelle:

$$X = \begin{bmatrix} e_1 \\ u_1 \\ u_1' \\ u_2 \\ u_2' \\ v_S \end{bmatrix}, A = \begin{bmatrix} -\xi & 0 & 0 & 0 & 0 & 0 \\ a_1 & -a_1 & 0 & -a_1 & 0 & -a_1 \\ 0 & 0 & -a_1 & 0 & -a_1 & a_1 \\ a_2 & -a_2 & 0 & -a_3 & 0 & -a_3 \\ 0 & 0 & -a_2 & 0 & -a_3 & a_3 \\ a_4 & -a_4 & a_4 & -a_5 & a_5 & -a_6 \end{bmatrix}, B = \begin{bmatrix} \xi \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix} \text{ et } e = [w]$$

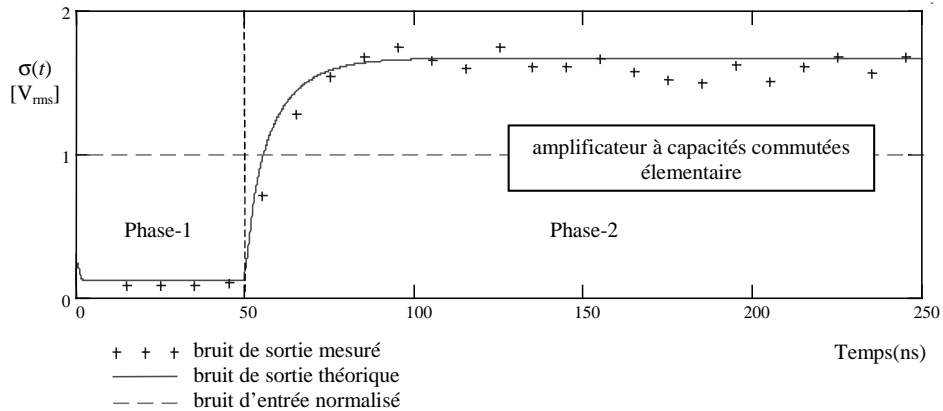
En discrétisant cette équation différentielle et en combinant avec les relations (3.18) et (3.19), on obtient la variance de la sortie $\sigma_{\Delta v_S}^2(t)$ en V^2 (grâce à la relation (3.15) avec $C = [0 \ 0 \ 0 \ 0 \ 0 \ 2]$).

Les bruits de sortie de l'amplificateur de tension à capacités commutées à compensation de la tension de décalage et du filtre passe-bande commutable sont calculés de la même manière.

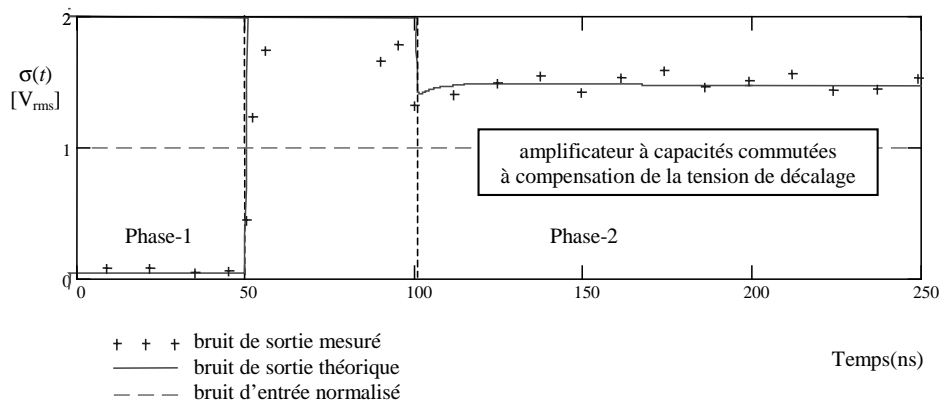
La Figure III.17 montre les réponses en bruit blanc théoriques et expérimentales des trois circuits en terme de $\sigma(t)$. La petite différence entre la courbe théorique et les mesures au niveau du temps de montée du premier circuit (Figure III.6) est due au modèle simplifié utilisé de l'OTA. Etant donné que le temps de montée est dominé par les constantes de temps $R_a C_1$ et $R_b C_2$, un meilleur accord est obtenu pour le filtre passe-bande commutable.

On remarque que, les deux premiers circuits à capacités commutées ne réduisent pas l'effet du bruit blanc d'entrée. Le bruit d'entrée étant échantillonné deux fois, pour les signaux $V_I(n)$ et $V_I(n+1)$, la puissance du bruit RMS de sortie de ces circuits est presque égale au double du niveau de bruit de l'entrée. Pour le filtre

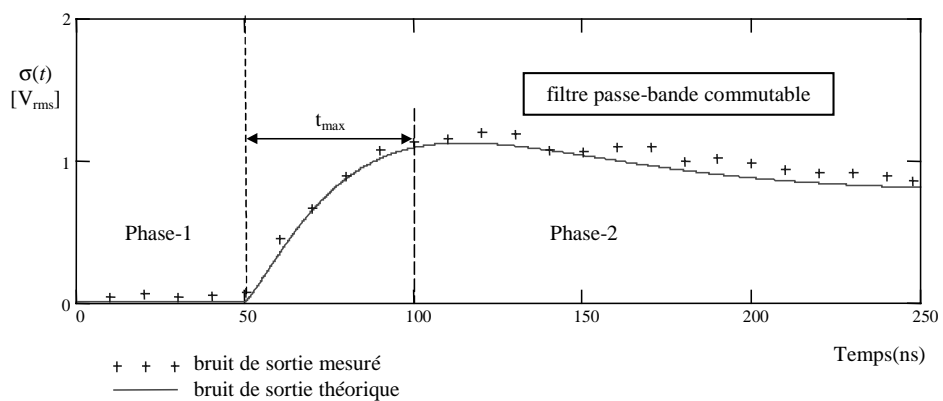
passé bande commutable, étant donnée que une grande partie du bruit est filtré pendant la seconde phase, le niveau de bruit de sortie est plus faible.



(a)



(b)



(c)

Figure III.17 : La réponse au bruit blanc (normalisé à $1V_{rms}$) en fonction de l'instant d'échantillonnage pour (a) l'amplificateur de tension à capacités commutées élémentaire, (b) l'amplificateur à capacités commutées à compensation de la tension de décalage, (c) le filtre passe-bande commutable.

On doit remarquer aussi que pour l'amplificateur de tension à capacités commutées à compensation de la tension de décalage, étant donné que le modèle utilisé ne tient pas compte de la saturation de l'OTA, il y a une grande différence entre la courbe théorique et les mesures, pendant l'intervalle entre les deux phases (Figure III.17b).

3.5.3 Analyse de la réponse au bruit en $1/f^\alpha$

Dans cette partie, le bruit de sortie RMS sera calculé pour une entrée de bruit ayant une DSP de type $1/f^\alpha$, avec α égal à 0.6, 1.0 et 1.5. Dans la littérature des processus stochastiques, ces bruits sont connus sous le nom de *mouvement brownien fractionnaire* ou *bruit fractionnaire* [15].

L'approche utilisée ici pour le processus générateur est fondée sur une représentation markovienne d'entrée-sortie des bruits fractionnaires, élaborée à partir des équations stochastiques différentielles de dimension infinie, et développée dans les références [16]-[18].

$$\text{Si } \begin{cases} dy_\xi = -\xi \cdot y_\xi dt + d\beta, \\ y(t) = \int_0^\infty y_\xi \cdot \mu_\alpha(\xi) d\xi, \end{cases} \quad \begin{cases} E[y_\xi^2(0)] = \frac{1}{2\xi} \\ \mu_\alpha(\xi) = \left(\frac{2\pi}{\xi}\right)^{\alpha/2} \cdot \frac{\sin(\pi\alpha/2)}{\pi} \end{cases} \quad (3.21)$$

alors y est du bruit en $1/f^\alpha$.

On peut constater que le bruit en $1/f^\alpha$ est la somme des sorties d'une série de filtres passe-bas en parallèle, avec en entrée une source de bruit blanc commune (Figure III.18).

La fonction de transfert du filtre ξ est donnée par $H_\xi(s) = \frac{1}{s + \xi}$.

Grâce à la linéarité du système (3.21), la fonction de transfert du processus générateur est donnée par :

$$\begin{aligned} H(s) &= \int_0^\infty \frac{1}{s + \xi} \cdot \mu_\alpha(\xi) \cdot d\xi \\ H(s) &= \frac{(2\pi)^{\alpha/2}}{s^{\alpha/2}} \end{aligned} \quad (3.22)$$

et dans le domaine fréquentiel, $H(f) = \frac{1}{(j \cdot f)^{\alpha/2}}$.

Alors, la densité spectrale de $y(t)$ est donnée par :

$$N_y(f) = |H(f)|^2 \cdot N_w(f) = \frac{1}{|f|^\alpha}$$

Ceci montre que la DSP de $N_y(f)$ est égale à $1/f^\alpha$.

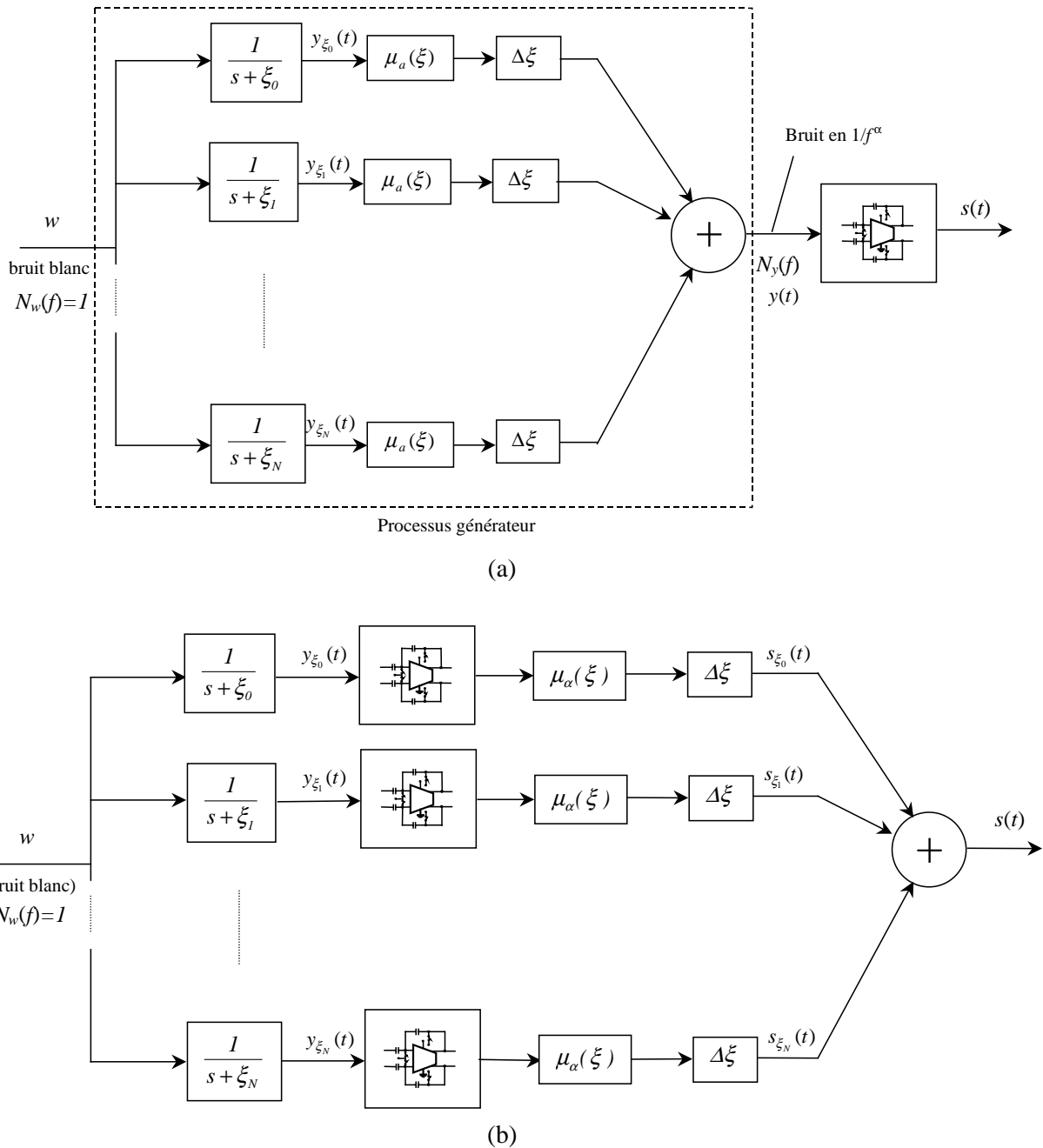


Figure III.18 : (a) Bloc diagramme illustrant la simulation du bruit en $1/f^\alpha$ à partir d'une source de bruit blanc et une banque de filtres passe-bas, (b) Schéma équivalent mathématique pour calculer la réponse au bruit en $1/f^\alpha$.

On remarque que si $y(t) = \int_0^\infty y_\xi \cdot \mu_\alpha(\xi) \cdot d\xi$, alors $N_y(f)$ peut s'écrire sous la forme :

$$N_y(f) = \int_0^\infty N_{y_\xi} \cdot \varphi_\alpha(\xi) \cdot d\xi \text{ avec } \varphi_\alpha(\xi) = 4 \left(\frac{2\pi}{\xi} \right)^{\alpha-1} \cdot \sin\left(\frac{\pi\alpha}{2}\right),$$

La fonction d'autocorrelation de $y(t)$ s'écrit :

$$R_{yy}(t, t') = E\{y(t) \cdot y(t')\}, \quad t > t'$$

et

$$R_{yy}(t, t') = \int_0^\infty R_{y_\xi y_\xi}(t, t') \cdot \varphi_\alpha(\xi) \cdot d\xi.$$

La preuve est donnée dans la référence [17].

En utilisant l'approximation d'intégrale classique, on obtient :

$$\begin{cases} N_y(f) = \sum_{n=0}^N N_{y_{\xi_n}} \cdot \varphi_\alpha(\xi_n) \cdot \Delta\xi_n \\ R_{yy}(t, t') = \sum_{n=0}^N R_{y_{\xi_n} y_{\xi_n}}(t, t') \cdot \varphi_\alpha(\xi_n) \cdot \Delta\xi_n \end{cases}$$

L'ensemble des valeurs pour $\xi_n : \{\xi_0 \dots \xi_N\}$ est choisi selon les capacités de calculs. On remarque qu'une distribution géométrique $\xi_{i+1} = r\xi_i$ semble réaliser un bon compromis entre l'exactitude de la dimension finie du modèle et sa dimension :

$$\begin{aligned} \xi_0 &<< 2\pi f_{\min} \\ \xi_N &>> 2\pi f_{\max} \end{aligned}$$

Afin d'éviter les difficultés liées à la dimension infinie du processus générateur de bruit en $1/f^\alpha$, et grâce à la linéarité, le bloc diagramme illustré Figure III.18a peut être transformé en Figure III.18b.

Le vecteur d'état

$$X_{\xi_i} = \begin{bmatrix} y \\ u_1 \\ u_1 \\ u_2 \\ u_2 \\ v_s \end{bmatrix}_{\xi_i} \text{ est la solution de } \begin{cases} dX_\xi = A_\xi X_\xi dt + B \cdot w \cdot dt \\ S_\xi = C \cdot X_\xi, \end{cases} \quad X = \int_0^\infty X_\xi \mu_\alpha(\xi) d\xi$$

et la sortie est :

$$S = \int_0^\infty S_\xi(t) \cdot \mu_\alpha(\xi) \cdot d\xi, \quad \mu_\alpha(\xi) = \left(\frac{2\pi}{\xi}\right)^{\alpha/2} \cdot \frac{\sin(\pi \cdot \alpha / 2)}{\pi}.$$

La matrice de covariance est $R_{X_\xi X_\eta}(t, t') = E\{X_\xi(t) X_\eta^T(t')\}$,

$$R_{XX}(t, t') = E\{X(t) X^T(t')\} = \int_0^\infty \int_0^\infty R_{X_\xi X_\eta}(t, t') \cdot \mu_\alpha(\xi) \cdot \mu_\alpha(\eta) \cdot d\xi \cdot d\eta$$

et cette dernière expression peut être simplifiée sous la forme [17] :

$$R_{XX}(t, t') = E\{X(t) X^T(t')\} = \int_0^\infty R_{X_\xi X_\xi}(t, t') \cdot \varphi_\alpha(\xi) \cdot d\xi$$

avec $\varphi_\alpha(\xi) = 4 \cdot \left(\frac{2\pi}{\xi}\right)^{\alpha-1} \cdot \sin\left(\frac{\pi\alpha}{2}\right)$.

Alors

$$R_{SS}(t, t) = E\{s(t)s(t)\} = \int_0^\infty \sigma_{S_\xi}^2 \varphi_\alpha(\xi) \cdot d\xi = \sigma_S^2$$

En discrétisant $R_{XX}(t, t')$ on obtient :

$$R_{XX}(n) = \sigma_X^2(n) \cong \sum_{i=0}^N \varphi_\alpha(\xi_i) \cdot R_{X_{\xi_i} X_{\xi_i}}(n) \cdot \Delta\xi_i.$$

Donc

$$R_{SS}(n) = \sum_{i=0}^N \varphi_\alpha(\xi_i) \cdot R_{S_{\xi_i} S_{\xi_i}}(n) \cdot \Delta\xi_i \tag{3.23}$$

où on peut écrire $R_{S_{\xi_i} S_{\xi_i}}(n)$ d'après la relation (3.19) :

$$R_{S_{\xi_i} S_{\xi_i}}(n) = C_d \cdot R_{X_{\xi_i} X_{\xi_i}}(n) \cdot C_d^T, \tag{3.24}$$

et $R_{X_{\xi_i} X_{\xi_i}}(n)$ est déterminé par la relation (3.18) :

$$R_{X_{\xi_i} X_{\xi_i}}(n+1) = A_{d_{\xi_i}} \cdot R_{X_{\xi_i} X_{\xi_i}}(n) \cdot A_{d_{\xi_i}}^T + B_d \cdot \sigma_e^2 \cdot B_d^T \tag{3.25}$$

Alors, pour le premier circuit, la représentation d'état du système devient :

$$\frac{d}{dt} \begin{bmatrix} y \\ u_1 \\ u_1 \\ u_2 \\ u_2 \\ v_s \end{bmatrix}_{\xi_i} = \begin{bmatrix} -\xi_i & 0 & 0 & 0 & 0 & 0 \\ a_1 & -a_1 & 0 & -a_1 & 0 & -a_1 \\ 0 & 0 & -a_1 & 0 & -a_1 & a_1 \\ a_2 & -a_2 & 0 & -a_3 & 0 & -a_3 \\ 0 & 0 & -a_2 & 0 & -a_3 & a_3 \\ a_4 & -a_4 & a_4 & -a_5 & a_5 & -a_6 \end{bmatrix}_{\xi_i} \begin{bmatrix} y \\ u_1 \\ u_1 \\ u_2 \\ u_2 \\ v_s \end{bmatrix}_{\xi_i} + \begin{bmatrix} 1 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix} [w]$$

ou $\frac{d}{dt} X_{\xi_i} = A_{\xi_i} \cdot X_{\xi_i} + B \cdot e$

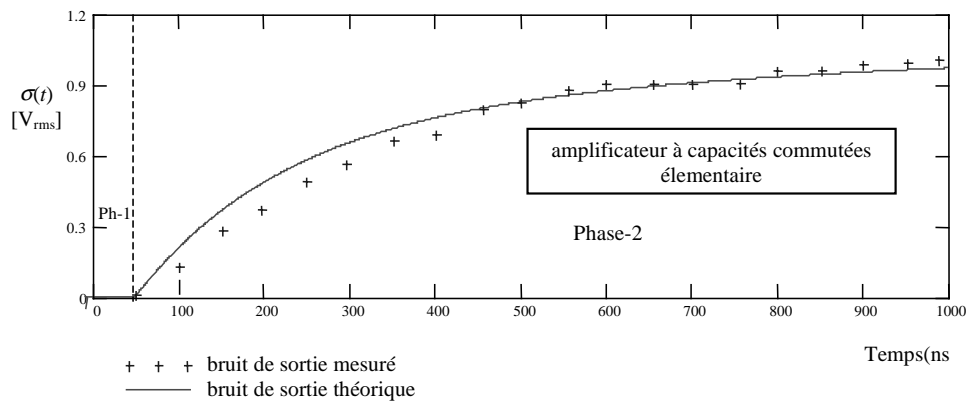
dans laquelle

$$X_{\xi_i} = \begin{bmatrix} y \\ u_1 \\ u_1 \\ u_2 \\ u_2 \\ v_s \end{bmatrix}_{\xi_i}, \quad A_{\xi_i} = \begin{bmatrix} -\xi_i & 0 & 0 & 0 & 0 & 0 \\ a_1 & -a_1 & 0 & -a_1 & 0 & -a_1 \\ 0 & 0 & -a_1 & 0 & -a_1 & a_1 \\ a_2 & -a_2 & 0 & -a_3 & 0 & -a_3 \\ 0 & 0 & -a_2 & 0 & -a_3 & a_3 \\ a_4 & -a_4 & a_4 & -a_5 & a_5 & -a_6 \end{bmatrix}, \quad B = \begin{bmatrix} 1 \\ 0 \\ 0 \\ 0 \\ 0 \\ 0 \end{bmatrix} \text{ et } e = [w].$$

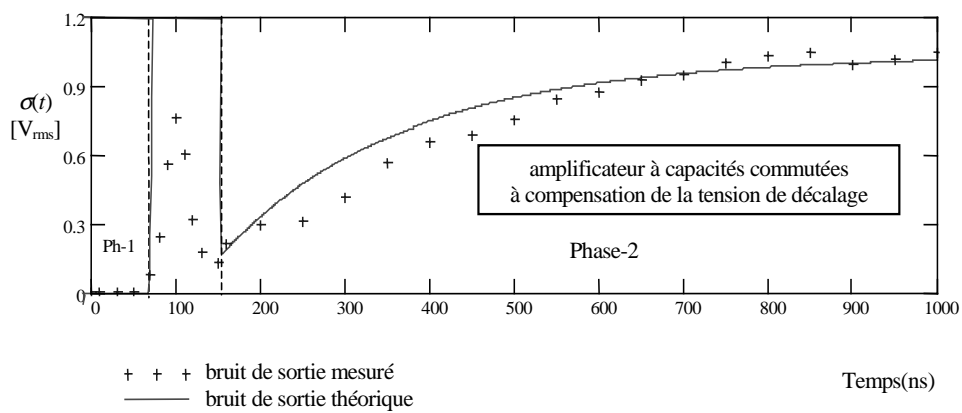
Pour calculer la variance $\sigma_{\Delta v_s}^2(t)$ de la sortie, similaire au cas avec le bruit blanc, cet ensemble des équations stochastiques différentielles est discrétisé et ensuite combiné avec les relations (3.25), (3.24) et (3.23).

Les bruits RMS de sortie théoriques et expérimentaux sont tracés dans la Figure III.19 et Figure III.20 en fonction de la date d'échantillonnage, respectivement pour une entrée de bruit en $1/f^{0.6}$ et $1/f^{1.0}$. Pour le bruit en $1/f^{1.5}$, seules les courbes théoriques sont représentées dans la Figure III.21. En fait, le niveau de bruit étant très faible dans ce cas, le banc de mesure actuel, illustré Figure III.14, n'a pas permis d'effectuer des mesures.

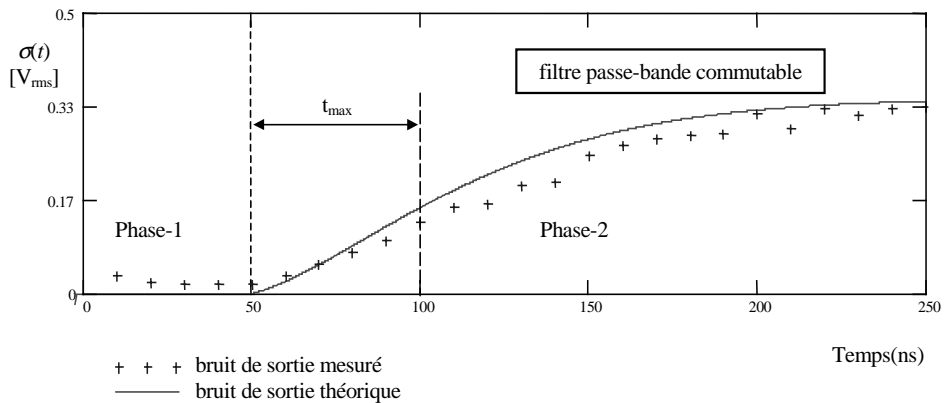
Pour des vitesses de lecture élevées, les deux circuits à capacités commutées donnent le même niveau de bruit. Bien que l'amplificateur à compensation d'offset réduise le bruit $1/f^\alpha$ de l'OTA [8], il n'est pas efficace pour supprimer le bruit en $1/f^\alpha$ du signal d'entrée. On remarque que pendant l'intervalle entre les deux phases, ce dernier est instable et les sorties tendent vers la saturation. Le filtre passe-bande commutable semble être avantageux pour réduire le bruit du signal d'entrée, surtout pour des vitesses de lecture lentes.



(a)

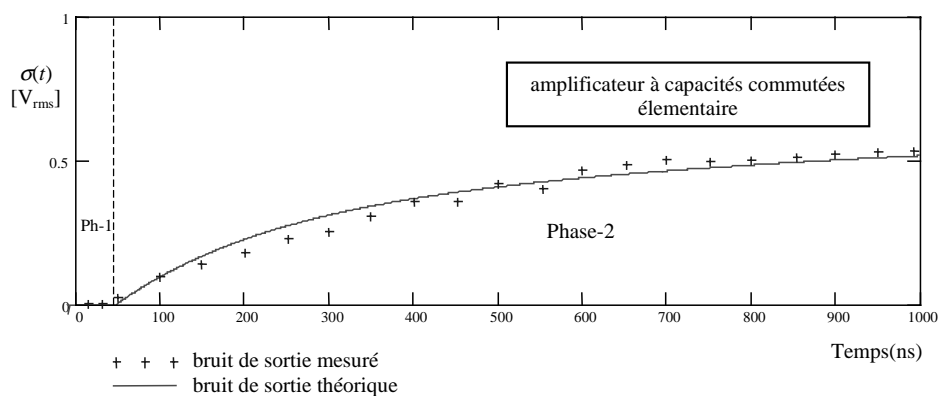


(b)

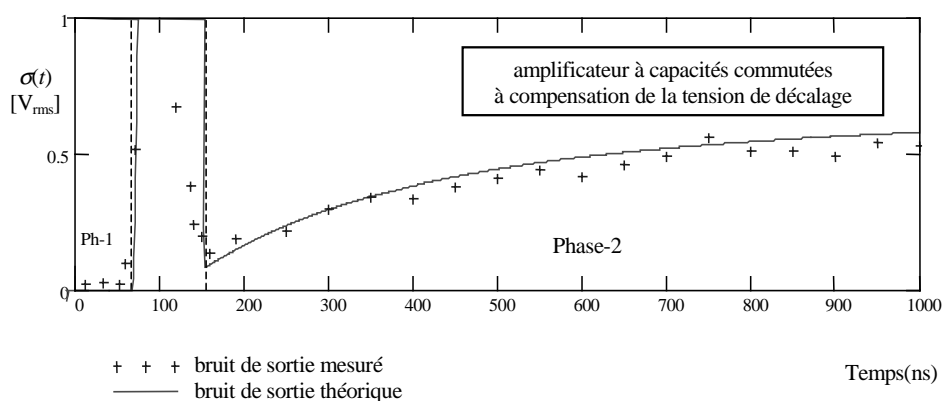


(c)

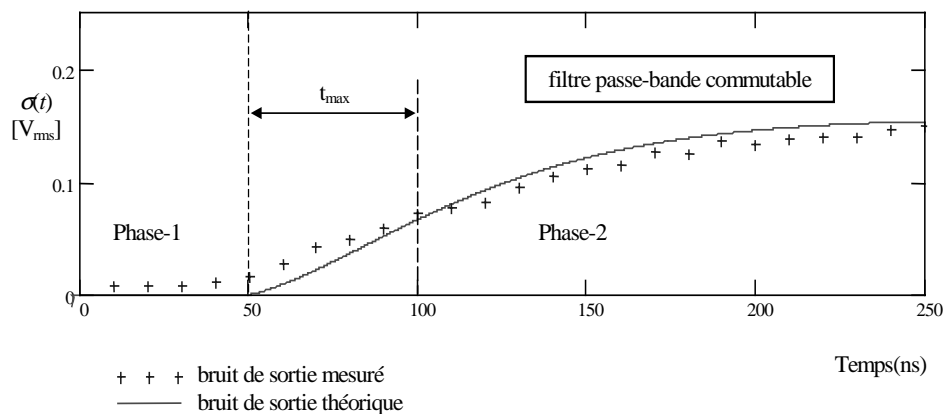
Figure III.19 : La réponse au bruit en $1/f^{0.6}$ (normalisé à $1V_{rms}$) en fonction de l'instant d'échantillonnage pour (a) l'amplificateur de tension à capacités commutées élémentaire, (b) l'amplificateur à capacités commutées à compensation de la tension de décalage, (c) le filtre passe-bande commutable.



(a)

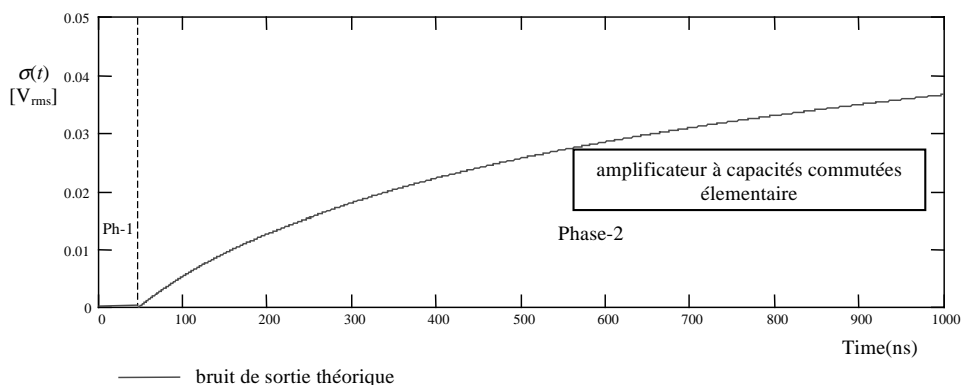


(b)

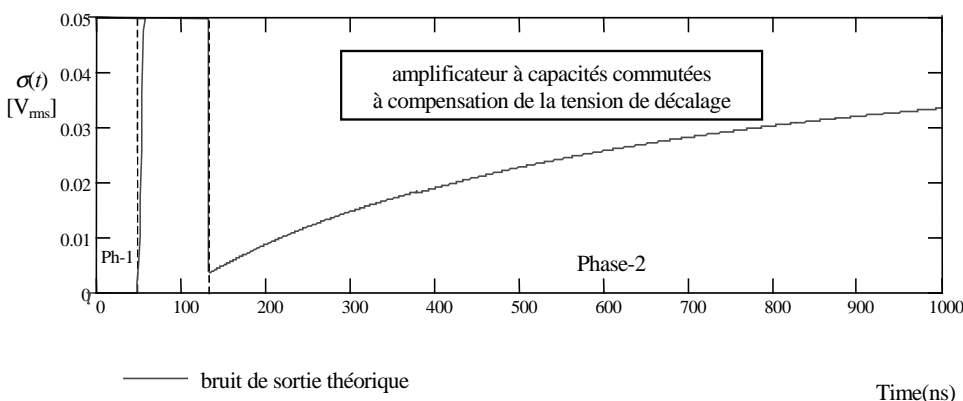


(c)

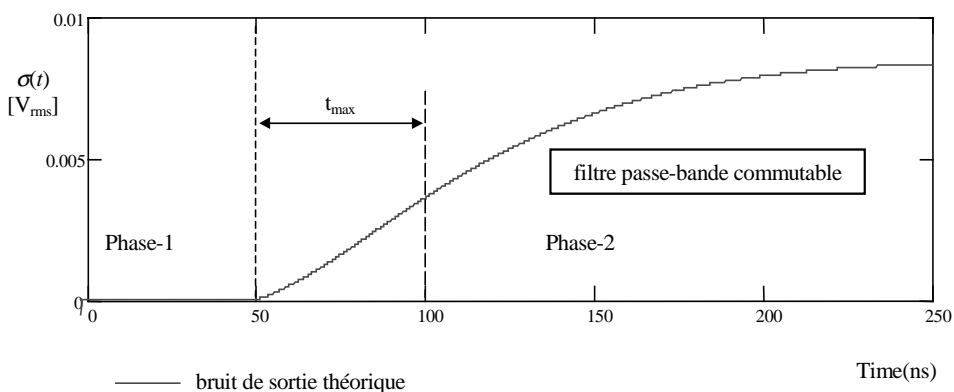
Figure III.20 : La réponse au bruit en $1/f^{1.0}$ (normalisé à $1V_{rms}$) en fonction de l'instant d'échantillonnage pour (a) l'amplificateur de tension à capacités commutées élémentaire, (b) l'amplificateur à capacités commutées à compensation de la tension de décalage, (c) le filtre passe-bande commutable.



(a)



(b)



(c)

Figure III.21 : La réponse au bruit en $1/f^{1.5}$ (normalisé à $1V_{rms}$) en fonction de l’instant d’échantillonnage pour (a) l’amplificateur de tension à capacités commutées élémentaire, (b) l’amplificateur à capacités commutées à compensation de la tension de décalage, (c) le filtre passe-bande commutable.

3.6 Réalisation d'un générateur de bruit en $1/f^\alpha$

La caractérisation de la réponse en bruit basse fréquence des circuits de traitement présentés dans ce chapitre nécessite l'utilisation d'un générateur de bruit $1/f^\alpha$. Ce paragraphe a pour objet de présenter la réalisation de ce générateur reposant sur l'utilisation d'une source de bruit blanc associée à une série de passe bas à fréquences de coupure décalées [19].

On rappelle que la fonction de transfert du processus générateur de bruit en $1/f^\alpha$ est donnée par :

$$H(s) = \int_0^\infty \frac{1}{s + \xi} \left(\frac{2\pi}{\xi} \right)^{\alpha/2} \cdot \frac{\sin(\pi.\alpha/2)}{\pi} . d\xi \quad (3.26)$$

En utilisant l'approximation classique de l'intégrale, à partir de la relation (3.26), on obtient :

$$H(s) \cong \sum_{i=0}^N \frac{1}{s + \xi_i} \left(\frac{2\pi}{\xi_i} \right)^{\alpha/2} \cdot \frac{\sin(\pi.\alpha/2)}{\pi} . \Delta\xi_i \quad (3.27)$$

avec $\Delta\xi_i = \xi_{i+1} - \xi_i$. On rappelle que la valeur minimale et maximale de i détermine les limites de la bande du bruit $1/f^\alpha$.

Une réalisation pratique du bloc diagramme représenté dans la Figure III.18a est illustrée Figure III.22. Ce circuit comprend une source de bruit blanc (de bande passante = 15MHz), un amplificateur opérationnel, des résistances et des capacités. Le gain du circuit est ajustable par la résistance R (en pratique un potentiomètre). En supposant un amplificateur opérationnel idéal, la fonction de transfert de ce circuit est donnée par :

$$\frac{V_o(s)}{V_e(s)} = \sum_{i=0}^N \frac{1}{R} \cdot \frac{R_i}{s + 1/(R_i C_i)} \quad (3.28)$$

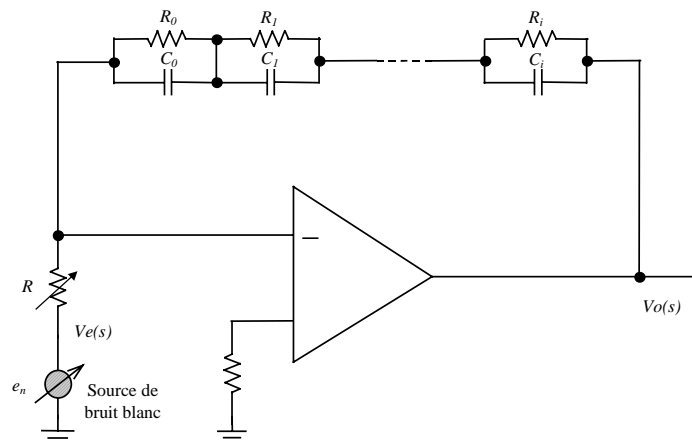


Figure III.22 : Schéma simplifié du générateur de bruit en $1/f^\alpha$.

Pour un α donné, la valeur des résistances et des capacités peut être calculée en égalant les relations (3.27) et (3.28). ξ_i est égale à $(1/R_i C_i)$ en rad/s. Trois circuits ont été réalisés avec $\alpha = 0.6, 1.0$ et 1.5 , dans une bande de $10^0 - 10^6$ Hz en utilisant $N = 8$ filtres. Sur cette bande, on a obtenu la pente désirée à l'aide de simulations AC ELDO. Le modèle SPICE de l'amplificateur opérationnel utilisé est celui fourni par le fabricant.

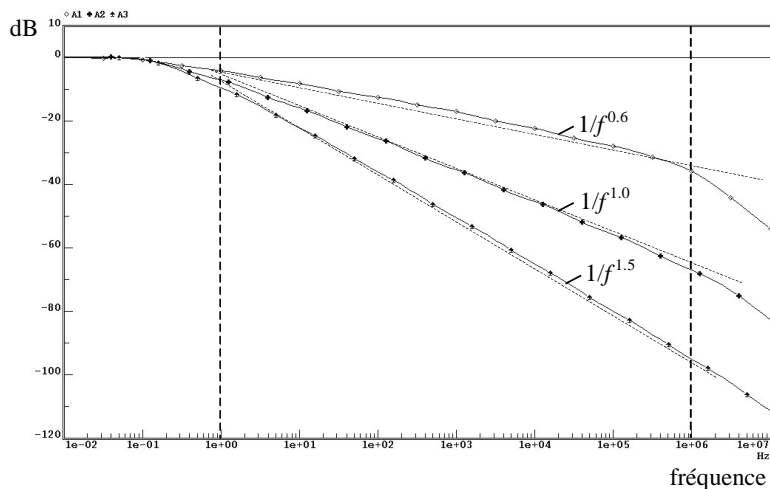


Figure III.23 : Simulations AC ELDO du circuit représenté dans la Figure III.22, avec des valeurs de RC calculées pour avoir $\alpha = 0.6, 1.0$ et 1.5 (les courbes sont normalisées).

Le circuit a plus de gain en basses fréquences. Pour éviter le grand pic à 50 Hz (parasite) dû à l'interférence du secteur, des batteries ont été utilisées pour alimenter le circuit. Figure III.25a et Figure III.25b montrent respectivement les DSP des générateurs de bruit en $1/f^{1.0}$ et $1/f^{1.5}$ réalisés, mesurées avec un analyseur de spectre Rohde&Schwarz FSEM 30.

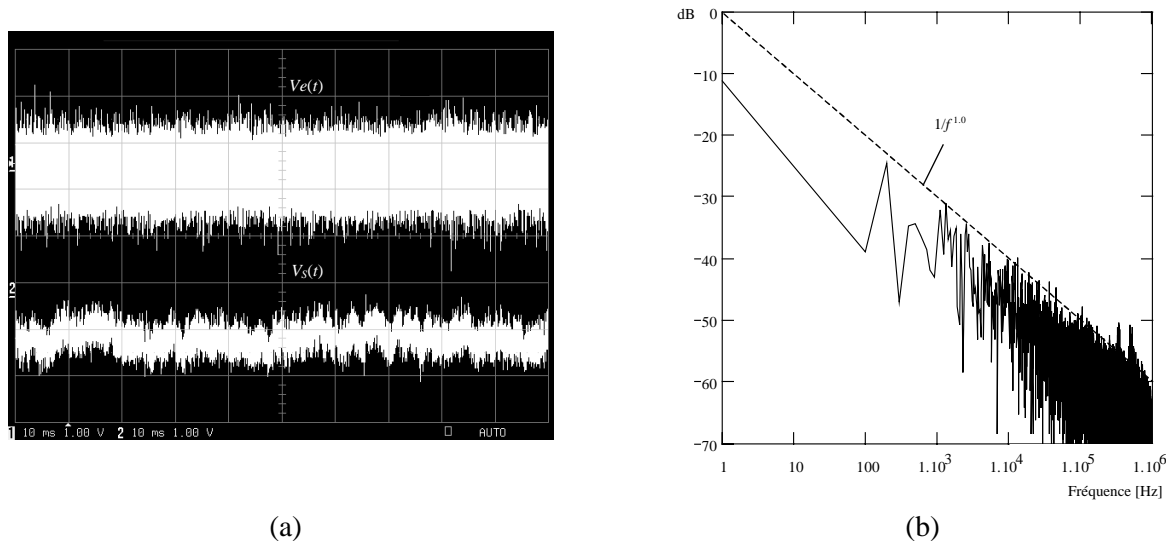
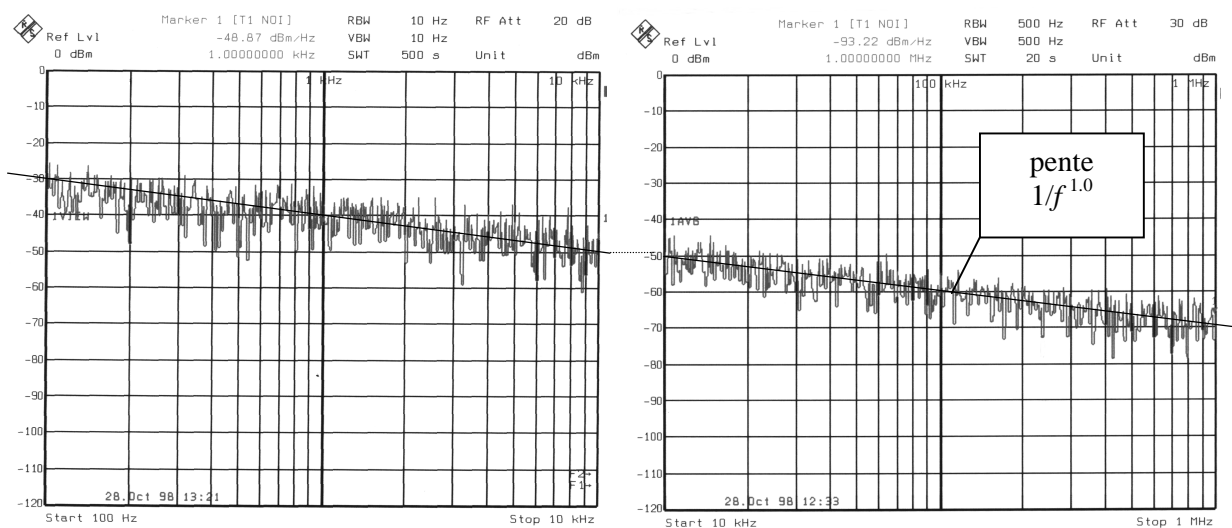
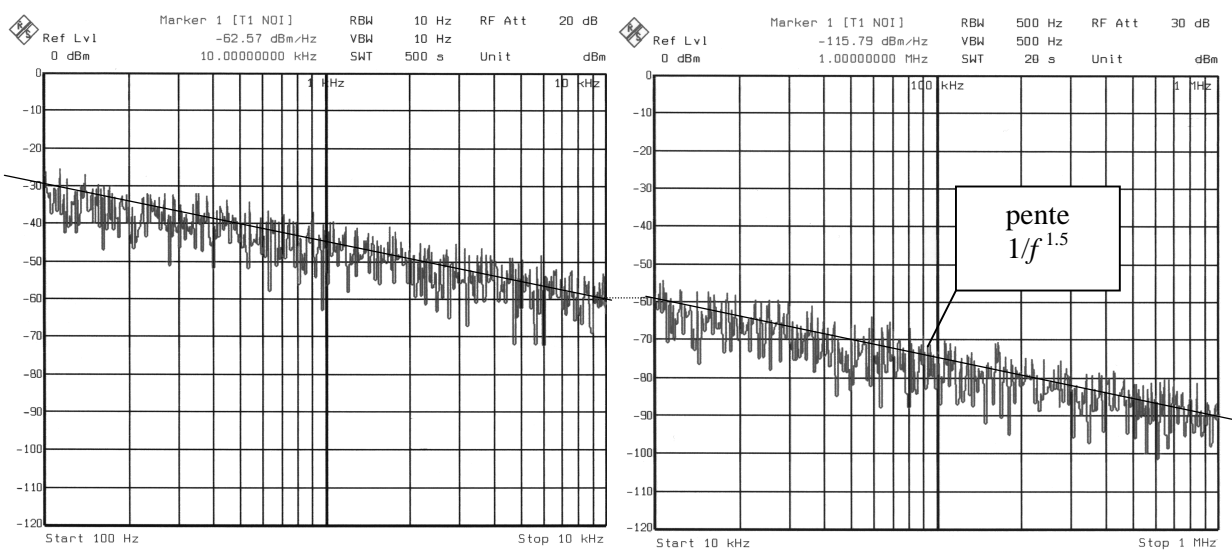


Figure III.24 : Bruit mesuré sur le circuit représenté dans la Figure III.22 en utilisant un oscilloscope numérique : (a) bruit blanc d'entrée et bruit en $1/f^{1.0}$ généré dans le domaine temporel (1V/div, 10ms/div), (b) FFT du bruit en $1/f^{1.0}$.



(a)



(b)

Figure III.25 : DSP de bruit mesurées à la sortie du générateur de bruit en $1/f^\alpha$ en utilisant un analyseur de spectre (les DSP sont normalisées) avec : (a) $\alpha=1.0$, (b) $\alpha=1.5$.

3.7 Conclusions

Dans ce chapitre, sont présentés trois circuits de traitement conçus pour la chaîne de lecture de l'APS dont les réponses non-stationnaires en bruit ont été étudiées. A la fois le bruit basse fréquence et le bruit blanc ont été considérés. Une méthode fondée sur la représentation diffusives des bruits en $1/f^\alpha$ a été utilisée pour calculer les réponses en bruit basse fréquence, associé à modèle comportemental. Un bon accord a été obtenu entre les résultats théoriques et expérimentaux. Selon le type de bruit (blanc ou $1/f^\alpha$) généré par le capteur et la vitesse de lecture, le circuit optimal peut être choisi.

Le premier circuit, l'amplificateur de tension à capacités commutées élémentaire (Figure III.6) est le plus simple parmi les trois à réaliser. Néanmoins, il n'est pas efficace pour réduire tant le bruit du signal d'entrée que le bruit propre de l'OTA utilisé.

Le deuxième circuit, l'amplificateur de tension à capacités commutées à compensation de la tension de la tension de décalage (Figure III.7) est le seul à être capable de réduire le bruit basse fréquence généré par l'OTA utilisé [8] ; par contre il n'est pas efficace pour réduire le bruit du signal d'entrée.

Un autre problème de ce circuit tient au fait que, pendant l'intervalle entre les deux phases ϕ_1 et ϕ_2 (Figure III.7b), l'OTA est en boucle ouverte et tend à osciller, ce qui empêche d'obtenir des vitesses de lecture élevées (supérieures à qq. Mpixels/sec.). Ceci n'a pu être détecté que lors de la caractérisation du prototype. L'analyse de ce problème a permis d'identifier certaines méthodes proposées dans la littérature pour y remédier [20][21], mais qui n'ont pas pu être implantées sur le circuit présenté dans ce chapitre car nécessitant des modifications structurelles du circuit. La première méthode de la référence [20], qui consiste à rajouter une petite capacité en parallèle aux interrupteurs sw_3 - sw_3' (Figure III.7a), a été utilisée sur le circuit de lecture qui sera présenté dans le chapitre IV (figure IV.8) ; mais d'autres problèmes se sont alors posés (augmentation des charges injectées par les interrupteurs). La seconde méthode proposée dans la référence [21] utilisant une petite capacité de "deglitching" associée à deux interrupteurs, semble être applicable à ce circuit.

Pour réduire le bruit blanc du signal d'entrée, pour les lectures rapides et lentes, seul le filtre passe bande commutable est efficace. Lorsque le bruit d'entrée est dominé par le bruit en $1/f^\alpha$, surtout pour des vitesses de lecture lentes (par exemple inférieure à 50 images/sec. pour une matrice à 256x256 pixels), ce circuit semble être approprié. Néanmoins, on doit remarquer que, bien qu'il présente une bonne performance en bruit pour les CCDs [12][13], avec la chaîne de lecture du capteur APS (Figure III.1), il n'a pas d'effet sur le bruit généré par le transistor MOS d'amplification qui se situe dans le pixel. En effet, ce bruit qui est l'élément dominant de la chaîne (voir le chapitre II), est déjà échantillonné sur les deux capacités C_{ref} et

C_{sig} . Ce filtre passe-bande ne peut être avantageux que si les suiveurs de colonnes génèrent un bruit important. Les valeurs des composants R et C sont calculées pour une vitesse de lecture donnée, ce qui constitue une contrainte de ce circuit. Un autre inconvénient est lié à la dépendance de la valeur du gain du circuit à la fois aux rapports de produit R.C et aux valeurs absolues de ces éléments passifs. De plus, nécessitant de grandes capacités, ce filtre occupe également plus de surface sur la puce, en comparaison des deux autres circuits à capacités commutées (voir Figure III.11).

Avec la chaîne de lecture du capteur APS illustrée Figure III.1, l'amplificateur de tension à capacités commutées à compensation de la tension de décalage semble être le meilleur compromis en termes de vitesses et de performances en bruit.

Bibliographie :

- [1] P. Magnan, C. Cavadore, A. Gautrand, Y. Degerli, F. Lavernhe, J. Farré, O. Saint-Pé, R. Davancens and M. Tulet, "Experimental characterization of CMOS APS imagers designed using two different technologies," *Proceedings of SPIE*, vol. 3410, May 1998 (Zurich, Switzerland), pp. 77-87.
- [2] Y. Degerli, F. Lavernhe, P. Magnan, and J. Farré, "Nonstationary noise responses of some fully differential on-chip readout circuits suitable for CMOS image sensors," *IEEE Transactions on Circuits and Systems - II*, vol. 46, no. 12, December 1999, pp. 1461-1474.
- [3] D.R. Wolters and A.T.A. Zegers-Van Duijnhoven, "Variation of the exponent of flicker noise in MOSFET's," *Solid-State Electronics*, vol. 42, no. 5, 1998, pp. 803-808.
- [4] T. Rocacher, "Etude d'un AOP pour la chaîne d'acquisition d'un capteur APS en technologie CMOS," Rapport de D.E.A., INSA, Toulouse, 1996.
- [5] F. Baillieu et Y. Blanchard, *Signal Analogique & Capacités Commutées*, Dunod, Paris, 1994.
- [6] R. Gregorian and G. Temes, *Analog MOS Integrated Circuits for Signal Processing*, Wiley, New York, 1986.
- [7] R. Unbehauen and A. Cichocki, *MOS Switched-Capacitor and Continuous-Time Integrated Circuits and Systems*, Springer-Verlag, Berlin, 1989.
- [8] C.C. Enz and G.C. Temes, "Circuit techniques for reducing the effects of op-amp imperfections: Auto-zeroing, correlated double sampling and chopper stabilization," *Proceedings of the IEEE*, vol. 84, no. 11, November 1996, pp. 1584-1614.
- [9] G.C. Temes, "Autozeroing and correlated double sampling techniques," in J.H. Huijsing *et al.* (eds.), *Analog Circuit Design: Low-Noise, Low-Power, Low-Voltage; Mixed-Mode Design with CAD Tools; Voltage, Current and Time References*, Kluwer, Boston, 1996, pp. 45-64.
- [10] K.R. Laker, W.M. Sansen, *Design of Analog Integrated Circuits and Systems*, McGraw-Hill, New York, 1994.
- [11] D. Johns and K. Martin, *Analog Integrated Circuit Design*, Wiley, New York, 1997.
- [12] J. Solhusvik, F. Lavernhe, G. Montseny and J. Farré, "A new low noise signal acquisition method based on a commutable band-pass filter," *IEEE Transactions on Circuits and Systems - II*, vol. 44, no. 3, March 1997, pp. 164-173.
- [13] J. Solhusvik, "Etude et conception de capteurs d'images à pixels actifs et de l'électronique de traitement associée en vue d'applications faible flux," Thèse de Doctorat, no. 195, SUPAERO, Toulouse, Novembre 1996.
- [14] A. Papoulis, *Probability, Random Variables and Stochastic Processes*, McGraw-Hill, New York, 1991.
- [15] B.B. Mandelbrot and J.W. Van Ness, "Fractional Brownian motions, fractional noises and applications," *SIAM Review*, vol. 10, no. 4, October 1968, pp. 422-437.
- [16] F. Lavernhe, G. Montseny and J. Audounet, "Markovian diffusive representation of $1/f^\alpha$ noises and applications to fractional stochastic differential models," *IEEE Transactions on Signal Processing*, vol. 49, no. 2, February 2001, pp. 414-423, (to be published).
- [17] F. Lavernhe and J. Solhusvik, "Fractional noises: Diffusive model for CCD imager band-pass acquisition chain," in *Fractional Differential Systems, ESAIM Proceedings*, vol. 5, December 1998 (Paris), pp. 119-130. (<http://www.emath.fr/Maths/Proc/Vol.5/proc-Vol5.11/proc-Vol5.11.htm>)
- [18] G. Montseny, "Diffusive representation of pseudo-differential time-operators," in *Fractional Differential Systems, ESAIM Proceedings*, vol. 5, December 1998 (Paris), pp. 159-175.
- [19] Y. Degerli, F. Lavernhe, P. Magnan, and J. Farré, "Bandlimited $1/f^\alpha$ noise source," *Electronics Letters*, vol. 35, no. 7, April 1999, pp. 521-522; see also Erratum, *ibid.*, vol. 35, no. 11, May 1999, p. 944.

- [20] P. Lee, A. Simoni, A. Sartori, and G. Torelli, "A photosensor array for spectrophotometry," *Sensors and Actuators A*, vol. 47, nos. 1-3, March/April 1995, pp. 449-452.
- [21] H. Matsumoto and K. Watanabe, "Spike-free switched-capacitor circuits," *Electronics Letters*, vol. 23, no. 8, April 1987, pp. 428-429.

Chapitre IV

Circuits de Lecture Colonne à Faible Bruit Spatial Fixe pour le Capteur APS

Résumé :

Dans ce chapitre est présenté un circuit de lecture du signal des colonnes à faible bruit fixe pour le capteur APS. Il permet de réaliser le procédé CDS, et nécessite un seul amplificateur/suiveur de colonne commun à toute une matrice de pixels. Les effets des composants réels sur les performances de ce circuit seront étudiés, à savoir les capacités parasites des armatures des condensateurs réalisés avec les technologies CMOS, l'injection de charges des interrupteurs, la valeur finie du gain statique, la tension de décalage, et le bruit de l'amplificateur opérationnel. Des solutions seront proposées et discutées afin de les minimiser. Les résultats expérimentaux obtenus ainsi que les problèmes rencontrés sur un circuit de test, comprenant une zone photosensible de 128x128 pixels et réalisé sur une technologie AMS (*Austria Mikro Systeme*) CMOS 0.6µm, seront présentés. Finalement, les avantages et les inconvénients de ce circuit par rapport au circuit de lecture classique analysé dans les chapitres précédents seront synthétisés.

4.1 Introduction

La partie réalisant la lecture du signal des colonnes de la chaîne de lecture "classique" de l'APS, initialement proposée par le JPL, est reproduite de façon détaillée dans la Figure IV.1. C'est le circuit de lecture le plus utilisé actuellement [1]-[3].

Cette topologie, comme indiqué au chapitre III, engendre un bruit fixe de colonne, dû principalement aux non-uniformités des tensions de seuils des transistors PMOS constituant les suiveurs. Celui-ci domine les autres bruits spatiaux, le procédé CDS réduisant considérablement le bruit fixe des pixels.

La technique DDS utilisée pour réduire ce bruit fixe, présentée dans le Chapitre III, réduit automatiquement la vitesse de lecture d'un facteur de 2, puisque les deux sorties doivent être échantillonnées 2 fois pour chaque colonne.

Un autre inconvénient de ce circuit est constitué par le fait que, quand le nombre de colonnes de la matrice augmente, les capacités C_{sb} - C_{gb} des transistors de sélection M_2 - M_2' et les autres capacités parasites présentes sur le bus de sortie empêchent d'obtenir des vitesses de lecture élevées. Une solution consisterait à agrandir les transistors pour augmenter les courants disponibles, mais ceci augmente davantage la capacité sur le bus.

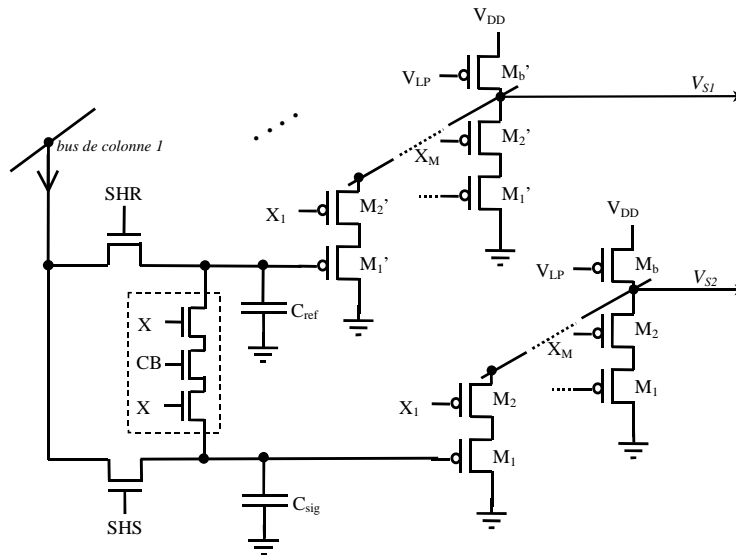


Figure IV.1 : Circuit de lecture colonne classique, ou dit "architecture JPL" de l'APS.

Dans la littérature diverses méthodes ou circuits de lecture colonne ont été proposés pour remédier à ce problème de bruit fixe, chacune apportant certains avantages et inconvénients.

Par exemple, des circuits de lectures à faible bruit fixe de colonnes sont proposés par IMEC (Belgique) [4]-[6]. La méthode employée dans ces références consiste à utiliser un suiveur par colonne, et d'éliminer le bruit fixe de ce suiveur grâce à une capacité et des interrupteurs supplémentaires. Cette capacité sert de mémoire pour la tension de décalage, qui est éliminée en effectuant un double échantillonnage.

Dans les technologies CMOS, l'appariement ("matching") des capacités est meilleur que celui des transistors MOS [7], et il est possible d'obtenir des rapports de capacités avec une précision de 0.1% [8]. C'est l'une des raisons qui a motivé la réalisation des circuits à capacités commutées. Les circuits présentés dans ce chapitre reposent sur ce principe. Le bruit fixe colonnes de ces circuits dépend donc de l'appariement de ces capacités.

4.2 Présentation du circuit de lecture du signal des colonnes

Le schéma du circuit de lecture proposé pour la chaîne de lecture de l'APS est représenté dans la Figure IV.2 [9], [10]. On remarque qu'il n'y a pas d'élément amplificateur dans les colonnes, et il comporte un seul amplificateur de sortie commun à toute une matrice APS. C_{ref} est égale à C_{sig} .

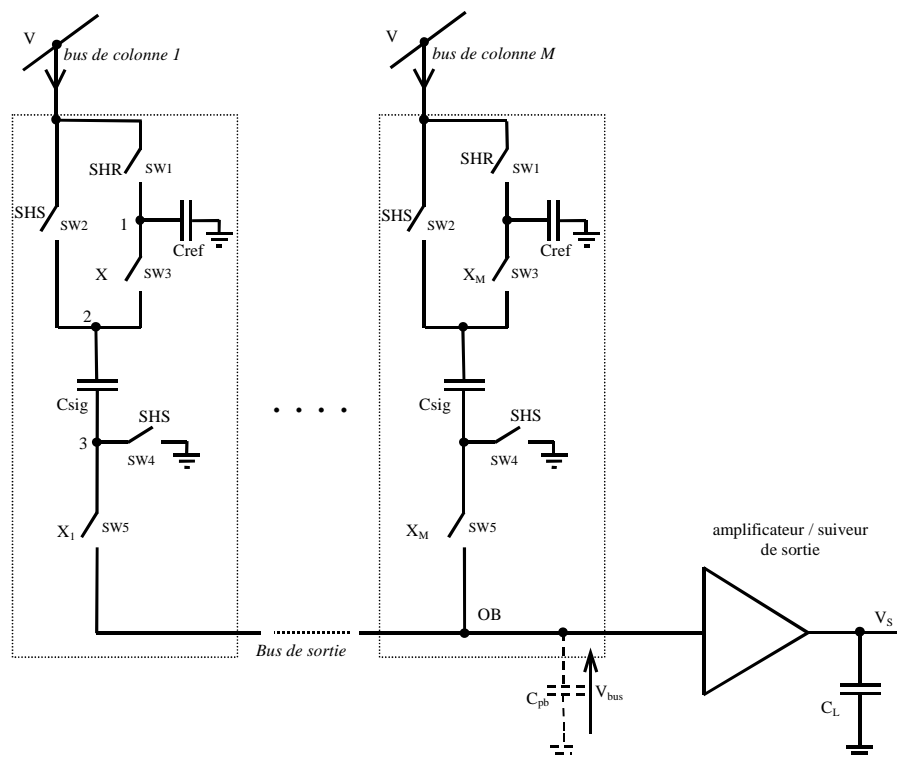


Figure IV.2 : Circuit de lecture colonne proposé, comprenant un seul amplificateur/suiveur de sortie global.

Le mode opératoire de ce circuit est similaire à celui du circuit de lecture classique de la Figure IV.1. Tout d'abord les niveaux de référence V_{ref} des pixels de toute une colonne sont échantillonnés sur les capacités C_{ref} . Ensuite les niveaux de signal V_{sig} sont échantillonnés sur les capacités C_{sig} . La différence ($V_{ref}-V_{sig}$) correspondant à la colonne sélectionnée grâce à l'adresse X est envoyée sur le bus de sortie et est amplifiée par l'amplificateur/suiveur de sortie. Etant donné qu'il y a qu'un seul amplificateur commun pour toute la matrice, dans le cas idéal, il n'y a pas de bruit fixe de colonne introduit par les suiveurs colonnes du circuit de lecture classique. Dans cette configuration, le signal utile ($V_{ref}-V_{sig}$) est obtenu directement sur une seule voie.

Afin de valider le principe, un premier circuit de test à été envisagé en simulation. L'amplificateur utilisé était sensé être un simple suiveur PMOS. Malheureusement à cause de la grande capacité parasite C_{pb}

présente sur le bus de sortie, le fonctionnement n'est pas satisfaisant. Cette capacité est due principalement aux capacités C_{sb}/C_{db} des transistors constituant les interrupteurs sw_5 des colonnes qui sont inactifs, et aux capacités des pistes de routage. Il serait donc impossible de transférer efficacement les signaux mémorisés sur les capacités C_{ref} et C_{sig} vers l'amplificateur de sortie.

Deux méthodes peuvent être utilisées afin de s'affranchir de ce problème :

1. La première consiste à fixer la tension du bus grâce à un amplificateur de charge. Cette méthode a été introduite [11] et toujours utilisée [12][13] pour les capteurs à pixels passifs, afin de s'affranchir de la grande capacité parasite présente sur le bus de chaque colonne.¹ Si l'amplificateur opérationnel utilisé est idéal, la structure est insensible à cette capacité parasite.
2. La deuxième méthode, proposée récemment, consiste à initialiser la tension du bus grâce à un interrupteur, avant chaque transfert de l'information d'une colonne stockée sur les capacités vers l'amplificateur commun de sortie [15]. L'inconvénient de cette méthode, est que l'amplitude du signal à la sortie du capteur dépend de la valeur de cette capacité parasite. Si cette capacité est importante, une grande proportion de l'amplitude du signal est perdue. Dans la référence, afin de s'affranchir de ce problème, des capacités d'échantillonnage de 4pF, qui occupent une très grande surface sur le silicium, sont utilisées.

La première méthode a été utilisée ici. L'architecture de ce circuit comprenant l'amplificateur de charge est illustrée Figure IV.3a, avec le chronogramme de lecture associée Figure IV.3b. Dans cette configuration, la tension du bus de sortie est fixée à une valeur V_{bus} grâce à l'amplificateur opérationnel. La capacité parasite C_{pb} étant donc toujours idéalement préchargée à la tension V_{bus} , elle n'intervient pas dans la fonction de transfert du circuit.

Les charges stockées sur C_{ref} et C_{sig} de la colonne sélectionnée sont envoyées sur la capacité C_a . Avant chaque transfert, C_a est remise à zéro en activant l'interrupteur grâce au signal RST. En considérant $C_{ref} = C_{sig} = C_S$ et tous les composants idéaux, la tension en sortie de l'amplificateur pour une colonne est donnée par :

$$V_S = -\frac{C_S}{2C_a}(V_{ref} - V_{sig}) + \left(1 + \frac{C_S}{2C_a}\right) \cdot V_{bus} \quad (4.1)$$

¹ Elle a été utilisée également récemment dans un capteur APS faible tension fonctionnant à 1.2V [14].

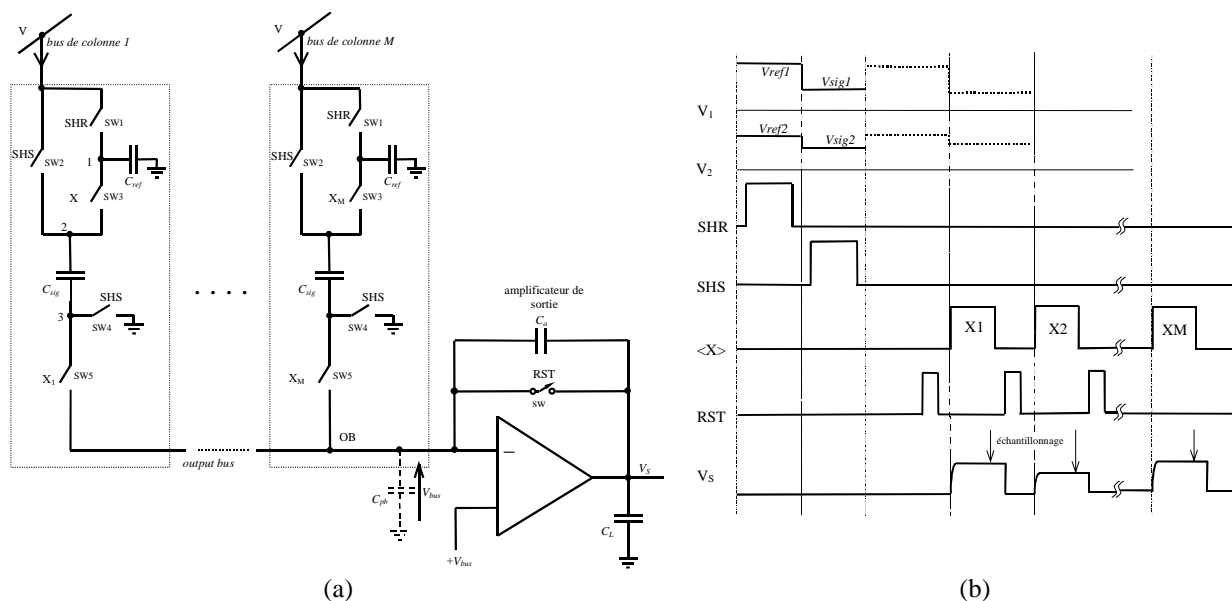


Figure IV.3 : (a) Architecture du circuit de colonne avec amplificateur de charge, (b) chronogramme de lecture associé.

On remarque que dans ce circuit, il n'y a pas de perte de gain due aux suiveurs PMOS colonnes présents dans le circuit de lecture classique. Il est possible donc d'obtenir un gain supérieur à 1, en choisissant $C_a < C_S/2$.

D'après la relation (4.1), on obtient à la sortie du circuit la différence $V_{sig}-V_{ref}$ amplifiée. Si on désire obtenir $V_{ref}-V_{sig}$, il suffit d'inverser les signaux SHR et SHS.

4.3 L'amplificateur opérationnel

L'amplificateur opérationnel utilisé est un amplificateur opérationnel à transconductance (OTA-Operational Transconductance Amplifier) à sortie cascode [16], illustré Figure IV.4. C'est une version non-différentielle de l'OTA présenté dans la référence [17]. Il comprend un étage d'entrée, un étage de sortie cascode (Figure IV.4a), et des circuits de polarisation (Figure IV.4b).

Les transistors $M_{19}-M_{22}$ et la résistance R forment une source de courant insensible aux variations des alimentations [18][19]. Le courant traversant la résistance est donné par :

$$I(R) = \frac{V_{mc}}{R} \quad (4.2)$$

A partir de cette source, les deux miroirs de courant cascodes ($M_{23}-M_{29}$ et $M_{30}-M_{35}$) génèrent les tensions de polarisations nécessaires pour l'étage d'entrée et l'amplificateur cascode.

Les simulations de cet OTA ont été effectuées avec le logiciel ELDO [20]. Les résultats finaux sont représentées dans la Figure IV.5. Le gain statique est 78dB, la fréquence de transition 70MHz, et la marge de phase 50° sur une capacité de charge de 1.5pF.

Le dessin de l'OTA, réalisé sur le logiciel CADENCE, est illustré Figure IV.6. La technologie retenue pour la conception de cet OTA est constituée par le procédé AMS CMOS 0.6µm qui n'a pas été employée jusqu'alors. Ce choix est motivé par deux considérations principales :

- l'opportunité de réaliser conjointement une matrice APS de façon à évaluer les performances radiométriques propres à ce procédé,
- disposer d'un environnement de conception analogique ("design kit") performant de manière à faciliter la conception. Cet environnement permet notamment la génération automatique de capacités double polysilicium avec anneaux de garde, et de transistors paramétrés, etc...

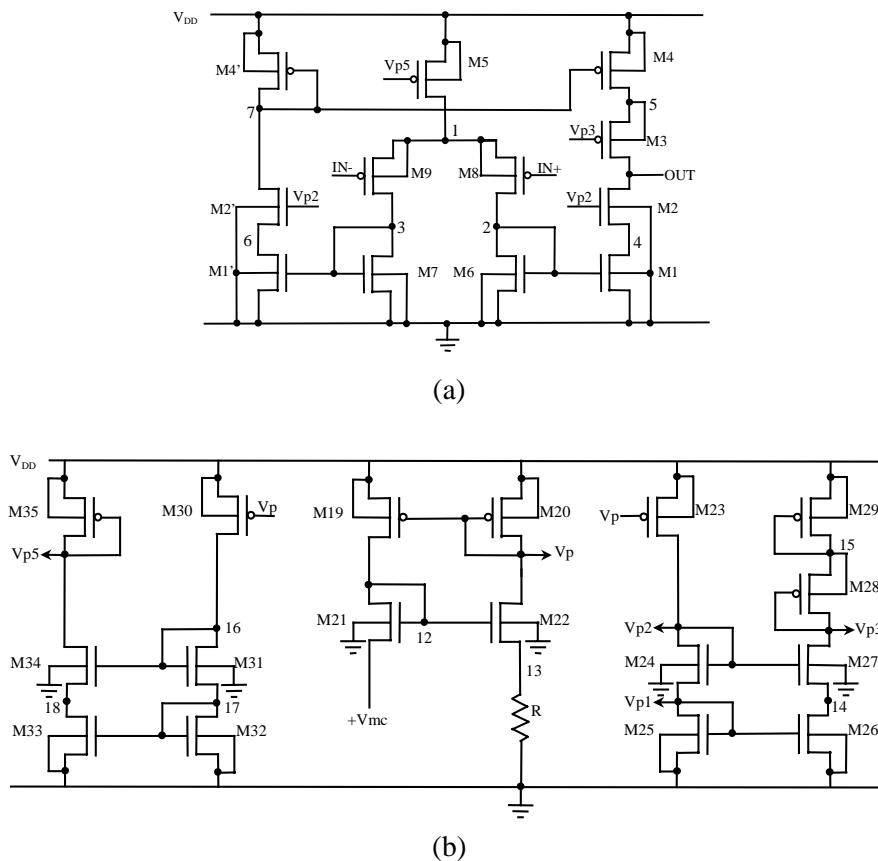


Figure IV.4 : (a) Schéma de l'OTA utilisé dans l'amplificateur de charge, et (b) les circuits de polarisation.

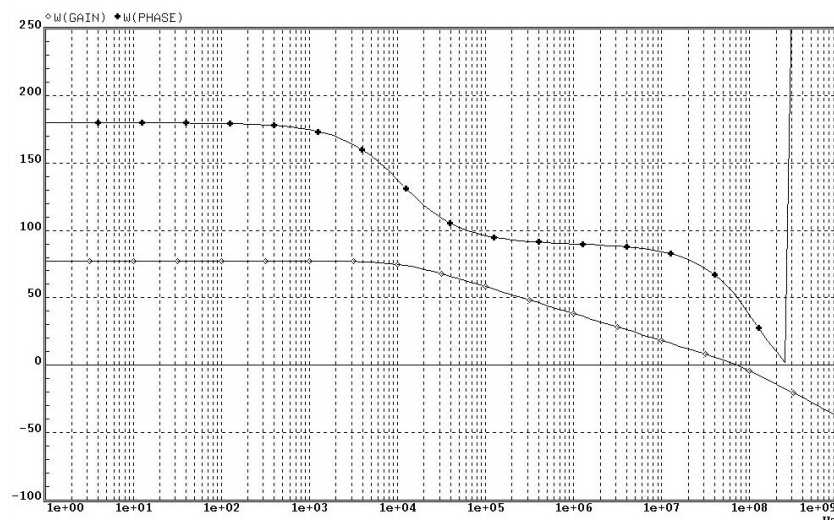


Figure IV.5 : Résultat de simulation AC effectuée sur le logiciel ELDO de l'OTA. Le gain statique est 78dB, la fréquence de transition 70MHz, et la marge de phase 50° sur une capacité de charge équivalente de 1.5pF.

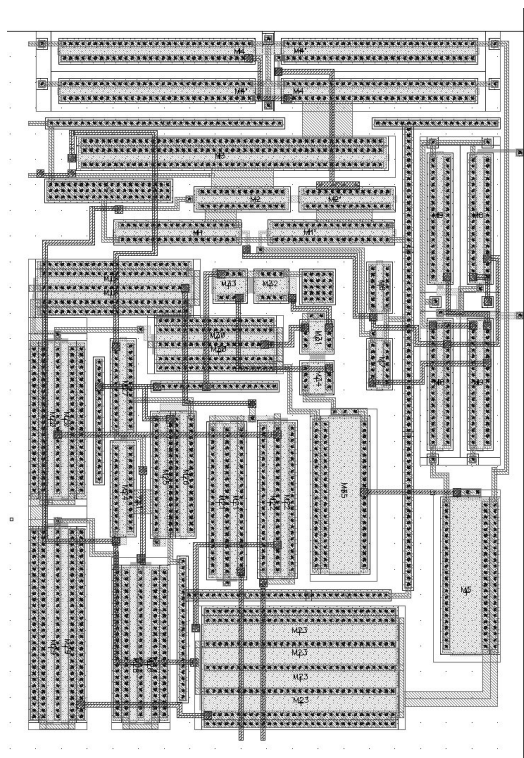


Figure IV.6 : Dessin de l'OTA réalisé sur une technologie AMS CMOS 0.6μm.

4.4 Circuit de test

Après avoir réalisé des simulations sur le logiciel ELDO, un circuit de test a été réalisé sur une technologie AMS CMOS 0.6μm pour valider le principe de lecture et mettre à jour d'éventuels problèmes. La Figure IV.7b montre la microphotographie de cette puce. Il comprend une matrice photosensible de

128x128 pixels. Le pixel est de type photoMOS avec un pas de $16\mu\text{m}$. Il comprend les deux circuits de lecture, à savoir : le circuit de lecture classique (Figure IV.1) et celui présenté dans ce chapitre (Figure IV.2), afin de pouvoir comparer leurs performances.

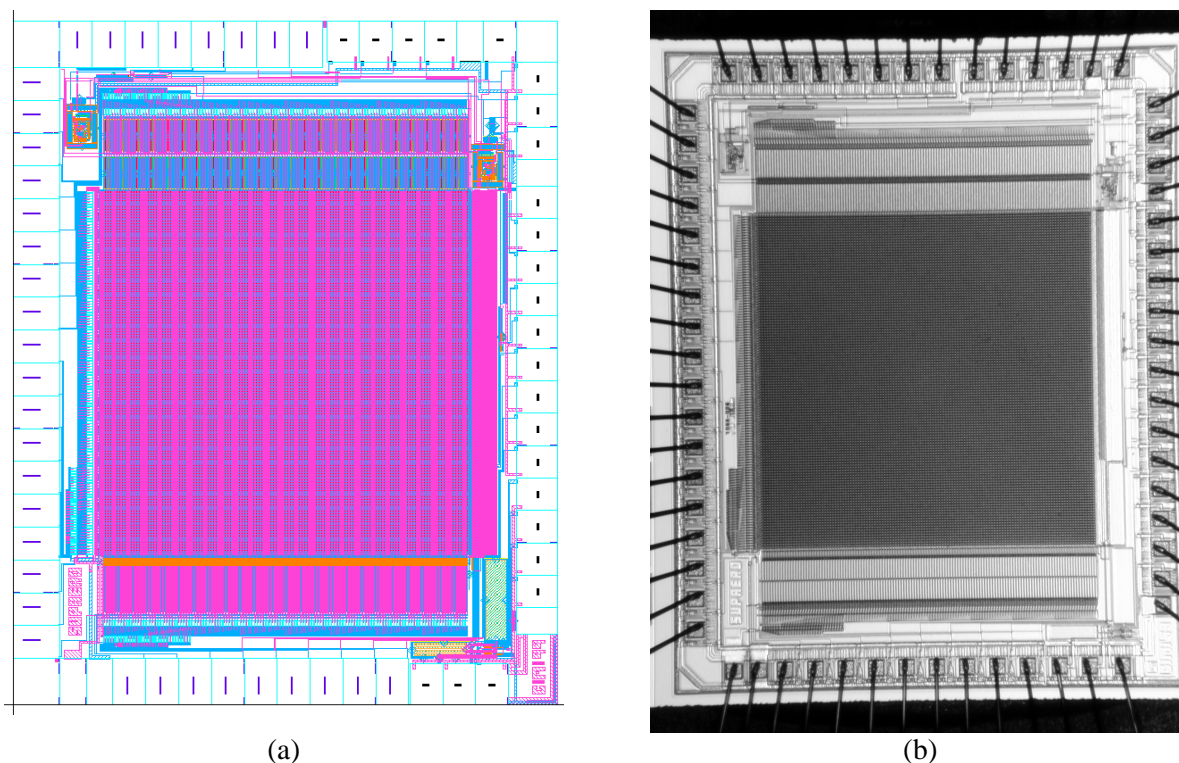


Figure IV.7 (a) Dessin de la puce réalisée sur une technologie AMS (*Austria Mikro Systeme*) CMOS $0.6\mu\text{m}$ (b) microphotographie de la même puce.

Dans ce circuit de test, afin de réduire l'effet du bruit basse fréquence de l'OTA, la structure qui a été choisie pour l'amplificateur de charge est un amplificateur à compensation de la tension de décalage, illustrée Figure IV.8. Le fonctionnement de la version différentielle symétrique de ce circuit est décrit dans le Chapitre III. Suite aux problèmes rencontrés sur cet amplificateur précédent (voir figure III.7), dans ce circuit, la méthode des références [21][13] a été utilisée. La petite capacité supplémentaire C_h en parallèle à l'interrupteur sw3 constitue un chemin de contre réaction qui empêche l'OTA d'osciller en restant en boucle ouverte.

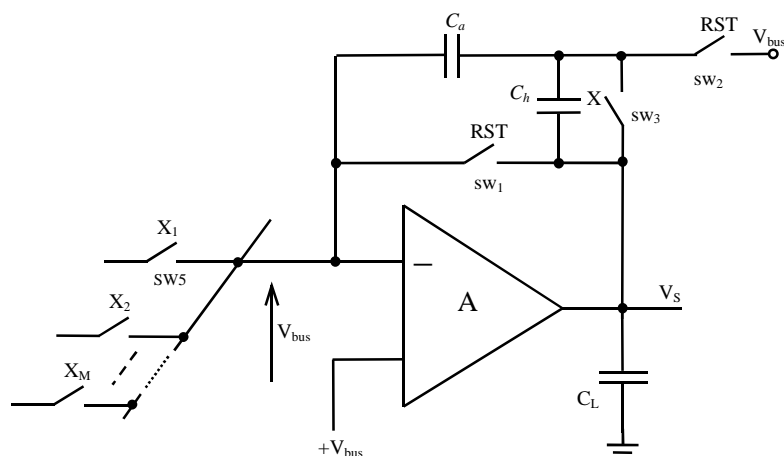


Figure IV.8 : Amplificateur à compensation de la tension de décalage de l'OTA, utilisé dans le circuit de test.

Ce premier circuit de test est fonctionnel, mais présente une série de problèmes :

- *Présence de beaucoup de "pixels chauds" (saturés de charges d'obscurité) dans la matrice.* Une image prise en obscurité avec cette matrice est montrée dans la Figure IV.9a. Ce phénomène est un problème lié à la technologie utilisée².
- *Problèmes liés à l'amplificateur de charge.* Dans ce circuit, des portes de transmission ont été utilisées pour réaliser les interrupteurs. Pour réduire les charges injectés par les transistors à l'ouverture, les portes de transmission sont "théoriquement" efficaces. Dans la pratique, des écarts supérieurs à une dizaine de mV ont été observés (cf. partie 4.5.2). De plus, pendant la phase où le signal RST est à l'état 'haut', la petite capacité C_h est en série avec la capacité C_a . La combinaison en série de ces deux capacités est équivalente à une petite capacité. A l'ouverture de ces deux interrupteurs, une très grande quantité de charge est donc injectée sur la capacité C_a .

Une grande partie des caractérisations expérimentales de ce circuit n'a donc pu être effectuée. Après analyse détaillée de ces problèmes, un nouveau circuit a été conçu en tenant compte de ces difficultés sur une technologie *Alcatel Microelectronics CMOS 0.5μm*, et envoyé en fonderie récemment.

Le bruit de l'OTA à la sortie de l'amplificateur a cependant été mesuré. Afin de s'affranchir de la charge très importante injectée par les interrupteurs en raison de la capacité C_h , le circuit a été configuré en amplificateur de charge simple (Figure IV.3a), en fixant X à V_{DD} . Le circuit est alimenté par des batteries.

² Le même phénomène a été observé sur une matrice 32x32 pixels photoMOS réalisée par le Groupe CIMI en 1996 sur une technologie CMOS AMS 1,2μm (voir Figure IV.9b) ; toutefois les résultats obtenus sur les APS photodiode réalisées sur la même technologie étaient satisfaisants [22]. Pour cette raison, cette technologie est abandonnée pour la réalisation de futures APS photoMOS dans le Groupe CIMI.

Le bruit mesuré en sortie est $2.7mV_{rms}$. Ce bruit est dû en grande partie à la charge injectée par l'interrupteur sw_1 .

Dans le circuit de lecture présenté récemment dans la référence [14], l'injection de charge de l'interrupteur utilisé dans l'amplificateur de charge est éliminée en utilisant un double échantillonnage : dans un premier temps, le niveau de remise à zéro de l'OTA, ensuite le niveau de signal. Cette méthode étant un double échantillonnage corrélé (CDS), le bruit basse fréquence de l'OTA est réduit et le bruit thermique augmenté. On a donc utilisé cette méthode afin de pouvoir mesurer le bruit de l'OTA à la sortie de l'amplificateur illustré Figure IV.8.³ Le bruit mesuré en sortie est $445\mu V_{rms}$, avec $5\mu s$ de distance entre les deux échantillonnages.



Figure IV.9 : Carte du courant d'obscurité à $T=300\text{ K}$ (a) de la matrice 128×128 pixels photoMOS réalisée sur une technologie AMS CMOS $0.6\mu m$ avec un temps d'intégration de 350 ms , et (b) d'une matrice 32×32 pixels photoMOS réalisée sur une technologie AMS CMOS $1.2\mu m$ avec un temps d'intégration de 10 ms [22].

4.5 Effets des non-idéalités des composants utilisés

Dans cette partie, les effets des non-idéalités des composants utilisés sur les performances du circuit de lecture présenté sont étudiés. Des solutions sont également proposées afin de rendre le circuit moins sensible à ces effets.

³ On remarque que le circuit n'a pas le même gain pour le bruit pendant les deux phases. En se référant à la Figure IV.15 (qui est équivalent pour le bruit au circuit de la Figure IV.8 avec $X = V_{DD}$), après la remise à zéro de l'OTA, le gain statique du circuit pour le bruit est donné par :

$$G_1 = 1 + \frac{C_{pb}}{C_a}$$

et pendant la phase d'amplification par :

$$G_2 = 1 + \frac{C_{pb} + C_1}{C_a}$$

Donc, pour le bruit basse fréquence, ce procédé n'est pas un vrai CDS.

4.5.1 Capacités parasites

On peut séparer les capacités parasites en deux catégories : capacité parasite du bus de sortie et capacités parasites associées aux armatures des condensateurs réalisés en technologies CMOS.

4.5.1.1 Capacité parasite du bus de sortie

On rappelle que la capacité parasite du bus sortie est due principalement aux capacités des jonctions P/N source/substrat et drain/substrat polarisées en inverse des transistors MOS constituant les interrupteurs sw_5 (Figure IV.3a) des colonnes inactives, et aux capacités des pistes de routage.

4.5.1.2 Capacités parasites associées aux armatures des capacités réalisées en CMOS

La Figure IV.10 montre la coupe verticale d'une capacité poly-poly C_d , réalisée sur une technologie CMOS. Dans cette figure, on remarque une petite capacité parasite C_{ps} entre l'armature supérieure de C_d et la masse (typiquement 1 à 5% de C_d), et une grande capacité parasite C_{pi} entre l'armature inférieure et la masse (jusqu'à 20% de C_d). C_{ps} est due principalement aux interconnexions. Les perturbations venant du substrat peuvent se propager à travers C_{pi} [23][24].

Il y a aussi les capacités parasites des jonctions P/N source/substrat et drain/substrat polarisées en inverse des transistors MOS utilisés comme interrupteurs. De plus, ces capacités sont non-linéaires [25].

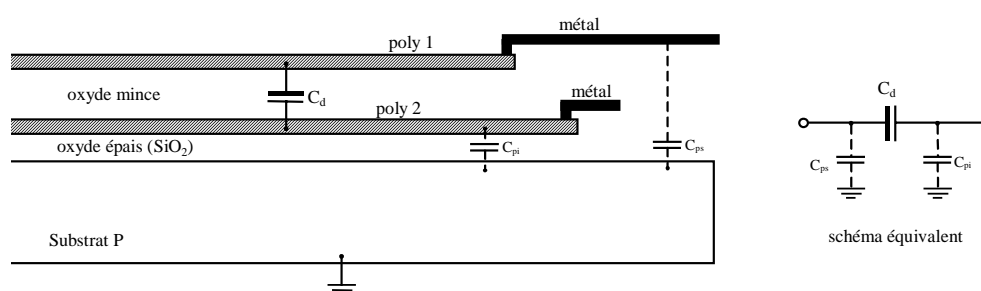


Figure IV.10 : Coupe verticale d'une capacité poly-poly C_d réalisée sur une technologie CMOS avec son schéma équivalent électrique comprenant les deux capacités parasites associées aux armatures supérieure et inférieure.

4.5.1.3 Analyse de la fonction de transfert du circuit en présence des capacités parasites

Le schéma équivalent du circuit de lecture comprenant les capacités parasites est illustré Figure IV.11a. Les capacités parasites qui ne sont pas actives, par exemple la capacité de l'armature inférieure de C_{ref} qui est reliée à la masse, ne sont pas représentées. On note que les capacités parasites de C_a se rajoutent à C_{pb}

et C_L . L'influence des capacités parasites sera étudiée d'abord en considérant l'OTA idéal à gain statique infini, ensuite l'OTA réel à gain statique fini. Le schéma équivalent du circuit juste après avoir échantillonné le niveau de signal V_{sig} est représenté dans la Figure IV.11b, et pendant la phase d'amplification ($X_1=V_{DD}$, $RST=GND$) dans la Figure IV.11c.

i) *Gain statique infini* ($A_v=\infty$)

On note que dans ce cas, $V_z = V_{bus}$ (Figure IV.11b) et $V_z' = V_{bus}$ (Figure IV.11c). La tension aux bornes de C_{pb} ne varie pas, elle n'intervient donc pas dans la fonction de transfert. $C_I = C_{ref} + C_{p1}$. Les charges stockées sur toutes capacités illustrées Figure IV.11 sont données dans le Tableau-IV.1.

En effectuant une analyse nodale et en tenant compte de la conservation des charges sur les nœuds 2 et 3, on peut écrire le système d'équations suivant :

$$\begin{cases} V_x - V_y = V_{bus} \\ (C_1 + C_{p2})V_x + C_{sig}V_y = C_1V_1 + C_{p2}V_2 + C_{sig}V_2 \\ C_a(V_{bus} - V_S) + C_{p3}V_{bus} - C_{sig}V_y = -C_{sig}V_2 \end{cases} \quad (4.3)$$

D'où on obtient :

$$V_S = -\frac{(C_{ref} + C_{p1})C_{sig}}{C_a(C_{ref} + C_{sig} + C_{p1} + C_{p2})}(V_1 - V_2) + \left(1 + \frac{C_{p3}}{C_a} + \frac{C_{sig}(C_{ref} + C_{p1} + C_{p2})}{C_a(C_{ref} + C_{sig} + C_{p1} + C_{p2})}\right) \cdot V_{bus} \quad (4.4)$$

On remarque que pour $V_1 = V_{ref}$, $V_2 = V_{sig}$, et si on ignore toutes capacités parasites, on retrouve la fonction de transfert idéale du circuit donnée dans la relation (4.1). D'après la relation (4.4), C_{p1} et C_{p2} introduisent une erreur dans le gain global du circuit. Si l'OTA est idéal, C_{p3} n'intervient pas dans le premier terme et le gain du circuit est insensible à cette capacité qui, par contre modifie le deuxième terme fixe de décalage.

Il est important à noter aussi que, pour voir l'influence de la tension de décalage V_{os} de l'OTA, il suffit de remplacer dans cette expression V_{bus} par $(V_{bus} + V_{os})$.

ii) Gain statique fini ($A_v \neq \infty$)

Afin d'évaluer l'influence de C_{pb} , dans ce cas on tient compte du gain statique fini A_v de l'OTA. V_z est donnée par :

$$V_z = \frac{A_v}{1 + A_v} V_{bus} \quad (4.5)$$

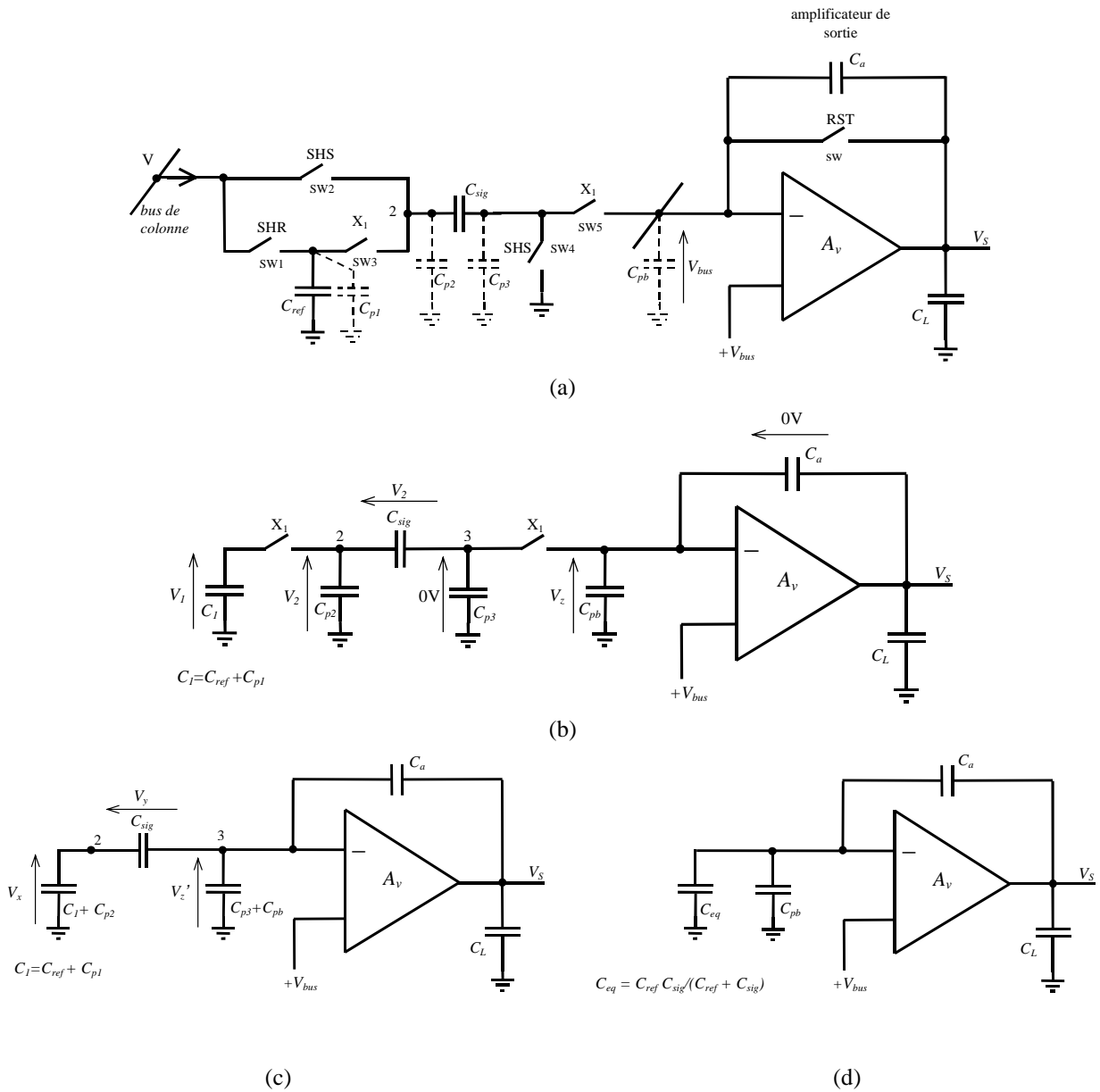


Figure IV.11 : (a) Schéma du circuit de lecture colonne comprenant les capacités parasites, (b) schéma équivalent après SHS, (c) schéma équivalent pendant la phase d'amplification ($X_1=V_{DD}$, $RST=GND$), et (d) schéma équivalent utilisé pour calculer le facteur de contre réaction.

Tableau-IV.1 : Charges stockées sur les diverses capacités illustrées Figure IV.11 ($C_I = C_{ref} + C_{p1}$).

	$A_v = \infty$		$A_v \neq \infty$	
	Figure IV.11b	Figure IV.11c	Figure IV.11b	Figure IV.11c
C_I	$C_I V_1$	$C_I V_x$	$C_I V_1$	$C_I V_x$
C_{p2}	$C_{p2} V_2$	$C_{p2} V_x$	$C_{p2} V_2$	$C_{p2} V_x$
C_{sig}	$C_{sig} V_2$	$C_{sig} V_y$	$C_{sig} V_2$	$C_{sig} V_y$
C_{p3}	0	$C_{p3} V_{bus}$	0	$C_{p3} V_z'$
C_{pb}	$C_{pb} V_{bus}$	$C_{pb} V_{bus}$	$C_{pb} V_z$	$C_{pb} V_z'$
C_a	0	$C_a (V_{bus} - V_S)$	0	$C_a (V_z' - V_S)$

En effectuant une analyse nodale et en tenant compte de la conservation des charges sur les nœuds 2 et 3, on peut écrire le système d'équations suivant :

$$\begin{cases} V_x - V_y = V_z' \\ (C_I + C_{p2})V_x + C_{sig} V_y = C_I V_1 + C_{p2} V_2 + C_{sig} V_2 \\ C_a (V_z' - V_S) + (C_{p3} + C_{pb})V_z' - C_{sig} V_y = -C_{sig} V_2 + C_{pb} V_z \\ V_S = A_v (-V_z' + V_{bus}) \end{cases} \quad (4.6)$$

D'où on obtient :

$$\begin{aligned} V_S = & - \frac{(C_{ref} + C_{p1})C_{sig}}{(C_{ref} + C_{sig} + C_{p1} + C_{p2}) \left(C + \frac{C + C_{p3} + C_{pb}}{A_v} \right) + C_{sig} \frac{C_{ref} + C_{p1} + C_{p2}}{A_v}} \cdot (V_1 - V_2) \\ & + \frac{(C_{sig} + C_{ref} + C_{p1} + C_{p2}) \left(C + C_{p3} + \frac{C_{pb}}{1 + A_v} \right) + C_{sig} (C_{ref} + C_{p1} + C_{p2})}{(C_{ref} + C_{sig} + C_{p1} + C_{p2}) \left(C + \frac{C + C_{p3} + C_{pb}}{A_v} \right) + C_{sig} \frac{C_{ref} + C_{p1} + C_{p2}}{A_v}} \cdot V_{bus} \end{aligned} \quad (4.7)$$

On remarque que dans cette relation, pour un gain statique A_v suffisamment large, les effets de C_{pb} et C_{p3} sont négligeables, et on retrouve la fonction de transfert donnée dans la relation (4.4). Le gain statique introduit donc une erreur dans le gain et dans le terme fixe. L'OTA utilisé ayant un gain statique de l'ordre de 80dB (10000), cette erreur peut être négligée.

Par contre, la capacité parasite du bus C_{pb} joue un rôle important sur le temps de réponse de l'OTA. En ignorant les autres capacités parasites et en se référant à la Figure IV.11d, le facteur de contre réaction du circuit pendant la phase d'amplification est donnée par [26] :

$$(4.8)$$

$$\beta = \frac{C}{C + \frac{C_{ref} C_{sig}}{C_{ref} + C_{sig}} + C_{pb}}$$

C_{pb} augmente donc le facteur de contre réaction, d'où la constante de temps du circuit.

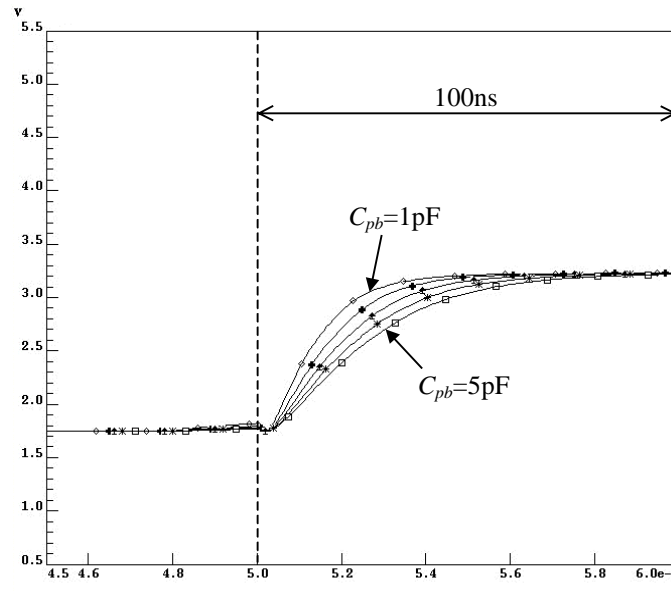


Figure IV.12 : Simulation ELDO du circuit représenté dans la Figure IV.11a illustrant l'effet de la capacité parasite du bus C_{pb} sur la réponse transitoire du circuit. Cette simulation a été effectuée en tenant compte de toutes les capacités parasites extraites du dessin du circuit, réalisé sur une technologie AMS CMOS 0.6 μ m. Les interrupteurs sont des transistors NMOS simples avec $W/L=1\mu\text{m}/0.6\mu\text{m}$. On remarque que la sortie est inversée. ($V_{ref} - V_{sig} = 1\text{V}$, $V_{bus} = 1.75\text{V}$, $C_L = 1\text{pF}$, $C_{ref} = C_{sig} = 1.5\text{pF}$, $C = 0.75\text{pF}$, $C_{p3} = 0.25\text{pF}$, $C_{pb} = 1\text{pF} \rightarrow 5\text{pF}$).

4.5.1.4 Réduction des effets des capacités parasites

On rappelle que d'après les relations (4.4) et (4.7), toutes les capacités parasites introduisent une erreur dans le gain et dans le terme de décalage fixe du circuit. Les capacités parasites associées aux armatures inférieures des capacités d'échantillonnage constituent un chemin pour les parasites venant du substrat. Si le gain statique de l'OTA est suffisamment élevé, en terme de gain, l'effet de la capacité parasite du bus est négligeable. Par contre, cette capacité réduit le temps de réponse de l'OTA.

Il est important de noter que si les capacités sont appariées, les capacités parasites associées sont aussi appariées. Il existe d'ailleurs des circuits à capacités commutées à "compensation de capacités parasites" fondés sur ce principe [27]. Dans ce cas elles n'introduisent donc pas de bruit fixe de colonne.

Le circuit différentiel symétrique⁴ représenté dans la Figure IV.13, considérant des OTAs idéaux à gain statique infini, est insensible aux capacités parasites des armatures des capacités poly-poly. Les grandes capacités parasites sont reliées à de faibles impédances ou à la masse. Les faibles capacités parasites sont reliées à la masse virtuelle. L'orientation recommandée pour les capacités est montrée dans la figure. Dans cette configuration, l'entrée de l'OTA étant un nœud sensible, elle est protégée contre les perturbations venant du substrat à travers les grandes capacités parasites des armatures inférieures. Dans la littérature des circuits à capacités commutées, de tels circuits sont appelés "structures insensibles aux (capacités) parasites" [23]-[25].

Grâce à sa structure différentielle, ce circuit est moins sensible aux perturbations venant du substrat et des alimentations, et aux injections de charges des interrupteurs⁵. Cependant, les bruits générés par les deux OTAs étant décorrélés, le bruit total dû aux OTAs est doublé en puissance.

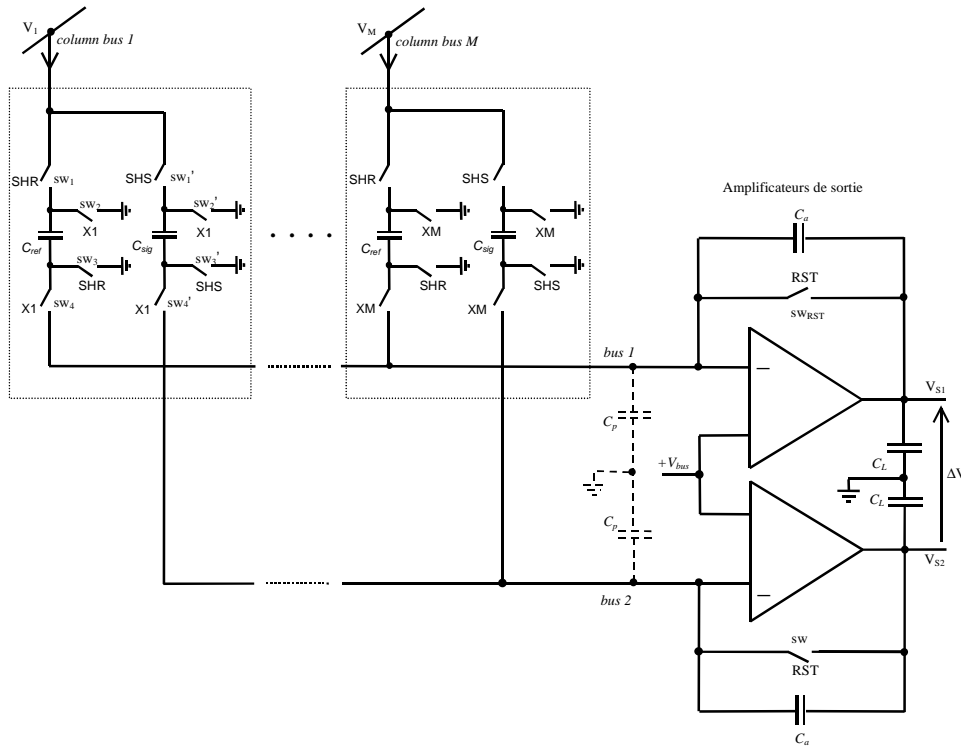


Figure IV.13 : Version différentielle symétrique du circuit de lecture. Cette structure est 'insensible' aux capacités parasites.

⁴ Ce circuit est adapté d'un intégrateur à capacités commutées [19], [24], [28].

⁵ Dans la référence [29] un circuit de lecture colonne qui utilise un amplificateur de charge par colonne est présenté. Suite à des problèmes rencontrés avec ce circuit de lecture non différentiel (bruit de lecture mesuré supérieur à $3mV_{rms}$, dû aux injections de charges), une version différentielle symétrique de ce circuit est proposée plus tard [30]. Celle-ci présente des performances nettement améliorées par rapport au circuit précédent, et le bruit mesuré est de l'ordre de $300\mu V_{rms}$.

4.5.2 Problèmes liés aux interrupteurs

4.5.2.1 L'injection de charge ("charge injection")

En se référant à la Figure IV.14a, pour le transistor MOS qui est dans le régime linéaire, la tension V_{DS} étant très faible, on peut considérer $V_e = V_S$.⁶ La charge totale Q_{ch} dans le canal de ce transistor MOS, au premier ordre, est donnée par [19][23] :

$$Q_{ch} = WLC_{ox}(V_{DD} - V_e - V_{th}) \quad (4.9)$$

où W représente la largeur du canal et L la longueur du canal du transistor. Lorsque le transistor MOS passe de l'état ouvert à l'état fermé, les charges du canal sont injectées vers le drain, la source et le substrat. Les charges qui vont vers le substrat sont négligeables [31]-[33]. La charge injectée vers la gauche (q_d) est absorbée par la source et n'est pas gênante. Par contre, celle qui est injectée sur la capacité C_S (q_s) induit une variation ΔV_S sur la tension aux bornes de cette capacité. Si $C_D = C_S$, cette erreur est donnée idéalement par :

$$\Delta V_S = \frac{Q_{ch}}{2C_S} \quad (4.10)$$

Dans la réalité, la quantité de charge injectée est fonction de beaucoup de paramètres : l'impédance vue du drain et de la source, les dimensions du transistor, les temps de transition du signal d'horloge appliqué à la grille, etc. [31]-[33]. Il est très difficile de contrôler précisément les temps de montée des horloges rapides.

En général, en prenant compte le pire cas, on peut considérer que la totalité de cette charge est injectée sur C_S . Donc, l'erreur est donnée par :

$$\Delta V_S = \frac{WLC_{ox}(V_{DD} - V_e - V_{th})}{C_S} \quad (4.11)$$

On rappelle que le substrat du transistor étant relié à la masse, à cause de l'effet substrat, la tension de seuil V_{th} dépend de V_e . Donc, si V_e n'est pas une masse, une source de tension fixe, ou une masse virtuelle, l'erreur dépend du signal d'entrée d'une façon non-linéaire.

⁶ Dans la littérature des circuits à capacités commutées, cette tension est appelée "le signal de ce transistor".

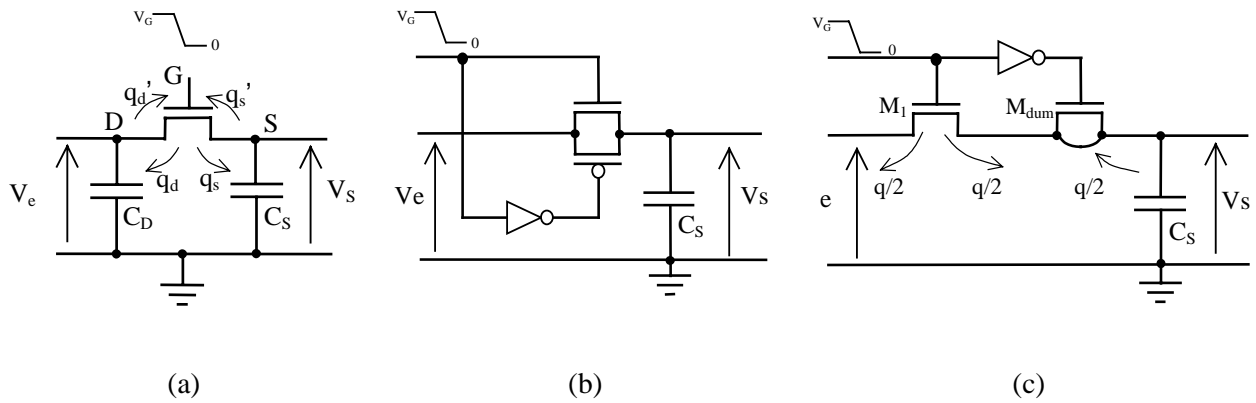


Figure IV.14 : Les interrupteurs CMOS (a) l’interrupteur à un seul transistor NMOS, (b) l’interrupteur CMOS (porte de transmission), et (c) l’interrupteur factice ("dummy").

4.5.2.2 L’injection d’horloge ("clock feedthrough")

Le deuxième problème associé aux interrupteurs est dû aux capacités parasites de recouvrement C_{gs} et C_{gd} des transistors MOS. A travers ces deux capacités parasites, pendant les transitions d’un état à l’autre, une partie du signal d’horloge appliqué à la grille du transistor est injectée vers le drain et la source (q_d' et q_s' dans la Figure IV.14a). L’erreur induite sur C_S est donnée par :

$$\Delta V_S = \frac{C_{gs}}{C_{gs} + C_S} V_G \tag{4.12}$$

où V_G est l’amplitude du signal d’horloge appliqué à la grille. Si C_{gs} est considérée constante, au premier ordre, on peut considérer cette erreur comme étant indépendante du signal d’entrée. Celle-ci est souvent moins gênante que de celle due à l’injection de charge.

4.5.2.3 Bruit kT/C

On rappelle que la variance du bruit blanc généré par un transistor MOS, et échantillonné sur une capacité C_S , est donnée par :

$$\sigma_{C_S}^2 = kT / C_S . \tag{4.13}$$

En considérant les valeurs pratiques des capacités utilisées dans le capteur APS, typiquement supérieures à 1pF, le bruit kT/C peut être négligé dans la plupart des cas.

4.5.2.4 Réduction des effets non-idéaux des interrupteurs

Il n'existe pas de solution efficace pour éliminer complètement les effets de ces problèmes liés aux interrupteurs. A l'heure actuelle, ils continuent, notamment l'injection de charge, à limiter les performances des circuits analogiques à échantillonnage [19], [34]-[36].

D'après les relations (4.11), (4.12), et (4.13), il est clair que l'utilisation de larges capacités et de transistors de dimensions minimales réduisent tous ces effets indésirables. Mais cela introduit d'autres inconvénients, à savoir : l'augmentation de la surface occupée sur le silicium et de la résistance à l'état passant des transistors qui augmente les constantes de temps RC.

Si l'interrupteur est une porte de transmission (cf. Figure IV.14b), la charge injectée par le transistor PMOS compense en théorie partiellement l'effet de la charge injectée par le transistor NMOS. Dans la pratique les transistors NMOS et PMOS ne sont jamais vraiment appariés, et les charges dans leurs canaux dépendent de la tension V_s . Le jitter de phase entre les horloges complémentaires de grilles des deux transistors peut produire une erreur aléatoire (donc un bruit) qui se rajoute au bruit total [32][37]. De plus, les capacités parasites des deux transistors se rajoutent, ce qui augmente la capacité parasite totale, donc l'injection de charge.

Une autre méthode consiste à éliminer la charge injectée par le transistor MOS sur C_s , grâce à la charge injectée dans le sens opposé par un deuxième transistor factice ("dummy") (Figure IV.14c) [19][28][33]. Dans cette configuration, la charge du canal injectée par M_1 à l'ouverture est absorbée par M_{dum} qui passe à l'état fermé. Si la moitié de la charge de M_1 est injectée sur C_s , afin de garantir une compensation complète, on doit choisir $W_{\text{dum}}=0.5W_1$ et $L_{\text{dum}}=L_1$. Cette hypothèse est rarement valable et l'injection de charge est compensée seulement en partie. Par contre, avec cette configuration l'effet de l'injection d'horloge est éliminé [19].

La meilleure solution serait la combinaison d'une structure différentielle avec une compensation par interrupteur factice [33]. Des améliorations d'un facteur de 10 ont été observées en utilisant des structures différentielles [23]. Le circuit différentiel de la Figure IV.13 est donc recommandé. De plus, dans ce dernier, il est possible de rendre les charges injectées par les interrupteurs indépendantes du signal de l'interrupteur, en utilisant des signaux de commande appropriés [38][19][23]. L'interrupteur sw_{RST} y injecte une charge fixe d'une période à l'autre, puisqu'il est relié à la masse virtuelle de l'OTA. Si sw_3 est ouvert avant sw_1 , toutes les charges injectées sont constantes d'une période à l'autre, introduisant seule une tension de décalage fixe [19]. Le décalage nécessaire entre les signaux de commande de sw_1 et sw_3 peut être réalisé à l'aide d'un simple circuit logique constitué de quelques inverseurs mis en cascade.

4.5.3 Bruit de l'OTA

Dans ce paragraphe, l'effet du bruit propre de l'OTA utilisé est étudié. Seule une analyse au premier ordre est présentée, en considérant que le bruit de l'OTA n'intervient que pendant la phase d'amplification⁷. De plus, afin de simplifier les calculs, on suppose que le gain en boucle ouverte de l'OTA A_v est du premier ordre. En se référant à la Figure IV.15, la tension de sortie de l'OTA est donnée par :

$$\frac{v_S}{e_n} = \frac{A_v}{1 + A_v \frac{C_a}{C_{eq} + C_a}} \quad (4.14)$$

On peut réécrire cette fonction de transfert sous la forme :

$$\frac{v_S}{e_n} \approx \left(1 + \frac{C_{eq}}{C_a}\right) \cdot \frac{1}{1 + j(f/f_c)} \quad (4.15)$$

où f_c est la fréquence de coupure du gain de l'OTA (Figure IV.5).

A. Bruit blanc

Dans ce cas la DSP de bruit est donnée par $S_{en} = a_{th}$, où a_{th} est constant. La variance du bruit de sortie est alors donnée par :

$$\sigma_{v_S}^2(th) = \left(1 + \frac{C_{eq}}{C_a}\right)^2 a_{th} \int_0^{\infty} \frac{1}{|1 + j(f/f_c)|^2} \cdot df$$

L'intégrale vaut $(\pi f_c / 2)$ [39]. On obtient finalement :

$$\sigma_{v_S}^2(th) = \left(1 + \frac{C_{eq}}{C_a}\right)^2 \cdot \frac{f_c}{2} \cdot a_{th} \quad (4.16)$$

⁷ En réalité, après la phase de remise à zéro de l'OTA, le bruit de l'OTA est stocké sur la capacité parasite C_{pb} , et les calculs sont un peu plus compliqués. On suppose que le niveau de ce bruit stocké pendant cette phase est inférieur au niveau de bruit mesuré en sortie pendant la phase d'amplification.

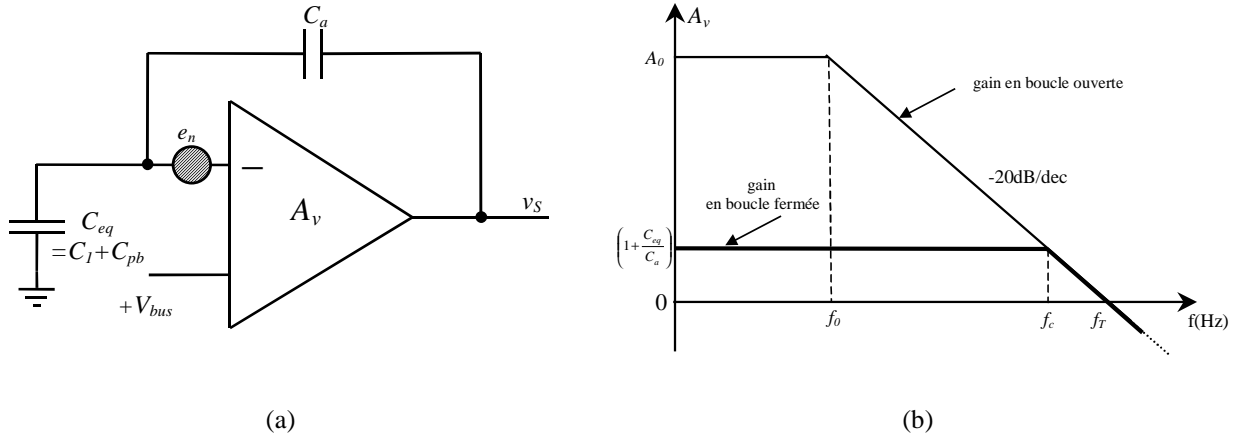


Figure IV.15 : Schéma équivalent du circuit de lecture colonne pendant la phase d'amplification. Le bruit de l'OTA est représenté par une source de tension de bruit e_n . La source de courant de bruit i_n est négligé en considérant l'impédance d'entrée élevée de l'OTA.

B. Bruit en $1/f$

On considère que la DSP de bruit basse fréquence de l'OTA est donnée par $S_{en} = a_{fl} / f$ où a_{fl} est constant.

La variance du bruit de sortie est alors donnée par :

$$\sigma_{v_S}^2(fl) = \left(1 + \frac{C_{eq}}{C_a}\right)^2 a_{fl} \int_{f_{min}}^{\infty} \frac{1}{f |1 + j(f/f_c)|^2} \cdot df$$

$$\sigma_{v_S}^2(fl) = \left(1 + \frac{C_{eq}}{C_a}\right)^2 \frac{a_{fl}}{2} \ln \left[1 + \left(\frac{f_c}{f_{min}}\right)^2 \right] \quad (4.17)$$

où f_{min} est $1/T_{obs}$ (pour les raisons indiquées dans le Chapitre II), et T_{obs} la distance entre l'activation de l'adresse X pour une colonne et l'échantillonnage de la sortie de l'OTA (voir le chronogramme donné dans la Figure IV.3b).

Il est important à noter que, d'après les relations (4.16) et (4.17), plus la capacité parasite du bus C_{pb} (qui est comprise dans C_{eq}) augmente, plus le niveau de bruit en sortie est élevé. On rappelle que le gain du circuit pour le signal est donné par C_I/C_a , qui est inférieur au gain en bruit. C'est l'un des inconvénients de ce circuit en terme de bruit. Le bruit de sortie peut tout de même être réduit en réduisant la bande passante de l'OTA, à condition de sacrifier de la vitesse.

4.6 Conclusions

Le bruit spatial fixe dans le capteur APS est toujours l'un des problèmes à résoudre et les recherches continuent sur ce sujet. Les tentatives de réduction du bruit fixe se traduisent en général par une augmentation du bruit temporel, dû à l'utilisation de composants actifs supplémentaires [40]-[42], [4].

Dans ce chapitre un circuit de lecture colonne à faible bruit fixe pour le capteur APS est présenté. Le bruit spatial fixe de ce circuit dépend de l'appariement des capacités, un paramètre qui est assez bien contrôlé dans les technologies CMOS. Les problèmes liées aux non-idéalités des composants utilisés dans ce circuit sont étudiés, ainsi que les méthodes pour les minimiser.

Ce circuit (Figure IV.2) offre également d'autres avantages par rapport au circuit de lecture colonne classique (Figure IV.1). Les suiveurs de colonnes sont supprimés, donc les circuits de colonnes occupent moins de surface sur le silicium. La tension de la capacité du bus de sortie étant fixé, la vitesse de lecture de la matrice dépend peu de la taille de la matrice. Ceci est un avantage pour les matrices de grande taille. Le signal utile ($V_{ref} - V_{sig}$) est obtenu directement sur une sortie.

Afin de valider le principe ce circuit, un premier circuit de test a été réalisé sur une technologie AMS CMOS 0.6 μ m. Les principaux facteurs limitant les performances de ce circuit sont les charges injectées par les interrupteurs, les capacités parasites, et le bruit de l'amplificateur opérationnel utilisé. Dans la suite, il y a donc des améliorations à faire sur ces points. Un nouveau circuit a été réalisé sur une technologie Alcatel Microelectronics CMOS 0.5 μ m et envoyé au fondeur, en considérant certains problèmes rencontrés sur le premier circuit de test.

Bibliographie :

- [1] S.K. Mendis *et al.*, "CMOS active pixel image sensors for highly integrated imaging systems," *IEEE Journal of Solid-State Circuits*, vol. 32, no. 2, 1997, pp. 187-197.
- [2] A.J. Blanksby, M.J. Loinaz, D.A. Inglis, and B.D. Ackland, "Noise performance for a color CMOS photogate image sensor," in *1997 IEEE Int. Electron Devices Meeting (IEDM) Tech. Digest*, Washington, DC, pp. 205-208.
- [3] R.C. Stirbl *et al.*, "Next generation CMOS active pixel sensors for satellite hybrid optical communications/imaging sensor systems," *Proceedings of SPIE*, vol. 3498, September 1998, pp. 255-264.
- [4] B. Dierickx, G. Meynants, and D. Scheffer, "Offset-free offset correction for active pixel sensors," in *Proc. 1997 IEEE Workshop on Charge Coupled Devices and Advanced Image Sensors*, Bruges, Belgium.
- [5] G. Meynants, B. Dierickx, and D. Scheffer, "CMOS active pixel image sensor with CCD performance," in *Advanced Focal Plane Arrays and Electronic Cameras II, Proceedings of SPIE*, vol. 3410, 1998, pp. 68-76.
- [6] S. Kavadias, "Offset-free column readout circuit for CMOS image sensors," *Electronics Letters*, vol. 35, no. 24, November 1999, pp. 2112-2113.
- [7] A. Moini, *Vision Chips*, Kluwer Academic Publishers, Boston, 2000.
- [8] G.C. Temes, P. Deval, and V. Valencic, "SC circuits: The state of the art compared to SI techniques," *Proc. 1993 IEEE Int. Symposium on Circuits and Systems (ISCAS)*, pp. 1231-1234.
- [9] Y. Degerli, F. Lavernhe, P. Magnan, and J. Farré, "Column readout circuit with global charge amplifier for CMOS APS imagers," *Electronics Letters*, vol. 36, no. 17, August 2000, pp. 1457-1459.
- [10] Y. Degerli, F. Lavernhe, P. Magnan, et J. Farré, "Dispositif électronique de lecture de pixels notamment pour capteur d'images matriciel à pixels actifs CMOS," brevet no : 2795586, INPI, Paris, Juin 1999.
- [11] J.D. Plummer and J.D. Meindl, "MOS electronics for a portable reading aid for the blind," *IEEE Journal of Solid-State Circuits*, vol. SC-7, April 1972, pp. 111-119.
- [12] C. Jansson, P. Ingelhart, C. Svensson, and R. Forchheimer, "An addressable 256x256 photodiode image sensor array with an 8-bit digital output," *Analog Integrated Circuits and Signal Processing*, vol. 4, 1993, pp. 37-49.
- [13] A. Simoni *et al.*, "256x256-pixel CMOS digital camera for computer vision with 32 algorithmic ADCs on board," *IEE Proceedings - Circuits, Devices and Systems*, vol. 146, no. 4, August 1999, pp. 184-190.
- [14] K-B. Cho, A. Krymski, and E.R. Fossum, "A 1.2V micropower CMOS active pixel image sensor for portable applications," in *2000 IEEE Int. Solid-State Circuits Conference (ISSCC) Digest of Tech. Papers*, San Francisco, pp. 114-115.
- [15] D.J. Sauer (Sarnoff Co.), "CMOS image sensor with improved fill factor," US patent no. 5,920,345, July 1999.
- [16] P.E. Allen and D.R. Holberg, *CMOS Analog Circuit Design*, Oxford University Press, New York, 1987.
- [17] T. Rocacher, "Etude d'un AOP pour la chaîne d'acquisition d'un capteur APS en technologie CMOS," Rapport de D.E.A., INSA, Toulouse, 1996.
- [18] P.R. Gray and R.G. Meyer, *Analysis and Design of Analog Integrated Circuits*, 2nd edition, Wiley, New York, 1984.
- [19] B. Razavi, *Design of Analog CMOS Integrated Circuits*, McGraw-Hill, New York, 2000.
- [20] ANACAD ELDO v4.7_1.1 User's Manual, Revision 7.0, Mentor Graphics Co., May 1998.
- [21] P. Lee, A. Simoni, A. Sartori, and G. Torelli, "A photosensor array for spectrophotometry," *Sensors and Actuators A*, vol. 47, nos. 1-3, March/April 1995, pp. 449-452.

- [22] C. Cavadore et J. Solhusvik, "Résultats expérimentaux obtenus avec trois capteurs APS en technologie CMOS 1,2 μ m DLP/DLM," Rapport interne, Groupe CIMI, SUPAERO, Toulouse, Mars 1996.
- [23] D. Johns and K. Martin, *Analog Integrated Circuit Design*, Wiley, New York, 1997.
- [24] R. Unbehauen and A. Cichocki, *MOS Switched-Capacitor and Continuous-Time Integrated Circuits and Systems*, Springer-Verlag, Berlin, 1989.
- [25] K.R. Laker and W. Sansen, *Design of Analog Integrated Circuits and Systems*, McGraw-Hill, New York, 1994.
- [26] U. Chilakapati and T.S. Fiez, "Effect of switch resistance on SC integrator settling time," *IEEE Transactions on Circuits and Systems - II*, vol. 46, no. 6, June 1999, pp. 810-816.
- [27] P.E. Fleischer, A. Ganesan, and K.R. Laker, "Parasitic compensated switched capacitor circuits," *Electronics Letters*, vol. 17, no. 24, November 1981, pp. 929-931.
- [28] R. Gregorian and G. Temes, *Analog MOS Integrated Circuits for Signal Processing*, Wiley, New York, 1986.
- [29] Z. Zhou, B. Pain, and E.R. Fossum, "Frame-transfer CMOS active pixel sensor with pixel binning," *IEEE Transactions on Electron Devices*, vol. 44, no. 10, October 1997, pp. 1764-1768.
- [30] Z. Zhou, B. Pain, and E.R. Fossum, "A CMOS imager with on-chip variable resolution for light-adaptive imaging," in *1998 IEEE Int. Solid-State Circuits Conference (ISSCC) Digest of Tech. Papers*, San Francisco, pp. 174-175.
- [31] G. Wegmann, E.R. Vittoz, and F. Rahali, "Charge injection in analog MOS switches," *IEEE Journal of Solid-State Circuits*, vol. SC-22, no. 6, December 1987, pp. 1091-1097.
- [32] E.R. Vittoz, "Dynamic analog techniques," in J.E. Franca and Y. Tsvividis (eds.), *Design of Analog-Digital VLSI Circuits for Telecommunications and Signal Processing*, Prentice-Hall, Englewood Cliffs, NJ, USA, 1994, pp. 97-124.
- [33] C.C. Enz and G.C. Temes, "Circuit techniques for reducing the effects of op-amp imperfections: Auto-zeroing, correlated double sampling and chopper stabilization," *Proceedings of the IEEE*, vol. 84, no. 11, November 1996, pp. 1584-1614.
- [34] C. Toumazou, F.J. Lidgley, and D.G. Haigh (eds.), *Analogue IC Design: The Current Mode Approach*, Peter Peregrinus Ltd. (IEE Press), London, 1990.
- [35] C. Toumazou, J.B. Hughes, and N.C. Battersby (eds.), *Switched-Currents: An Analogue Technique for Digital Technology*, Peter Peregrinus Ltd. (IEE Press), London, 1993.
- [36] R. van de Plassche, *Integrated Analog-to-Digital and Digital-to-Analog Converters*, Kluwer, Boston, 1994.
- [37] P. Van Peteghem and W. Sansen, "Single versus complementary switches: A discussion of clock feedthrough in SC circuits," *Proc. 1986 European Solid-State Circuits Conference (ESSCIRC)*, Delft, The Netherlands, pp.143-145.
- [38] D.G. Haigh and B. Singh, "A switching scheme for switched capacitor filters which reduces the effect of parasitic capacitances associated with switch control terminals," *Proc. 1983 IEEE Int. Symposium on Circuits and Systems (ISCAS)*, pp. 586-589.
- [39] I.S. Gradshteyn and I.M. Ryzhik, *Table of Integrals, Series, and Products*, Academic Press, San Diego, 1994.
- [40] T. Sugiki *et al.*, "A 60mW 10b CMOS image sensor with column-to-column FPN reduction," in *2000 IEEE Int. Solid-State Circuits Conference (ISSCC) Digest of Tech. Papers*, San Francisco, pp. 108-109.
- [41] K. Yonemoto *et al.*, "A CMOS image sensor with a simple FPN reduction technology and a hole accumulated diode," in *2000 IEEE Int. Solid-State Circuits Conference (ISSCC) Digest of Tech. Papers*, San Francisco, pp. 102-103.
- [42] Z. Zhou *et al.*, "A CMOS active pixel image sensor with amplification and reduced fixed pattern noise," in *Proc. 1995 IEEE Workshop on Charge Coupled Devices and Advanced Image Sensors*, Dana Point, California, USA.

Chapitre V

Conclusions Générales et Perspectives

De nos jours, les imageurs CMOS APS commencent à remplacer les capteurs CCDs dans plusieurs domaines, aussi bien dans les applications "grand public" que dans les applications scientifiques. Grâce à l'utilisation des technologies CMOS, il est possible d'intégrer sur la même puce que le capteur toutes les fonctions nécessaires pour réaliser une caméra numérique. Néanmoins, il y a encore des améliorations à apporter en termes de performances optiques et électriques. Dans les applications scientifiques, en particulier dans le domaine spatial, le bruit temporel est un des problèmes limitant les performances à faible flux du capteur.

Le capteur APS et son fonctionnement ont été présentés dans le Chapitre I, ainsi que les notions de base sur le bruit temporel.

Dans le Chapitre II, une analyse théorique du bruit temporel de la chaîne de lecture de l'APS a été présentée. Il a été montré qu'à faible flux lumineux et à faible temps d'intégration, le bruit dominant est le bruit thermique généré par le transistor d'amplification qui se situe dans le pixel (pour le pixel photoMOS et avec le procédé CDS). Ces études mettent en évidence également le fait que ce bruit peut être réduit en optimisant la taille des composants utilisés. Afin de valider les calculs théoriques, des circuits de test ont été réalisés sur une technologie *Alcatel Microelectronics* CMOS 0.7 μ m, et un bon accord a été obtenu entre les résultats expérimentaux et les résultats théoriques. Avec les technologies actuelles, en terme de bruit temporel, il est donc possible d'atteindre les performances des capteurs CCDs. On a également vu que les modèles de bruit classiques SPICE, $(8/3kTg_m)$ pour le bruit thermique et $(K_F I_d / C_{ox} L_{eff}^2 f)$ pour le bruit basse fréquence, ne modélisent plus correctement le comportement des technologies submicroniques. Le courant d'obscurité, qui est aussi un paramètre important, méritera dans un futur proche des études poussées afin de le minimiser.

Trois circuits de traitement différentiels symétriques conçus pour la chaîne de lecture de l'APS ont été présentés dans le Chapitre III. Ces circuits permettent d'extraire le signal utile proportionnel à la quantité

de lumière incidente, de l'amplifier, et de corriger le bruit spatial fixe de colonnes sur la même puce que le capteur. Ils ont été réalisés avec une technologie *Alcatel Microelectronics* CMOS 0.7 μm , et offrent une dynamique de 10-bits avec des vitesses de lecture allant jusqu'à 10Mpixels/sec. Dans l'avenir, il sera possible d'améliorer l'OTA utilisé dans ces circuits afin de réduire le bruit temporel, ainsi que les dessins pour un meilleur appariement des composants. Les réponses non-stationnaires en bruit de ces trois circuits ont également été calculées. Pour les réponses en bruit basse fréquence, une méthode s'appuyant sur une représentation markovienne du bruit en $1/f^\alpha$ a été utilisée. Afin de mesurer les réponses en bruit basse fréquence, un générateur de bruit en $1/f^\alpha$ a été réalisé à partir d'une source de bruit blanc. Un bon accord a été obtenu entre les résultats théoriques et les mesures. Les trois circuits ont été comparés en terme de performance en bruit.

La méthode d'analyse de bruit non-stationnaire utilisée dans le chapitre III semble pouvoir être intégrée dans les simulateurs de circuits analogiques classiques. Elle utilise en effet des méthodes de calculs matriciels apparentées à celles mises en œuvre dans les analyses transitoires des réseaux électriques.

Un nouveau circuit de lecture colonne à faible bruit fixe a été présenté dans le Chapitre IV. Ce circuit est très simple et offre certains avantages par rapport au circuit de lecture classique. Un premier circuit de test a été réalisé sur une technologie *AMS (Austria Mikro Systeme)* CMOS 0.6 μm afin de valider le principe. Les problèmes rencontrés sur ce circuit sont également discutés dans ce chapitre, ainsi que des solutions. Pour les applications "grand public", les performances de ce circuit sont satisfaisantes, ce qui n'est pas le cas pour les applications scientifiques qui imposent des caractéristiques plus contraignantes à atteindre dans un proche avenir. La plupart des problèmes sont liés à la nature non-différentielle de ce circuit. Un nouveau circuit de test a été réalisé avec certaines améliorations sur une technologie *Alcatel Microelectronics* CMOS 0.5 μm , et envoyé récemment en fonderie.

D'après les chapitres III et IV, les caméras intégrées comprenant des circuits numériques sur la même puce que le capteur, nécessitent des circuits de lecture et de traitement différentiels indispensables aux demandes des applications scientifiques.

Aujourd'hui le plus grand défi est de pouvoir réaliser les APS actuels avec les circuits analogiques intégrés sur les technologies CMOS submicroniques, tout en gardant les mêmes performances [1][2]. En terme de dynamique, sur les technologies fines les plages d'alimentation diminuent (voir Figure V.1, [3]), tandis qu'au premier ordre, le niveau de bruit reste inchangé, voire plus élevé [4]. A faible tension d'alimentation, il est très difficile de concevoir des circuits analogiques fonctionnant à des vitesses élevées et ayant une grande dynamique [5]. Bien que récemment un APS fonctionnant sous une tension

d'alimentation de 1.2V ait été présenté pour les applications "grand public" [6], ses performances sont encore loin de satisfaire les besoins des applications scientifiques.

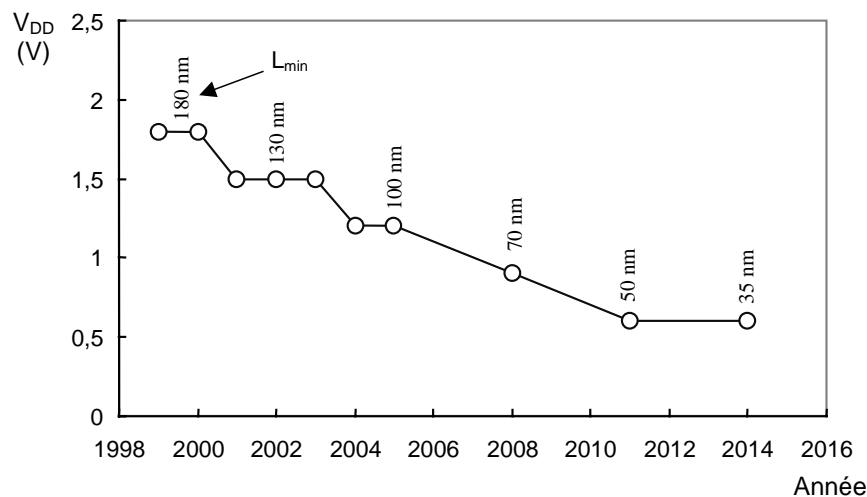


Figure V.1 : Prédiction de l'évolution de la tension d'alimentation pour les technologies CMOS en fonction des années (d'après la référence [3]). L_{min} est la longueur minimale du canal du transistor.

Un autre problème est constitué par le changement de nature du type de bruit basse fréquence des transistors submicroniques. Le bruit basse fréquence observé dans les transistors à très petites dimensions n'est plus en $1/f$, mais de type lorentzien (voir Figure V.2a), en raison de la diminution du nombre de pièges actifs à l'interface Si-SiO₂ (cf. Chapitre II). La Figure V.2b montre les fluctuations du courant de drain (RTS – *Random Telegraph Signals*), observées dans le domaine temporel sur un petit transistor NMOS avec $W/L=1\mu\text{m}/0.7\mu\text{m}$. On remarque que dans ce transistor, vers le seuil, seuls quelques pièges sont actifs.

Le nombre de pièges actifs et leur énergie, totalement aléatoires, même pour les transistors réalisés sur la même technologie, pose problème (Figure V.3). La fréquence de coupure et l'amplitude des spectres de bruit lorentziens sont ainsi aléatoires, et ne peuvent être caractérisées que de manière statistique pour les transistors d'une même puce [7]. Cela risque de diminuer l'efficacité du procédé CDS utilisé actuellement pour réduire le bruit en $1/f$ généré par la chaîne de lecture de l'APS.

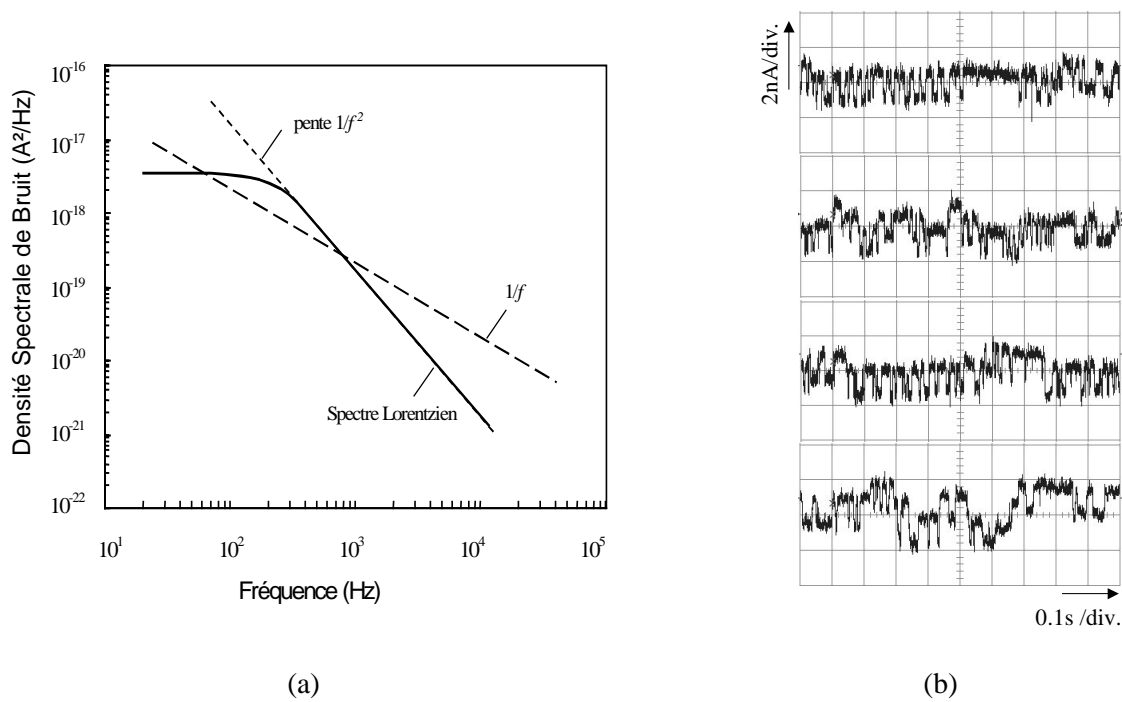


Figure V.2 : (a) Comparaison d'un spectre $1/f$ et lorentzien (b) Fluctuations du courant de drain observées dans le domaine temporel sur un transistor NMOS avec $W/L=1\mu m/0.7\mu m$ ($V_{GS}=0.75V$, $V_{DS}=100mV$, $I_D=395nA$).

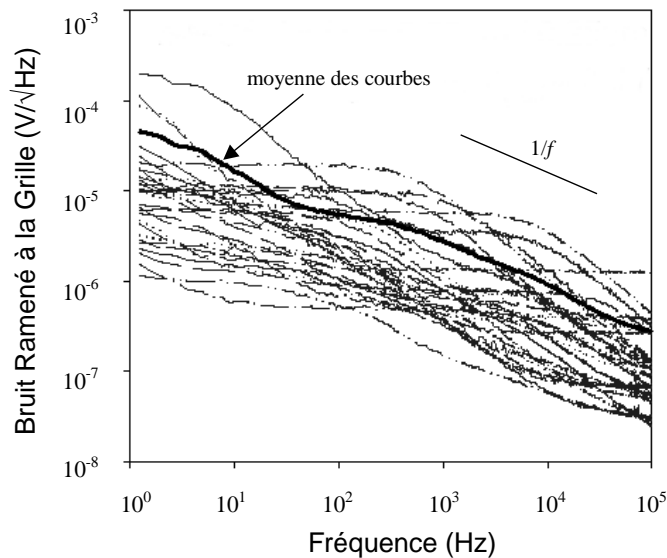


Figure V.3 : Bruit de différents transistors NMOS avec $W/L=0.25\mu m/0.25\mu m$, $V_d=1.0V$, et $V_{gs}-V_{th}=0.5V$ (d'après la référence [7]). Il est intéressant à noter que la moyenne des DSP de bruit observées sur plusieurs transistors s'approche d'une DSP de type $1/f$.

Les amplificateurs opérationnels (ampli-op) à faible tension d'alimentation sont souvent beaucoup plus complexes et moins performants en bruit, en dynamique et en vitesse [5], [8]-[13]. Le fonctionnement en mode "rail à rail" (c-à-d. entre la masse et la tension d'alimentation, sans tension de déchet) est indispensable pour ces ampli-ops. Les étages d'entrée "rail à rail" sont réalisés en utilisant un étage d'entrée NMOS et un étage d'entrée PMOS, montés en parallèle. Les transistors NMOS et PMOS n'ayant pas les mêmes caractéristiques, la transconductance de l'étage varie en fonction de la tension d'entrée, ce qui rend la compensation de l'ampli-op difficile. Afin de fixer la transconductance de l'étage d'entrée, des circuits supplémentaires sont donc utilisés. Pour les étages de sorties, les structures cascades permettant d'obtenir des gains statiques élevés sont souvent inutilisables en raison de la réduction de la plage des alimentations.

En ce qui concerne les dispositifs à capacités commutées, il existe dans la littérature des circuits fonctionnant avec des tensions d'alimentation inférieures à 1V, mais des problèmes restent à résoudre afin d'obtenir les performances des circuits à capacités commutées actuels [14][15]. Les problèmes se situent au niveau des ampli-ops et des interrupteurs qui ont leur plage de fonctionnement réduite, voire insuffisante. Actuellement, deux méthodes sont employées pour réaliser des circuits à capacités commutées basse tension sur les technologies CMOS standards :

a) Multiplication de la tension d'alimentation sur la puce : Il est possible de transposer tous les circuits analogiques existants avec peu de modifications dans les technologies à faible tension d'alimentation, en utilisant un multiplicateur de tension intégré pour alimenter ces circuits. Il est également possible de ne multiplier que l'amplitude des horloges et d'utiliser des ampli-ops "rail à rail". Néanmoins, ces approches entraînent des problèmes de fiabilité (augmentation des électrons chauds et claquage de l'oxyde de grille), en raison de l'augmentation des tensions des terminaux tolérées par les transistors MOS [16].

b) Technique dite "ampli-op commuté" (switched-opamp) [17] : Cette méthode ne nécessite pas de multiplicateur de tension, mais la conception d'un nouveau type d'ampli-op commutable à étage de sortie "rail à rail". Les interrupteurs critiques nécessitant un fonctionnement "rail à rail", par exemple ceux qui sont connectés à la sortie des ampli-ops, sont supprimés grâce à la commutation de l'ampli-op précédent. La commutation de l'ampli-op limite la vitesse du circuit.

La structure des chaînes de lecture des capteurs APS devra donc évoluer pour prendre en compte les contraintes imposées par l'usage de procédés CMOS profondément submicroniques tout en permettant le traitement du signal utile à bas niveau de bruit. A ce titre, il est vraisemblable que l'ensemble des techniques mises au point pour le traitement du signal analogique à faible tension d'alimentation devra

être adapté au contexte spécifique des imageurs CMOS (coexistence de fonctions de détection, de traitement analogiques et numérique sur le même substrat) et enrichi.

Le champs de recherches à mener reste donc très ouvert.

Bibliographie :

- [1] H-S. Wong, "Technology and device scaling considerations for CMOS imagers," *IEEE Transactions on Electron Devices*, vol. 43, no. 12, December 1996, pp. 2131-2142.
- [2] H-S. Wong *et al.*, "Nanoscale CMOS," *Proceedings of the IEEE*, vol. 87, no. 4, April 1999, pp. 537-570.
- [3] *The International Technology Roadmap for Semiconductors*, Semiconductor Industry Association (SIA), 1999. [Online] <http://www.sematech.org>.
- [4] P. O'Connor and G. De Geronimo, "Prospects of charge sensitive amplifiers in scaled CMOS," in *Proc. 1999 IEEE Nuclear Science Symposium and Medical Imaging Conference (NSS/MIC)*, Seattle, WA, USA.
- [5] A. Rodriguez-Vazquez and E. Sanchez-Sinencio (eds.), "Special Issue on Low-Voltage and Low-Power Analog and Mixed-Signal Circuits and Systems," *IEEE Trans. Circuits & Systems I*, vol. 42, no. 11, Nov. 1995.
- [6] K-B. Cho, A. Krymski, and E.R. Fossum, "A 1.2V micropower CMOS active pixel image sensor for portable applications," in *2000 IEEE Int. Solid-State Circuits Conference (ISSCC) Digest of Tech. Papers*, San Francisco, pp. 114-115.
- [7] R. Brederlow *et al.*, "Fluctuations of the low frequency noise of MOS transistors and their modeling in analog and RF circuits," in *1999 IEEE Int. Electron Devices Meeting (IEDM) Tech. Digest*, Washington, DC, pp. 159-162.
- [8] S. Sakurai and M. Ismail, *Low-Voltage CMOS Operational Amplifiers: Theory, Design and Implementation*, Kluwer, Boston, 1995.
- [9] R. Hogervorst and J.H. Huijsing, *Design of Low-Voltage, Low-Power CMOS Operational Amplifier Cells*, Kluwer, Dordrecht, The Netherlands, 1996.
- [10] R. Gregorian, *Introduction to CMOS Op-Amps and Comparators*, Wiley, New York, 1999.
- [11] K.J. de Langen and J.H. Huijsing, *Compact Low-Voltage and High-Speed CMOS, BiCMOS and Bipolar Operational Amplifiers*, Kluwer, Dordrecht, The Netherlands, 1999.
- [12] E. Sanchez-Sinencio and A.G. Andreou (eds.), *Low-Voltage / Low-Power Integrated Circuits and Systems: Low-Voltage Mixed-Signal Circuits*, IEEE Press, Piscataway, NJ, USA, 1999.
- [13] S. Yan and E. Sanchez-Sinencio, "Low voltage analog circuit design techniques: A tutorial," *IEICE Transactions on Fundamentals of Electronics, Communications and Computer Sciences*, vol. E83-A, no. 2, February 2000, pp.179-196.
- [14] W. Sansen *et al.*, "Toward sub 1V analog integrated circuits in submicron standard CMOS technologies," in *1998 IEEE Int. Solid-State Circuits Conference (ISSCC) Digest of Tech. Papers*, San Francisco, pp. 186-187.
- [15] A. Baschiroto and R. Castello, "1V switched-capacitor filters," in J.H. Huijsing *et al.* (eds.), *Analog Circuit Design: 1Volt Electronics; Mixed-Mode Systems; Low-Noise and RF Power Amplifiers for Telecommunication*, Kluwer, Boston, 1999, pp. 69-91.
- [16] A.M. Abo and P.R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital converter," *IEEE Journal of Solid-State Circuits*, vol. 34, no. 5, May 1999, pp. 599-606.
- [17] J. Crols and M. Steyaert, "Switched-opamp: An approach to realize full CMOS switched-capacitor circuits at very low power supply voltages," *IEEE Journal of Solid-State Circuits*, vol. 29, no. 8, August 1994, pp. 936-942.

ANNEXE - 1

A1.1 Bruit du suiveur NMOS du pixel échantillonné sur la capacité C_S (C_{ref} ou C_{sig})

Une analyse nodale du schéma équivalent illustré dans la Figure A1.1 conduit à la relation suivante:

$$v_N = \left[e_{n2} + e_{n4} \left(1 + \frac{r_2}{R_3}\right) + r_2 i_{n3} + R_{eq1} \left(i_{n1} + i_{n3} + \frac{e_{n4}}{R_3}\right) \right] \cdot \frac{1 + j \frac{R_{eq1} C_{eq1} \omega (R_3 + r_2)}{R_3 + R_{eq1} + r_2}}{1 + j \omega \left\{ C_{eq1} \frac{R_{eq1} (R_3 + r_2)}{R_3 + R_{eq1} + r_2} + C_S r_4 + \frac{C_S R_3 (r_2 + R_{eq1})}{R_3 + R_{eq1} + r_2} \right\} + (j \omega)^2 C_S C_{eq1} R_{eq1} \left\{ \frac{(R_3 + r_2) r_4 + R_3 r_2}{R_3 + R_{eq1} + r_2} \right\}} \quad (A1.1)$$

$$\text{avec } R_{eq1} = \left[g_{mb1} + g_{m1} \frac{C_{fd}}{C_{fd} + C_{gs1}} \right]^{-1} \text{ and } C_{eq1} = \frac{C_{gs1} C_{fd}}{C_{gs1} + C_{fd}}.$$

R_{eq1} est la résistance de sortie dynamique de M_1 vue de sa source, et C_{eq1} la capacité de sortie équivalente de M_1 vue entre sa source et la masse. Cette fonction de transfert est difficile à manipuler analytiquement, donc elle doit être simplifiée en tenant compte des ordres de grandeur. Les valeurs typiques pour R_{eq1} , C_{eq1} , C_S , R_3 , r_2 et r_4 sont les suivantes : $R_{eq1} \approx 10k\Omega$, $C_{eq1} \approx 5fF$, $C_S \approx 1pF$, $R_3 \approx 1M\Omega$, $r_2 \approx 1k$, $r_4 \approx 1k$. Donc, $R_3 > r_2$, $R_3 > R_{eq1}$ et $R_{eq1} C_{eq1} \ll R_3 C_S$. De plus, aux fréquences de travail, en supposant $f \ll 10^9 Hz$, $R_{eq1} C_{eq1} \omega \ll 1$ est vérifié. Dans ce cas, la fonction de transfert peut être réduit à une fonction de transfert du premier ordre :

$$v_N = \frac{R_{eq1} i_{n1} + e_{n2} + (r_2 + R_{eq1}) i_{n3} + e_{n4}}{1 + j(\omega / \omega_{eqn})} \quad (A1.2)$$

$$\text{avec } \omega_{eqn} = \left[C_S \left(r_4 + \frac{R_3 (R_{eq1} + r_2)}{R_3 + R_{eq1} + r_2} \right) \right]^{-1}.$$

Etant donné que les capacités C_{fd} et C_{gs1} sont négligeables par rapport à C_S , on remarque que, le processus de filtrage du bruit est efficace seulement quand le transistor M_4 est actif.

On doit rappeler aussi que, il existe une capacité parasite C_p entre la source du transistor M_2 et la masse, due aux pistes de routage et les capacités $C_{sb}-C_{sg}$ des transistors M_2 à l'état "off" des autres lignes, connectés au même point commun. Pour les grandes matrices, cette capacité devient importante et doit être rajoutée en parallèle à R_3 dans la Figure II.3b. Dans ce cas, dans la relation (A1.1), R_3 doit être remplacée par $[R_3/(1+j\omega R_3 C_p)]$. L'effet de cette capacité est de réduire la performance en bruit, en réduisant la bande passante du bruit (et du signal).

A1.2 Gain DC des suiveurs

Le schéma équivalent petits signaux du suiveur NMOS de pixel, utilisé pour calculer le gain DC plus précisément, est illustré dans la Figure A1.1. Ici, les paramètres g_m et g_{mb} du transistor M_2 ont été pris en compte. Le gain DC du circuit est donné par :

$$A_1 = \left. \frac{v_S}{v_i} \right|_{\omega=0} = g_{m1} \cdot \left[\frac{1}{g_{ds2}} (g_{m1} + g_{mb1} + g_{ds1}) \cdot (g_{m2} + g_{mb2} + g_{ds2} + g_{ds3}) + g_{ds3} \right]^{-1} \quad (\text{A1.3})$$

et

$$A_1' = \left. \frac{v_2}{v_i} \right|_{\omega=0} = A_1 \cdot \left[1 + \frac{g_{m2} + g_{mb2} + g_{ds3}}{g_{ds2}} \right] \quad (\text{A1.4})$$

De la même manière, le gain DC du suiveur PMOS de colonne peut être calculé facilement :

$$A_2 = g_{m5} \cdot \left[\frac{1}{g_{ds6}} (g_{m5} + g_{mb5} + g_{ds5}) \cdot (g_{m6} + g_{mb6} + g_{ds6} + g_{ds7}) + g_{ds7} \right]^{-1} \quad (\text{A1.5})$$

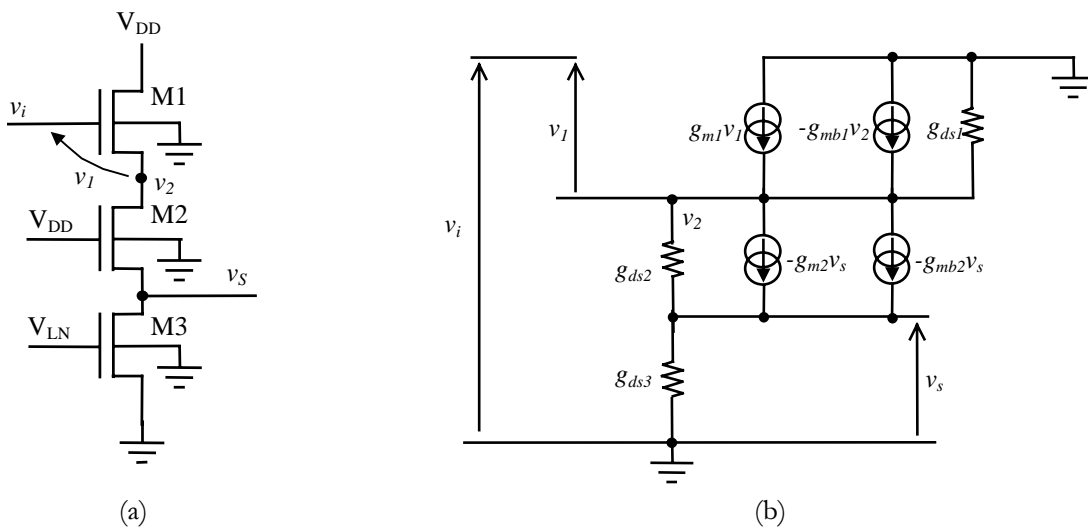


Figure A1.1 : (a) Le suiveur NMOS durant la phase d'échantillonnage, et (b) son schéma équivalent petits signaux pour le calcul du gain statique.

ANNEXE - 2

A2.1 Calcul des effets du gain statique fini et de la tension de décalage de l'OTA sur la tension de sortie de l'amplificateur de tension élémentaire

Afin de simplifier les calculs, on considère la version non-différentielle du circuit symétrique de la figure III.6a. L'étude de la moitié de ce circuit, représentée dans la figure A2.1, est suffisante pour décrire le comportement global. La source de tension $V_{os}/2$ représente la moitié de la tension décalage de l'OTA symétrique. Les interrupteurs sont considérés idéaux avec une résistance à l'état passant nulle.

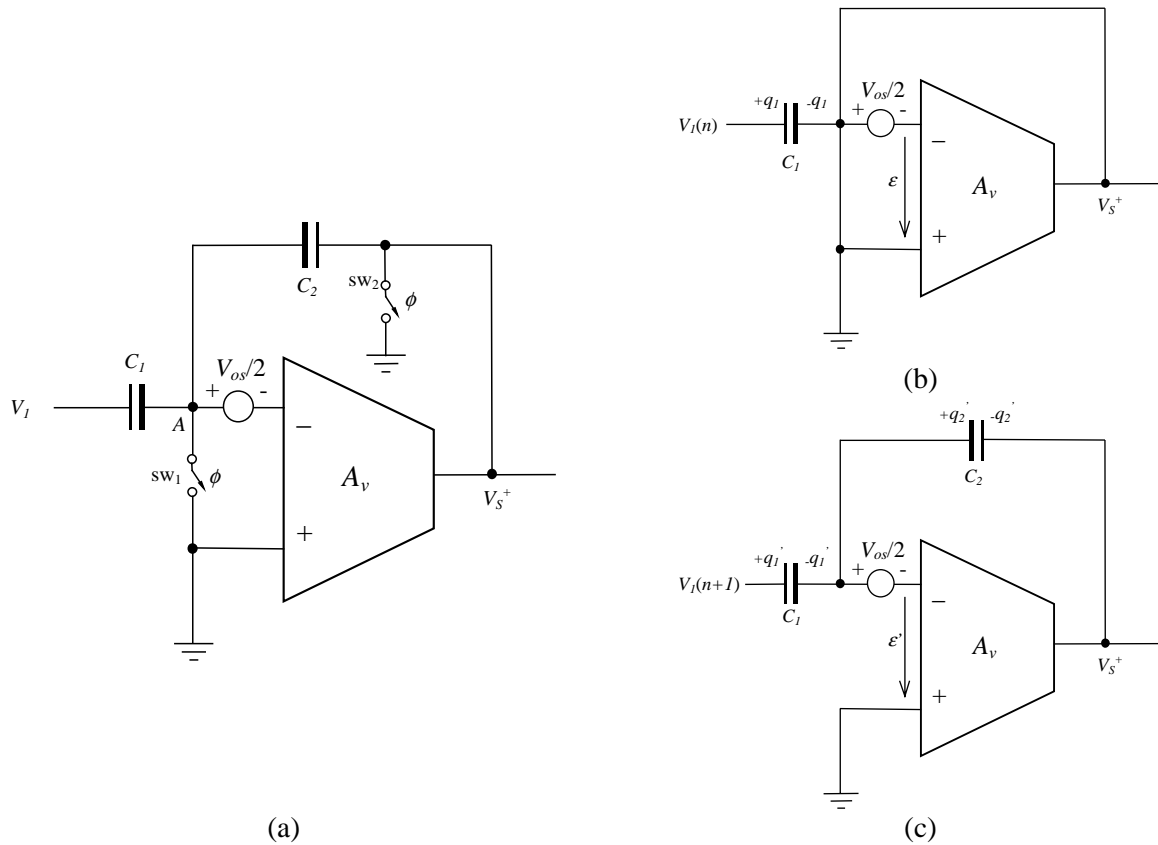


Figure A2.1 : Schémas utilisés pour calculer les effets du gain statique fini et de la tension de décalage de l'OTA sur la tension de sortie du circuit représenté dans la Figure III.6a : (a) moitié du circuit symétrique, (b) schéma équivalent pendant la phase -1, et (c) schéma équivalent pendant la phase-2.

Phase-1 ($\phi = V_{DD}$) :

Pendant cette phase, la sortie de l'OTA est reliée à la masse et la capacité C_2 est court-circuitée. D'après la figure A2.1b, on peut donc écrire :

$$\begin{aligned} V_S^+(n) &= 0 \\ q_1 &= C_1 V_1(n) \\ q_2 &= 0 \end{aligned}$$

Phase-2 ($\phi = GND$) :

D'après la figure A2.1c,

$$V_S^+(n+1) = A_v \varepsilon'$$

En effectuant une analyse nodale et en tenant compte de la conservation des charges sur le nœud A, on peut écrire le système d'équations suivant :

$$\left\{ \begin{array}{l} -q_1 = q_2' - q_1' \\ V_S^+(n+1) = V_1(n+1) - \frac{q_1'}{C_1} - \frac{q_2'}{C_2} \\ V_S^+(n+1) \left(1 + \frac{1}{A_v} \right) = \frac{V_{os}}{2} - \frac{q_2'}{C_2} \end{array} \right.$$

d'où on obtient :

$$V_S^+(n+1) = \frac{C_1}{C_2 + \left(\frac{C_1 + C_2}{A_v} \right)} [V_1(n) - V_1(n+1)] + \left\{ \frac{C_2 + C_1}{C_2 + \frac{C_1 + C_2}{A_v}} \right\} \frac{V_{os}}{2}.$$

Pour la version symétrique, en remplaçant V_S^+ par ΔV_S , $[V_1(n) - V_1(n+1)]$ par ΔV , et $(V_{os}/2)$ par V_{os} , on obtient finalement :

$$\Delta V_S(n+1) = \frac{C_1}{C_2 + \left(\frac{C_1 + C_2}{A_v} \right)} \Delta V + \left\{ \frac{C_2 + C_1}{C_2 + \frac{C_1 + C_2}{A_v}} \right\} V_{os} \quad (\text{A2.1})$$

où, d'après la relation (3.1), ΔV est donnée par :

$$\Delta V = [V_1(n) - V_2(n)] - [V_1(n+1) - V_2(n+1)].$$

A2.2. Calcul des effets du gain statique fini et de la tension de décalage de l'OTA sur la tension de sortie de l'amplificateur de tension à capacités commutées à compensation de la tension de décalage

La moitié du circuit de la Figure III.7a est représentée dans la Figure A2.2.

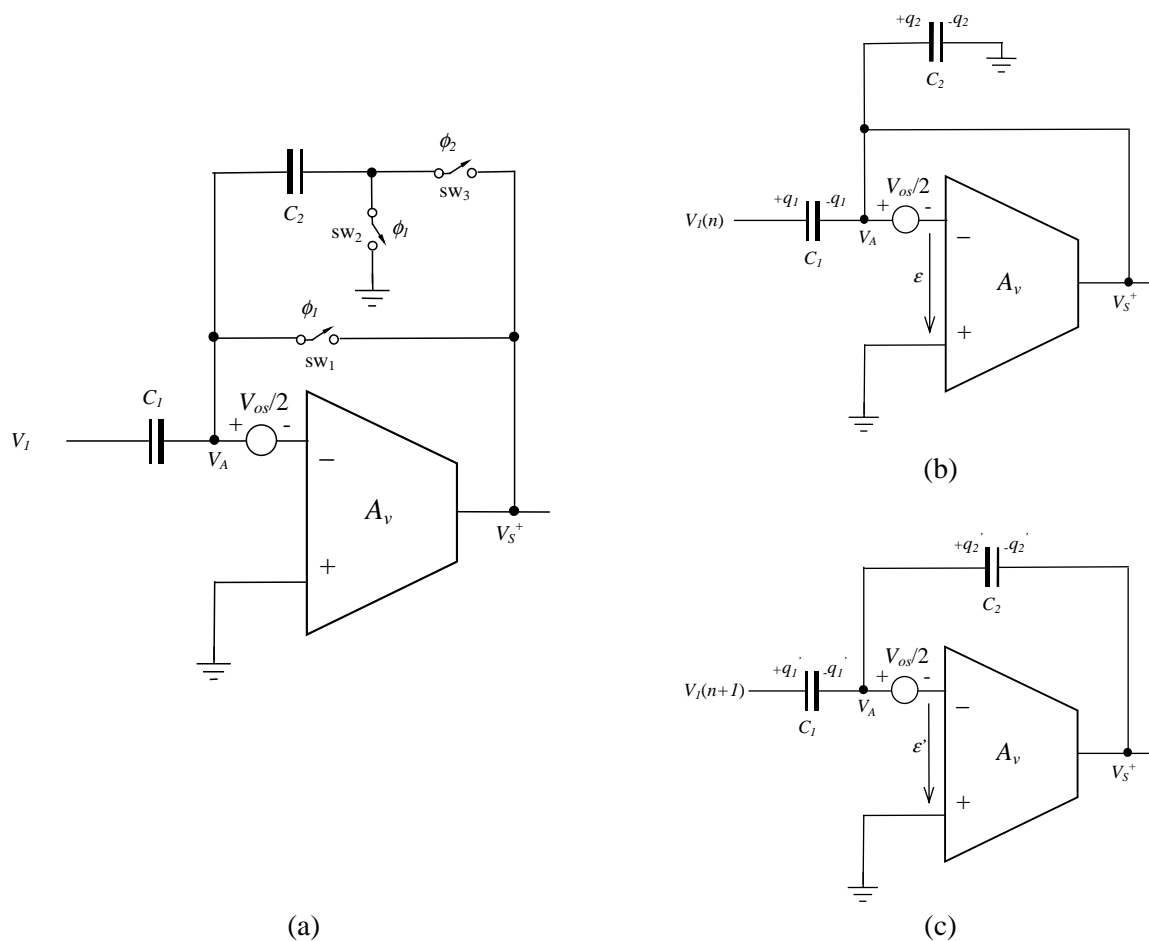


Figure A2.2 : Schémas utilisés pour calculer les effets du gain statique fini et de la tension de décalage de l'OTA sur la tension de sortie du circuit représenté dans la Figure III.7a : (a) moitié du circuit symétrique, (b) schéma équivalent pendant la phase -1, et (c) schéma équivalent pendant la phase-2.

Phase-1 ($\phi_1 = V_{DD}$, $\phi_2 = GND$) :

D'après la figure A2.2b,

$$V_S^+(n) = V_A = A_v \epsilon = \frac{V_{os}}{2} - \epsilon$$

d'où on obtient :

$$V_S^+(n) = V_A = \frac{(V_{os}/2)}{1 + (1/A_v)}$$

Les charges stockées sur les capacités pendant cette phase sont données par les relations suivantes :

$$q_1 = C_1[V_1(n) - V_A] = C_1 \left(V_1(n) - \frac{V_{os}/2}{1 + 1/A_v} \right)$$

$$q_2 = C_2 V_A = \frac{C_2(V_{os}/2)}{1 + 1/A_v}$$

Phase-2 ($\phi_1 = GND$, $\phi_2 = V_{DD}$) :

En se referant à la figure A.2.2c, en effectuant une analyse nodale et en tenant compte de la conservation des charges sur le nœud A, on peut écrire le système d'équations suivant :

$$\left\{ \begin{array}{l} q_2 - q_1 = q_2' - q_1' \\ V_S^+(n+1) = V_1(n+1) - \frac{q_1'}{C_1} - \frac{q_2'}{C_2} \\ V_S^+(n+1) \left(1 + \frac{1}{A_v} \right) = \frac{V_{os}}{2} - \frac{q_2'}{C_2} \end{array} \right.$$

d'où on obtient :

$$V_S^+(n+1) = \frac{C_1}{\left(C_2 + \frac{C_1 + C_2}{A_v} \right)} [V_1(n) - V_1(n+1)] + \left\{ \frac{\frac{C_1 + C_2}{1 + A_v}}{C_2 + \frac{C_1 + C_2}{A_v}} \right\} \frac{V_{os}}{2}$$

Pour la version symétrique, en remplaçant V_S^+ par ΔV_S , $[V_1(n) - V_1(n+1)]$ par ΔV , et $(V_{os}/2)$ par V_{os} , on obtient finalement :

$$\Delta V_S(n+1) = \frac{C_1}{\left(C_2 + \frac{C_1 + C_2}{A_v} \right)} \Delta V + \left\{ \frac{\frac{C_1 + C_2}{1 + A_v}}{C_2 + \frac{C_1 + C_2}{A_v}} \right\} V_{os} \quad (A2.2)$$

où, d'après la relation (3.1), ΔV est donnée par :

$$\Delta V = [V_1(n) - V_2(n)] - [V_1(n+1) - V_2(n+1)].$$

PUBLICATIONS

Y. Degerli, F. Lavernhe, P. Magnan, and J. Farré, "Analysis and reduction of signal readout circuitry temporal noise in CMOS image sensors for low-light levels," *IEEE Transactions on Electron Devices*, vol. 47, no. 5, May 2000, pp. 949-962.

Y. Degerli, F. Lavernhe, P. Magnan, and J. Farré, "Non-stationary noise responses of some fully differential on-chip readout circuits suitable for CMOS image sensors," *IEEE Transactions on Circuits and Systems II*, vol. 46, no. 12, December 1999, pp. 1461-1474.

Y. Degerli, F. Lavernhe, P. Magnan, and J. Farré, "Bandlimited $1/f^\alpha$ noise source," *Electronics Letters*, vol. 35, no. 7, April 1999, pp. 521-522.

Y. Degerli, F. Lavernhe, P. Magnan, and J. Farré, "Column readout circuit with global charge amplifier for CMOS APS imagers," *Electronics Letters*, vol. 36, no. 17, August 2000, pp. 1457-1459.

Y. Degerli, F. Lavernhe, P. Magnan, et J. Farré, "Dispositif électronique de lecture de pixels notamment pour capteur d'images matriciel à pixels actifs CMOS", brevet no : 2795586, INPI, Paris, Juin 1999.

H. Belahrach, **Y. Degerli**, F. Lavernhe, M. Karim, P. Magnan, and J. Farré, "Low-frequency noise measurements on submicrometre n and p-channel MOSFETs at various operating regions," *Int. Journal of Electronics*, vol. 88, no. 4, April 2001, pp. 411-421 (to be published).

P. Magnan, A. Gautrand, **Y. Degerli**, C. Marques, F. Lavernhe, C. Cavadore, F. Corbière, J. Farré, O. Saint-Pé, M. Tulet, and R. Davancens, "Influence of pixel topology on performances of CMOS APS imagers," Proceedings of SPIE, vol. 3965, January 2000 (San Jose, California), pp. 114-125.

C. Cavadore, J. Solhusvik, P. Magnan, A. Gautrand, **Y. Degerli**, F. Lavernhe, J. Farré, O. Saint-Pé, R. Davancens and M. Tulet, "Active pixel image sensors for space applications," *Proc. ESA 2nd Round Table on Micro/Nano-Technologies for Space*, October 1997 (Noordwijk, The Netherlands), pp. 115-122.

C. Cavadore, J. Solhusvik, P. Magnan, A. Gautrand, **Y. Degerli**, F. Lavernhe, J. Farré, O. Saint-Pé, R. Davancens and M. Tulet, "Design and characterization of CMOS APS imagers on two different technologies," Proceedings of SPIE, vol. 3301, January 1998 (San Jose, California), pp. 140-150.

P. Magnan, C. Cavadore, A. Gautrand, **Y. Degerli**, F. Lavernhe, J. Farré, O. Saint-Pé, R. Davancens and M. Tulet, "Experimental characterization of CMOS APS imagers designed using two different technologies," Proceedings of SPIE, vol. 3410, May 1998 (Zurich, Switzerland), pp. 77-87.

O. Saint-Pé, R. Davancens, M. Tulet, P. Magnan, C. Cavadore, A. Gautrand, **Y. Degerli**, F. Lavernhe and J. Farré, "Development and characterization of active pixel sensors for space applications", Proceedings of SPIE, vol. 3440, July 1998 (San Diego, California), pp. 24-36.