

THÈSE

présentée en vue de
l'obtention du titre de

DOCTEUR

de

**L'ÉCOLE NATIONALE SUPÉRIEURE
DE L'AÉRONAUTIQUE ET DE L'ESPACE**

**ÉCOLE DOCTORALE : Génie électrique, électronique, télécommunications :
du microsysteme au système**

SPÉCIALITÉ : Microélectronique, capteurs d'images

par

Luc BOUCHER

**Analyse, modélisation et réduction du couplage de bruit
par le substrat dans les imageurs CMOS**

Soutenue le 26 janvier 2007 devant le jury :

MM.	E.	SICARD	Président
	G.	CATHÉBRAS	Rapporteur
	Y.	CAZAUX	
	M.	DRISSI	Rapporteur
	P.	MAGNAN	Directeur de thèse
	A.J.P.	THEUWISSEN	

Thèse préparée au sein du laboratoire CIMI (Conception d'imageurs matriciels intégrés)
de l'École nationale supérieure de l'aéronautique et de l'espace (SUPAERO).

Table des matières

Remerciements	13
Introduction	19
1 Les capteurs CMOS, vers les processeurs d'image intégrés	23
1.1 Historique	23
1.2 Fonctionnement des capteurs d'image intégrés	26
1.2.1 Le système d'imagerie	26
1.2.2 Photogénération des charges	27
1.2.3 Collection et intégration des charges	28
1.2.4 Conversion des charges en grandeur électrique	30
1.2.5 Amplification du signal électrique	32
1.3 Les capteurs CMOS et les défis d'intégration	33
1.3.1 Architecture et mise en oeuvre	34
1.3.1.1 Les pixels des capteurs CMOS et CCD	34
1.3.1.2 Mise en oeuvre des capteurs CMOS	36
1.3.2 Les défis d'intégration	41
1.3.2.1 Les sources de bruit dans les imageurs CMOS	41
1.3.2.2 Les interférences électromagnétiques et le couplage de bruit par le substrat	45
2 Le couplage de bruit par le substrat	53
2.1 Les mécanismes du couplage de bruit par le substrat	53
2.1.1 Mécanismes d'injection	54
2.1.1.1 Injection capacitive	54
2.1.1.2 Injection ohmique	55
2.1.1.3 Ionisation par impact	56
2.1.1.4 Autres mécanismes	57
2.1.2 Mécanismes de propagation du bruit dans le substrat	60
2.1.2.1 Les substrats résistifs	60

2.1.2.2	Les substrats epitaxiés sur substrat conducteur	61
2.1.2.3	Evolutions technologiques	62
2.1.3	Mécanismes de réception	63
2.1.3.1	Réceptions capacitive et ohmique	63
2.1.3.2	Effet substrat des transistors	63
2.2	Stratégies de modélisation	64
2.2.1	Modèles d'émission et de réception du bruit de substrat	65
2.2.1.1	L'approche niveau transistor	65
2.2.1.2	L'approche macro modèle de bas niveau	65
2.2.1.3	L'approche macro modèle de haut niveau	67
2.2.2	Modélisation électrique du substrat	68
2.2.2.1	L'approche par différences finies	68
2.2.2.2	L'approche par éléments finis	69
2.2.2.3	les formulations empiriques	69
2.2.3	Les outils commerciaux pour l'étude du bruit de substrat	70
2.3	Techniques de garde	71
2.3.1	Réduction des phénomènes d'injection	71
2.3.2	Réduction de la propagation par le substrat	72
2.3.3	Immunité des circuits analogiques	74
2.4	Cadre d'étude pour les capteurs d'image	74
3	Etude du bruit de substrat au niveau du photodétecteur	83
3.1	Mise en évidence du couplage substrat	83
3.1.1	Problématique	84
3.1.2	Cadre d'étude	84
3.1.2.1	Démarche expérimentale	84
3.1.3	Les véhicules de test	85
3.1.3.1	Le circuit numérique agresseur	85
3.1.3.2	Photodiodes victimes	86
3.1.3.3	Structures de garde et stratégie de routage	89
3.1.4	Le système de mesure	89
3.1.4.1	La carte de test	89
3.1.4.2	Instrumentation	92
3.1.5	Mise en oeuvre du système de mesure, premiers résultats	93
3.1.5.1	Mise en oeuvre	93
3.1.5.2	Validation du système de mesure	93
3.2	Analyse du bruit de substrat	94
3.2.1	Mécanisme d'injection de bruit dans le substrat	94
3.2.2	Mécanisme de réception du bruit de substrat	96

3.2.3	Mécanismes de transport du bruit de substrat	99
3.2.3.1	Impact de la technologie de substrat	99
3.2.3.2	Impact des interconnexions	103
3.3	Extension du modèle ICEM pour le bruit de substrat	107
3.3.1	Contexte et démarche de modélisation	107
3.3.2	Modélisation ICEM de l'oscillateur	108
3.3.2.1	La source de courant ICEM	108
3.3.2.2	Les impédances parasites du réseau d'alimentation	112
3.3.2.3	Le modèle ICEM complet de l'oscillateur	117
3.3.2.4	Approche analytique de l'émission conduite de l'oscillateur	122
3.3.3	Modélisation ICEM étendue au couplage substrat	128
3.3.3.1	Extraction des impédances du substrat : difficultés expérimentales	128
3.3.3.2	Modélisation électrique du couplage substrat	131
3.3.3.3	Validation du modèle et stratégies de garde	134
3.3.3.4	Conclusion	137
4	Etude du bruit de substrat dans un imageur CMOS	141
4.1	Objectifs de l'étude et dispositif expérimental	141
4.1.1	Le véhicule de test 128TEST7	142
4.1.2	Architecture interne du circuit	142
4.1.2.1	Les circuits standards	142
4.1.2.2	Les circuits dédiés	146
4.1.3	Environnement électrique et mise en oeuvre du circuit TEST7	148
4.2	Etude du bruit d'alimentation	150
4.2.1	Environnement électrique	150
4.2.2	Éléments d'analyse pour la modélisation ICEM	152
4.2.2.1	Impact des circuits d'entrée/sortie	152
4.2.2.2	Impact du fonctionnement des circuits numériques	154
4.2.2.3	Simulations	155
4.2.3	Bilan	158
4.3	Modélisation ICEM étendue du circuit TEST7	159
4.3.1	Méthodologie	159
4.3.2	Le modèle ICEM étendu	160
4.4	Validation du modèle et analyse du couplage substrat	165
4.4.1	Simulations et résultats	165

4.4.1.1	Résultats	166
4.4.1.2	Remarques	170
4.4.2	Impact sur la qualité de l'image, perspectives	171
Conclusion et perspectives		179
A Démarche d'extraction des impédances parasites		185
A.0.3	Les impédances parasites de la carte de test	185
A.0.4	La carte de mesure de paramètres S sur boîtier	186
A.0.5	analyse du boîtier PGA84	191
A.0.6	Analyse des fils de bonding	195
A.0.7	Evaluation du réseau d'impédance du substrat	197
A.0.7.1	Substrat résistif ("bulk")	197
A.0.7.2	substrat épitaxié ("epi 10")	199
B Caractéristiques des amplificateurs transimpédance		203
B.0.8	Conception du circuit transimpédance à composants discrets	203
B.0.9	Caractérisation et performances des deux préamplifi- cateurs	204

Table des figures

1.1	Le système d'imagerie	26
1.2	Effet photoélectrique	27
1.3	Coefficient d'absorption et profondeur de pénétration du silicium	28
1.4	Collection et intégration des charges photogénérées	30
1.5	Conversion des charges photogénérées	31
1.6	Dessin des masques de fabrication des pixels photodiodes et photoMOS des capteurs CMOS	34
1.7	Les pixels des CCD pleine trame (a) et interligne (b)	35
1.8	Architecture d'un capteur CCD pleine trame	37
1.9	Architecture d'un imageur CMOS standard	38
1.10	Chronogramme de lecture et évolution de la tension de sortie des pixels photodiode (a) et photomos (b)	39
1.11	Les différentes sources de bruit électronique dans les capteurs CMOS standard	42
1.12	Impact du bruit fixe de colonne	44
1.13	Le rapport signal à bruit dans les imageurs CMOS	44
2.1	Le mécanisme d'injection capacitive (cas d'un inverseur CMOS)	55
2.2	Les mécanismes de couplage ohmique au substrat et d'ionisation par impact (cas d'un inverseur CMOS)	56
2.3	Les substrats résistifs : structure (a) et chemins de courant (b)	61
2.4	Les substrats épitaxiés : structure (a) et chemins de courant (b)	62
2.5	Architecture de base du modèle ICEM	68
2.6	Les techniques de garde concernant la propagation du bruit dans le substrat	73
2.7	Bilan des sources de bruits de substrat et des circuits victimes dans un capteurs d'image CMOS standard	75
3.1	Véhicules TEST5 (a) et TEST6 (b)	87

3.2	Vue schématique d'un étage inverseur (a) et de l'oscillateur en anneau (b)	87
3.3	Forme d'onde du courant consommé par l'oscillateur à 9.8MHz	88
3.4	Photographie du banc de mesure en cage de Faraday	90
3.5	Principe de la mesure 1Ω	91
3.6	Banc de mesure utilisant une cellule TEM	92
3.7	Enveloppes spectrale du photocourant de la BigPhd N+/P sur « epi10 » obtenues avec les deux circuits transimpédances	94
3.8	Comparaison des spectres des mesures 1Ω et transimpédance <i>BigPhdN+</i> @ 1.2MHz sur substrat « bulk »	95
3.9	Spectre du photocourant des photodiodes N+ et Nwell sur substrat "bulk"	97
3.10	Atténuation du bruit couplé par le substrat aux photodiodes Nwell <i>BigPhd</i> 1, 2, 3 et 4 par rapport à la photodiode Nwell <i>BigPhd</i> sur substrat « bulk »	98
3.11	Mesures 1Ω et transimpédances pour les circuits TEST5 en technologie "bulk" (a) et "epi10" (b) @ 10MHz	100
3.12	Densités de courant obtenues par simulation physiques DC (SILVACO) des structures de test sur substrat "bulk"	100
3.13	Comparaison des mesures 1Ω et du photocourant de la photodiode <i>BigPhd</i> sur les circuits TEST6 en technologie "epi14" (a) et "epi7" (b)	101
3.14	Efficacité des structures de garde sur le circuit TEST5 en technologie "bulk"	102
3.15	Efficacité des structures de garde sur le circuit TEST5 en technologie "epi10"	102
3.16	Impact des anneaux de garde P+ sur le couplage substrat pour les véhicules TEST5 et TEST6	104
3.17	Cartographie champ proche d'un circuit TEST5 sur substrat épitaxié 172MHz	105
3.18	Cartographie champ proche d'un circuit TEST5 sur substrat « bulk » 172MHz	105
3.19	Principe de la modélisation ICEM étendue	108
3.20	Démarche de modélisation ICEM de l'oscillateur	109
3.21	Forme d'onde du courant consommé par l'oscillateur à 9.8MHz	110
3.22	Bilan des mesures 1Ω pour le véhicule TEST5 "epi10"	111
3.23	Bilan des simulations transitoires de la vue retro-annoté de l'oscillateur	112
3.24	Modèle électrique des interconnexions d'un circuit intégré en boîtier PGA84	114

3.25	Description géométrique des pistes du leadframe et des broches du boîtier PGA84	115
3.26	Modèle géométrique des fils de bonding du boîtier PGA84	115
3.27	Simulation fréquentielle retro-annotée de l'oscillateur dans sa configuration @ 9.8MHz	116
3.28	Simulation fréquentielle retro-annotée du bloc de pad numérique pour la configuration @ 9.8MHz de l'oscillateur	117
3.29	Modèle ICEM simplifié de l'oscillateur des véhicules TEST5 et TEST6	118
3.30	Simulations (clair) et mesures (foncé) des paramètres S entre les broches d'alimentation VSS et VDD de l'oscillateur des véhicules TEST5 et TEST6	119
3.31	Architecture du modèle ICEM de l'oscillateur en VHDL-AMS	119
3.32	Simulation du modèle ICEM de l'oscillateur pour toutes ses fréquences de fonctionnement	120
3.33	Comparaison dans le domaine fréquentiel des mesures 1Ω (\times) et des simulations (\cdot) du modèle ICEM de l'oscillateur	121
3.34	Modèle analytique simplifié du courant conduit par l'oscillateur sur ses rails d'alimentation	123
3.35	Tracé des coefficients de Fourier des impulsions constituant la forme d'onde approchée du courant consommé par l'oscillateur	125
3.36	Interface de prédiction et de compréhension du spectre d'émission, cas de l'oscillateur à 9.8MHz	126
3.37	Tracé des coefficients de Fourier de chaque impulsion et du train complet pour les huit premières harmoniques de l'oscillateur à 9.8MHz	127
3.38	Structure de test pour la mesure des résistances du substrat	128
3.39	Mesures de résistances substrat sur les trois technologies de substrat	129
3.40	Structure pour les simulations physiques	130
3.41	Mesures et simulations 2D et 3D de la résistance du substrat en technologie "bulk"	131
3.42	Microphotographie et vue en coupe des circuits TEST5	132
3.43	Répartitions des principaux ports substrat sur les circuits TEST5	133
3.44	Architecture du modèle VHDL-AMS de couplage substrat pour les véhicules TEST5 et TEST6	134
3.45	Comparaison des mesures transimpédance (bleu) et des simulations (rouge) du modèle VHDL AMS pour le circuit en technologie "epi 10"	135

3.46	Atténuation du courant couplé par le substrat à la photodiode BigPhd en technologie "bulk"	136
3.47	Atténuation du courant couplé par le substrat à la photodiode BigPhd en technologie "epi 10"	136
4.1	Microphotographie du circuit 128TEST7	143
4.2	Architecture du circuit 128TEST7	144
4.3	Vue schématique du pixel et des circuits de lecture du véhicule 128TEST7	145
4.4	Vue synoptique du circuit 128TEST7	147
4.5	Vue synoptique de la carte TEST7	149
4.6	Mesure 1Ω VSS_FPGA en mode séquençement interne à 10MHz sur substrat résistif	150
4.7	Mesures 1Ω sur les broches VSS_FPGA et VSSN sur substrat résistif	151
4.8	Bruit d'alimentation du FPGA et du circuit TEST7 sur substrat résistif en séquençement interne (buffers bidirectionnels en sortie) et externe	152
4.9	Mesure temporelle du bruit d'alimentation du circuit TEST7	153
4.10	Impact des divers circuits numériques sur le bruit d'alimentation du circuit TEST7	154
4.11	Premier étage des décodeurs ligne et colonne	155
4.12	Deuxième étage du décodeur ligne (Y)	156
4.13	Architecture de la simulation mixte des circuits TEST7	157
4.14	Simulation mixte des blocs numériques du circuit TEST7	158
4.15	Méthodologie de modélisation ICEM événementielle	159
4.16	Architecture du modèle ICEM complet (sources de courant et capacités silicium)	161
4.17	Algorithmes de base pour la modélisation VHDL-AMS des sources de courant ICEM	162
4.18	Formes d'onde des courants des sources ICEM des blocs numériques	163
4.19	Modèle électrique équivalent du substrat et des interconnexions du boîtier	164
4.20	Architecture de la simulation comportementale du modèle ICEM étendu du circuit TEST7	165
4.21	Résultats de simulation du modèle ICEM complet sur substrat résistif avec les buffers bidirectionnels en sortie	166
4.22	Mesures 1Ω VSSN et VSSA sur le circuit TEST7 en technologie résistive (aucune structure de garde polarisée)	167

4.23	Temps de transitions des pics de courant des mesures 1Ω VSSN et VSSA en technologie résistive	168
4.24	Temps de transition des pics de courant simulés sur les sondes 1Ω VSSA et VSSN	169
4.25	Mesures 1Ω sur les broches de masse numériques et analogiques sur substrat "bulk"	172
4.26	Mesures 1Ω sur la broches de masse analogique des circuits sur substrats résistif et épitaxié	172
4.27	Tension de sortie d'un pixel bruit de substrat (technologie "bulk")	173
4.28	Tension de sortie d'un pixel bruit de substrat (technologie "epi10")	174
4.29	Image d'une mire prise avec le circuit 128TEST7	175
4.30	Réponse en obscurité du capteur en technologie "bulk" en mode séquençement interne (tous les anneaux de garde polarisés)	175
4.31	Réponse en obscurité du capteur en technologie "bulk" en mode séquençement interne (aucun anneaux de garde polarisé)	176
A.1	Modèle géométrique de la ligne microstrip	187
A.2	La carte de mesure "Paramètres S"	187
A.3	Modèles pour le calcul des impédances propres et mutuelles	187
A.4	Modèle électrique de la carte « paramètres S » en circuit ouvert	188
A.5	Paramètres S simulés (clair) et mesurés (foncé) de la carte « paramètres S » en circuit ouvert	189
A.6	Modèle électrique de la carte « paramètres S » en court-circuit	189
A.7	Paramètres S simulés (clair) et mesurés (foncé) de la carte « paramètres S » en court-circuit	190
A.8	Description géométrique des pistes du leadframe et des broches du boîtier PGA84	192
A.9	Mesures (clair) et simulations (foncé) des paramètres S entre les bondfingers 64 et 65 court-circuités du boîtier PGA84	193
A.10	Schéma électrique de broches adjacentes du boîtier PGA84	194
A.11	Modèle électrique simplifié de deux broches et pistes du leadframe adjacentes du boîtier PGA84	194
A.12	Modèle géométrique des fils de bonding du boîtier PGA84	196
A.13	Modèle électrique des fils de bonding des broches 53 et 55 du boîtier PGA84	196
A.14	Réseau d'impédance du substrat résistif entre les anneaux de garde ohmiques de l'oscillateur (PO) et de la photodiode (PP)	197

A.15 Mesures (foncé) et simulations (clair) des paramètres S entre les anneaux de garde ohmiques de l'oscillateur (PO) et de la photodiode (PP) sur substrat résistif	198
A.16 Réseau d'impédance du substrat épitaxié entre les anneaux de garde ohmiques de l'oscillateur (PO) et de la photodiode (PP)	199
A.17 Mesures (foncé) et simulations (clair) des paramètres S entre les anneaux de garde ohmiques de l'oscillateur (PO) et de la photodiode (PP) sur substrat épitaxié	200
B.1 Schéma du préamplificateur transimpédance dédié	204
B.2 Fonction de transfert du préamplificateur transimpédance dédié	205
B.3 Fonction de transfert du préamplificateur HCA200	205

Liste des tableaux

3.1	Performances de l'oscillateur en anneau	86
3.2	Caractéristiques des photodiode victimes des circuits TEST5 et TEST6	88
3.3	Capacités mesurées des photodiode victimes des circuits TEST5 et TEST6	96
3.4	Résistances du substrat obtenues par mesure sur les circuits TEST5 « bulk » et « epi 10 »	133
4.1	Résistances DC du substrat obtenues par mesure statiques sur les circuits TEST7 « bulk » et « epi 10 »	164
A.1	Comparaisons de valeurs d'inductances et de capacités cal- culées et mesurées	191
A.2	Impédances du boîtier PGA84 pour deux pistes voisines de longueurs maximales	195
A.3	Impédances des fils de bonding des bond fingers 53 et 55 du boîtier PGA84	196

Cette page est laissée blanche intentionnellement

Remerciements

Merci.... au jury

Je tiens à remercier en premier lieu les membres du jury et tout particulièrement Monsieur Etienne Sicard, Professeur à l'INSA de Toulouse qui m'a fait l'honneur de la présider.

Merci aussi à Messieurs M'hamed Drissi, Professeur et Directeur de la recherche à l'INSA de Rennes, et Guy Cathébras, Maître de Conférence au LIRMM (Montpellier), d'avoir accepté d'être les rapporteurs de cette thèse et d'avoir accompli cette tâche avec rigueur.

Je souhaite remercier vivement Monsieur Albert Theuwissen, Professeur à l'Université de Delft (Pays-Bas) et Directeur Technique de la société DALSA, d'avoir consacré du temps à la lecture de mon manuscrit et de s'être déplacé jusqu'à Toulouse pour assister à ma soutenance de thèse. Merci pour tout ce que son ouvrage, *Solid-State Imaging with Charge-Coupled Devices* publié chez *Kluwer*, a pu m'apprendre ainsi que pour sa simplicité et son humour. J'adresse enfin mes remerciements à Monsieur Yvon Cazaux, responsable de la division Imagerie au centre de recherche et de développement de la société ST Microelectronics à Crolles, pour sa participation au jury, ses questions pertinentes et les discussions que nous avons eu après ma soutenance.

Merci à Monsieur Jean Farré de m'avoir accueilli chaleureusement et de m'avoir présenté les activités du laboratoire CIMI alors que je visitais les laboratoires d'accueil affiliés au mastère recherche CCMM. Je retiens de lui sa passion pour la recherche, son humilité et ses petites piques verbales toujours sympathiques concernant l'état « volontairement désordonné » de ma chevelure ou la fraîcheur de taille de ma barbe.

Merci à Monsieur Pierre Magnan, directeur de cette thèse, pour sa confiance et l'autonomie que son suivi, parfois trop lointain, m'a permis d'atteindre ainsi que pour tous les moyens qui ont été mis à ma disposition. Je partage avec lui, sans toutefois atteindre son niveau, sa curiosité scientifique qui semble être sans limite et espère, comme nous l'avons évoqué lors

de longues discussions, que l'orientation recherche du laboratoire CIMI ne cesse de s'affirmer.

Merci.... aux collaborateurs externes

Un grand merci à Monsieur Etienne Sicard qui, au-delà de son statut de président du jury, a été d'un très grand soutien à la fois humain et technique tout au long de mon travail de thèse. Il m'a ainsi mis en relation avec une partie de la communauté CEM des circuits intégrés et a initié nombre de collaborations à la fois avec des membres de son équipe de recherche (INSA-LESIA) ou certains de ses partenaires. J'évoquerai principalement :

- Henrique Quaresma, doctorant à l'Institut des Télécommunications de Lisbonne (Portugal), qui a été d'un grand support pour les simulations physiques (SILVACO-ATLAS) ;
- Cécile Labussière alors doctorant en CIFRE au LESIA pour les *tutoriaux* sur la mesure de paramètres S, la prise en main d'ADS et son travail concernant l'élaboration du banc de mesure champ proche du LEN7 ;
- Cristian Avram et Jun-Wu Tao pour les prestations de mesure champs proche et l'analyse des résultats ;
- Alexandre Boyer, doctorant au LESIA, avec qui j'ai partagé de grand moments « LabViewsques » pour la mise en oeuvre de la carte d'acquisition Ni-DAQ ;
- Richard Perdriaux, Professeur à l'ESEO (École Supérieure d'Électronique de l'Ouest à Angers), pour son support en VHDL-AMS ;
- Sonia Bendhia, maître de conférence à l'INSA de Toulouse, pour les discussions et le support technique pour la réalisation des capteurs de courant d'alimentation « sur puce »
- Mohammed Ramdani, Professeur à l'ESEO, et Jean-Luc Levant, Ingénieur chez ATMEL Nantes, pour leur partage de connaissance notamment sur l'immunité des circuits intégrés et les moments agréables passés ensemble à Barcelone.

Je tiens de plus à remercier Monsieur Gilbert Vilalon du CNES (département optoélectronique, centre de Toulouse) pour les discussions techniques relatives à l'instrumentation, la CEM et à la mesure en général ainsi que Francis Gizard du CNES (département hyperfréquence, centre de Toulouse) pour les tentatives de mesure sous pointe très ingrates.

Enfin, merci à Joan Pann et Denis Schwander du CNES (département CEM, centre de Toulouse) pour leur expertise technique qui m'a permis de concevoir mon propre banc de mesure.

Merci.... camarades !

Voilà maintenant c'est à vous, camarades membres actifs de la TEAM CIMI, que s'adressent mes remerciements. Merci de m'avoir supporté à tous les sens du terme pendant toutes ces années dans les moments les plus durs, de m'avoir fait profiter de votre bonne humeur et de m'avoir accordé du temps. Ma rigueur ne m'autorisant pas à en rester là, je me dois de personnaliser un peu mes propos sans aucun ordre de préférence :

- Stéphane Maëstre (premier combattant de la fouine) pour les discussions en tous genres, l'échange scientifique et sa grande qualité humaine ;
- Pierre Belliot pour son bref support en électronique analogique et son travail pour la mise à jour des stations de travail du laboratoire ;
- Philippe Martin-Gonthier pour son support en phase de conception, notamment pour le séquenceur du circuit 128*TEST7* ;
- Franck Corbière pour les échanges scientifiques, politiques (même si nos avis convergent peu), son support toujours spontané ;
- Magali Estribeau (qui a aussi combattu la fouine) et Céline Engel pour leur expertise technique concernant les caractérisations électro-optiques des capteurs et Paola Cervantes pour son support logiciel en phase finale de mes mesures ;
- Nicolas Huger pour son support en simulation, sa conscience écologique et le fait qu'il assume son prénom par les temps qui courent...
- Sebastien Aufranc (grand passionné de fouine) pour son expertise du simulateur ELDO, ses tenues et grimaces bien singulières et surtout sa bonne humeur ;
- Alexandre Guilvard qui m'a redonné le goût du bricolage électronique ;
- Philippe Pinel, bien connu de tous ses ennemis, d'ici et de l'au-delà, sous le nom de « (Bad) Lieutenant Pinel » pour toutes les mesures CEM en milieu hostile qu'il a effectuées dans le cadre de ma thèse et son éclectisme culturel ;
- Sébastien Rolando (grand chasseur de fouine) bien connu sous le nom « le d'jeuns » pour son support en VHDL et VHDL-AMS, en HTML et PHP, ses conseils en esthétique extrême, sa diplomatie et ses invitations grillade dans sa propriété de capitaliste ;
- Vincent Goiffon (fouine killer) que l'on appelle aussi « Lagoiffe » dans les couloirs sombres de l'IEEE, pour sa motivation, les nombreux échanges et questionnements scientifiques et son support en Latex jusqu'au bout (je me souviendrai longtemps du 22 Décembre, 4H du matin)

Autre acteur, sur le terrain, Rémi Guidoux (aussi connu sous le nom d'« Huggy les bons tuyaux ») qui m'a quelquefois dépanné alors que j'étais égaré dans les méandres de la stratégie de gestion informatique de SUPAERO et avec qui j'ai eu de nombreuses discussions lors des traditionnelles pauses café. Merci aussi à Arnaud Dion pour son support en VHDL et ses connaissances en conception de System On Chip. Enfin merci aux MOISIENS d'en haut, d'en bas, anciens et futurs et à la communauté PomPom pour les instants pleins de fraîcheur que nous avons partagés.

Je citerai en vrac « le Dude » dont l'art de vivre est une vraie source d'inspiration et les Creedence Clearwater Revival dont le tube « Lookin' Out My Back Door » a rythmé mes dernières journées de doctorant. Les musiciens, acteurs, réalisateurs, ceux qui sont sincères et qui m'ont apporté, via leur production, de quoi m'échapper, m'apaiser et me motiver, la société Maxtor pour ses disques dur à fiabilité 0, le cinéma Utopia, le P2P, l'open source, le festival de Marciac, la loi du 1^{er} Juillet 1901 et Pierre-Paul Riquet qui a eu l'intelligence de tracer le canal du midi entre le pont des demoiselles et Supaero, me permettant ainsi de fuir, en me rendant sur mon lieu de travail, l'individualisme exacerbé de l'Homme au volant.

Merci....

Je tiens à remercier mes parents qui au-delà de leur rôle implicite concernant ma naissance, m'ont toujours soutenu dans mes démarches d'orientation. Mon frère Wilfried qui a su répondre, sans compter, à ma curiosité dès mon plus jeune âge. Merci à mes oncles Jean et Alain Audoubert pour m'avoir transmis leur passion pour l'électronique et les valeurs comme le travail, l'humilité, la rigueur et le respect.

Enfin, merci à Elodie qui a tenu bon à mes côtés et auprès de qui j'ai appris à grandir. Merci à Maë pour sa fraîcheur, sa spontanéité, son intelligence relationnelle (rare pour un enfant de 8 ans). J'espère ne pas l'avoir trop effrayé par mon parcours scolaire plus que long.

Je leur dédie, à toutes les deux, ce document.

Je travaille tout le temps, je ne m'arrête jamais :
c'est ainsi que je réussis, avec le peu de talent que j'ai.

ALAIN ROBBE-GRILLET

Cette page est laissée blanche intentionnellement

Introduction

Le simple fait de basculer un interrupteur pour obtenir de la lumière, de connecter tout appareil électrique ou électronique au réseau d'alimentation domestique est devenu un geste naturel dont l'homme est aujourd'hui complètement dépendant. Il en est de même aujourd'hui pour les applications embarquées, issues de l'industrie microélectronique, de plus en plus présentes dans notre quotidien (téléphonie, lecteurs multimédias, photographie, vidéo, automobile, ...).

De l'électricité, à l'électronique intégrée

Il aura fallu les expériences et réflexions de nombreux scientifiques, parmi lesquels B. Franklin, A. Volta, H. C. Orsted suivis par A. M. Ampère, M. Faraday, J. B. Biot, F. Savart et enfin J. C. Maxwell, pour passer de la découverte de l'électricité à la compréhension théorique de ses phénomènes formalisés par les lois de l'électromagnétisme publiées en 1865 par J. C. Maxwell. L'exploitation industrielle de l'électricité (production et transport) qui en découla a apporté une nouvelle dimension de confort aux foyers et le développement de nouvelles activités techniques et scientifiques.

La découverte de l'électron en 1897 par J. Thomson peut être considérée comme la naissance de l'électronique définie par la commission de l'électrotechnique internationale (CEI) comme « la partie de la science et de la technique qui étudie les phénomènes de conduction dans le vide, dans les gaz ou dans les semiconducteurs et qui utilise les dispositifs basés sur ces phénomènes ». Cette découverte essentielle qui a révolutionné la physique et a conduit à la description électronique de la matière que nous connaissons aujourd'hui, n'aurait pu se faire sans la compréhension des phénomènes électromagnétiques et l'utilisation de machines électriques pour la production de l'électricité. Les expériences de W. Crookes, T. Edison, J. Fleming, L. de Forest, considérés comme les pères du tube à vide, étaient en effet toutes basées sur l'application d'une forte différence de potentiel entre deux ou plusieurs électrodes placées dans le vide ou en présence de gaz raréfiés. La troisième électrode de la triode de L. de Forest appelée grille est placée entre

l'anode et la cathode et a pour mission de contrôler le flux d'électron. Cette invention aura pour conséquence la réalisation de circuits perfectionnés de redressement et d'amplification à l'usage d'application de télécommunication par voie hertzienne. L'architecture à trois électrodes sera de plus reprise pour la conception des transistors sur matériau semi-conducteurs.

C'est aussi dans ce contexte de radiocommunications que sera inventé en 1948 le transistor bipolaire dans les laboratoires Bell (Bell's lab) par J. Bardeen, W. Brattain et W. Shockley qui exploite le déplacement des électrons dans les matériaux semi-conducteurs (initialement sur substrat germanium et jonctions indium/ germanium). L'utilisation du silicium et l'amélioration des technologies de fabrication *MESA* puis *PLANAR* par Texas Instrument (1957) et Fairchild (1958) initièrent la production des circuits intégrés à transistors bipolaires puis à effet de champ PMOS, NMOS et finalement CMOS au début des années 1970¹ conduisant à l'abandon des tubes à vide.

L'électronique embarquée et les défis technologiques

L'apparition de la microélectronique a fait exploser les performances des circuits en terme de consommation, de puissance de calcul, d'intégration et a conduit à l'essor de l'informatique et des systèmes embarqués qui font désormais partie intégrante de notre quotidien.

Pour se faire, l'architecture des systèmes électroniques a évolué grâce à l'optimisation des performances d'intégration au niveau du circuit imprimé, du boîtier des circuits intégrés (SIP pour *System in Package*) et enfin du silicium ouvrant ainsi l'ère des « Systèmes Sur Puce » (SOC pour *system on chip*).

Ces diverses étapes d'intégration se sont toujours accompagnées de problèmes de compatibilité électromagnétique en mode conduit ou rayonné par les interconnexions des circuits numériques rapides et des circuits analogiques sensibles.

Alors que des solutions technologiques pouvaient être mises en œuvre sur un produit fini multicarte pour faire face à ces mauvaises performances intrinsèques de compatibilité électromagnétique (blindage, découplage, ferrite), les performances d'émission et de susceptibilité des circuits intégrés doivent aujourd'hui être considérées en amont de leur conception. En effet, les solutions standards de réduction des couplages électromagnétiques ne

¹le premier brevet concernant le transistor à effet de champ avait été déposé par Lilienfeld en 1928 mais sa production nécessitait la maîtrise de fabrication de l'interface isolant-semiconducteur aujourd'hui réalisée par la croissance thermique de l'oxyde de silicium SiO_2

sont plus applicables dans les environnements à forte densité d'intégration (circuit imprimé ou boîtier). De plus, les mécanismes d'interférences électromagnétiques prennent naissance pour les circuits intégrés mixtes (SOC) au sein même du matériau semiconducteur créant ainsi du bruit de substrat pouvant affecter les performances voire le fonctionnement du circuit lui-même ; on parle alors d'auto-susceptibilité du circuit intégré. L'intégration de fonctions analogiques et numériques dans un même environnement passe donc à la fois par l'optimisation des performances des circuits intégrés en matière de CEM (émission, susceptibilité) et des technologies de fabrication depuis le silicium jusqu'au circuit imprimé.

De nombreux ouvrages et travaux de recherche ont été consacrés à l'étude de la compatibilité électromagnétique des circuits intégrés afin de prendre le problème à la source et de proposer des techniques standardisées de mesure, de modélisation et de réduction des couplages électromagnétiques. Alors que les mécanismes d'émission sont aujourd'hui bien maîtrisés, les techniques de mesure et de modélisation en termes de susceptibilité manquent encore de maturité. Il en est de même pour le couplage de bruit par le substrat qui, comme nous le verrons dans la suite du document, joue un rôle non négligeable à la fois sur les performances d'émission et sur l'immunité des circuits intégrés.

Le bruit de substrat dans les capteurs d'image CMOS

Les systèmes d'imagerie sont de bons démonstrateurs de l'évolution des systèmes électroniques vers les systèmes sur puce. Depuis la technologie argentique et grâce aux progrès de l'électronique, ils se sont en effet adaptés aux contraintes des applications embarquées en termes d'encombrement et de puissances consommées. Ce faisant, leurs performances (résolution, dynamique, bruit, débit vidéo) n'ont cessé d'évoluer et de nouvelles fonctionnalités de traitement d'image leur ont été intégrées. C'est en ce sens que la technologie de capteurs d'image CMOS repousse, par rapport aux technologies à « transfert de charge » (CCD pour *Charge-Coupled Device*), les performances des systèmes d'imagerie.

Cependant l'amélioration des performances électro-optiques des capteurs d'image CMOS qui intègrent toujours plus de fonctions numériques, passe par la maîtrise et la réduction des sources de bruit et notamment du bruit de substrat.

Nous présenterons dans un premier temps les mécanismes de fonctionnement et l'architecture des capteurs d'image CMOS ainsi que leurs perspectives d'avenir, intimement liées à l'étude du bruit de substrat. Nous dresserons dans un deuxième temps l'état de l'art de l'étude et de la modélisation

du bruit de substrat dans les circuits mixtes et placerons cette étude dans le cas précis des capteurs d'image CMOS. L'étude du bruit de substrat sur la réponse du photodétecteur seul sera ensuite développée et nous permettra de présenter les techniques de modélisation employées dans notre étude. Enfin nous adapterons ces techniques d'analyse et de modélisation au cas particulier d'un imageur CMOS standard dont nous identifierons les circuits et signaux critiques relativement au bruit de substrat.

Chapitre 1

Les capteurs CMOS, vers les processeurs d'image intégrés

Les capteurs d'images sont des capteurs actifs associant un transducteur pour la conversion du signal optique et une électronique de lecture et de traitement. L'optimisation de tels systèmes de détection consiste en un compromis entre les diverses performances du capteur (sensibilité, linéarité, rapport signal à bruit...) qui, lié à l'application visée, détermine la complexité de son architecture électrique.

Nous reviendrons dans un premier temps sur l'historique, le fonctionnement général des capteurs d'image et leurs caractéristiques principales. Enfin nous détaillerons l'architecture des capteurs CCD et CMOS et les diverses sources de bruit qui leur sont associées pour introduire la notion de couplage de bruit par le substrat plus particulièrement au niveau des capteurs CMOS.

1.1 Historique

Les capteurs d'images ont pour fonction de traduire l'information radiative d'une scène en une grandeur utile. Le premier détecteur de rayonnement utilisé fut l'œil qui intègre naturellement une optique (la cornée et le cristallin), un récepteur (la rétine) et une chaîne de transmission (nerf optique) et de traitement (cortex). Cependant, la plage de longueur d'onde de détection de l'œil (visible), la volatilité et la subjectivité de l'information fournie ont conduit l'homme à développer des techniques pour la détection d'image aboutissant à la naissance de la photographie au 19ème siècle par N.Niepce qui s'est ensuite associé à J.Daguerre. La technique alors utilisée a donné naissance à la photographie sur film argentique où les photons de la scène

observée réduisent les ions argent (Ag^+) de l'émulsion de bromure d'argent ($AgBr$) déposée sur le film plastique de la pellicule photographique pour créer le négatif de la scène. Une optimisation de ce procédé a récemment été apportée (1999) en décuplant le rendement de la réaction d'oxydoréduction et ainsi adresser les applications faible flux [1].

La technologie argentique qui nécessitait des heures de traitement du film photosensible fut exclusivement utilisée dans la photographie et la vidéo jusque dans les années 30. Elle fut ensuite remplacée, dans le domaine de l'imagerie rapide, par la technologie des tubes à vides (Vidicon) exploitant l'effet photoélectrique découvert par Hertz en 1897. L'électronique s'empare donc de la vidéo en permettant des cadences d'acquisition de 50 à 1000 images secondes et un traitement des images stockées sur bande magnétique quasi-instantané. Cependant les caméras vidéo utilisant les tubes à vides étaient volumineuses, fragiles et fonctionnaient avec des tensions d'alimentations élevées ce qui rendait leur utilisation peu flexible.

Ces inconvénients furent dépassés grâce aux capteurs d'image intégrés, CCD et CMOS, qui exploitent l'effet photo électrique dans les matériaux semiconducteurs et offrent des possibilités de détection, de stockage, de traitement et d'intégration accrues. Ces capteurs qui ont supplanté les tubes à vide dans les applications vidéo sont aujourd'hui de sérieux concurrents des technologies argentiques dans le domaine de la photographie grand public et haut de gamme en offrant, pour des prix compétitifs, des images de qualité (résolution, dynamique) comparables. De plus l'évolution constante des procédés de fabrication de la micro électronique a ouvert le champ d'application de l'imagerie numérique qui s'étend depuis l'imagerie scientifique (détection de particule, observation de la terre, imagerie médicale) jusqu'à des applications industrielles et grand public aux fonctionnalités avancées (photographie et vidéo numérique miniature et « intelligente », systèmes de surveillance, automotive).

Les premiers imageurs intégrés furent présentés au début des années 60. Ils utilisaient les procédés de fabrications PMOS, NMOS et proposaient des arrangements matriciels de cellules photosensibles ou pixels (contraction de l'anglais « picture element ») associés à un adressage en ligne et en colonne. Ces dispositifs souffraient de faibles performances électro-optiques car ils liaient directement les charges photogénérées [2]. Ce fut Weckler de Fairchild qui proposa le principe d'intégration du flux optique dans une jonction PN polarisée en inverse en 1967 (lecture en tension ou auto-intégration) et qui initia ainsi l'utilisation de photodiodes comme photosite. Le premier imageur matriciel à pixels photodiodes fut fabriqué en 1968 par Weckler [3] et commercialisé plus tard sous le nom de « Reticon ». Dans le même temps RCA construisait un prototype de caméra fonctionnant sur batterie et uti-

lisant un capteur CMOS intégrant à la fois une matrice de 180*180 pixels phototransistors et les circuits logiques de lecture et de séquençement [4].

Parallèlement à cela, en 1969, le concept du dispositif à transfert de charge entre transistors voisins prenait naissance sous le nom de Bucket-Brigade Device (BBD) [5] dans l'objectif de concevoir des lignes à retard analogiques. Ce concept fut optimisé par Boyle en 1970 [6] qui utilisa le transfert de charge d'une capacité à une autre et créa ainsi le CCD (Charge-Coupled Devices) dont les principales applications commerciales furent l'imagerie. Les charges photo générées dans le substrat silicium étant, dans cette technologie, transférées depuis le photosite vers l'étage de sortie par de multiples transferts de charge entre capacités voisines.

De nombreux types de capteurs d'image intégrés furent développés durant les années 70 comme les capteurs MOS X-Y (ou PPS pour Passive Pixel Sensors) ou les systèmes à injection de charge (CID : Charge Injection Device). Nous nous focaliserons dans ce premier chapitre sur les deux technologies majeures : les capteurs CMOS ou APS pour Active Pixel Sensors et les capteurs CCD.

Le CCD resta longtemps la technologie reine des détecteurs d'image notamment grâce à ses meilleures performances électro-optiques et en bruit. Ce sont d'ailleurs les niveaux de bruit élevés des capteurs CMOS (de 1 à 5 fois supérieurs à ceux des CCD) et notamment le bruit fixe de colonne (ou FPN pour Fixed Pattern Noise), qui ont participé au succès des CCD durant les années 80.

Cependant, l'évolution permanente de la technologie CMOS, l'héritage des développements déjà menés sur le CCD et l'essor de nouveaux besoins non complètement satisfaits par ces derniers motivent les travaux de recherche sur les détecteurs CMOS et les conduisent vers des performances proches de celles des CCD. Les domaines d'applications des capteurs CMOS sont aujourd'hui :

- les applications « grand public » milieu de gamme, faible coût
- les systèmes embarqués à faible consommation
- les systèmes de vision ou de détection nécessitant des fonctionnalités avancées
- les applications nécessitant une bonne tenue aux radiations
- les détecteurs hybrides infra-rouge

Or, l'optimisation des procédés de fabrication CMOS dédiés à l'imagerie (procédés CIS pour *CMOS Image Sensor*) et la forte capacité d'intégration native des APS en font des candidats idéaux pour la réalisation de capteurs monolithiques (SOC : System On Chip) aussi performants que les CCD et de fonctionnalités bien plus étendues. Cependant, la coexistence

de fonctions logiques (adressage, séquençement, stockage, traitement, système d'interface) et analogiques (photo détection, amplification, filtrage) sur la même puce demandent d'adresser les problématiques d'interférences électromagnétiques se propageant par le substrat commun.

1.2 Fonctionnement des capteurs d'image intégrés

Nous traitons dans cette partie du fonctionnement commun des capteurs d'images CCD et CMOS depuis la détection de la scène jusqu'à la génération de l'image.

A ce titre nous nous décrivons les divers mécanismes relatifs à la génération de l'image pour mieux appréhender, par la suite, les différents types de pixels, les circuits de lecture utilisés et leurs limitations respectives.

1.2.1 Le système d'imagerie

Un capteur d'images s'intègre toujours au sein d'un système complet, le système d'imagerie (Fig.1.1). La scène est éclairée par une source de lumière artificielle ou naturelle et l'image à acquérir se forme sur le détecteur grâce à une optique (un objectif). La conversion de l'information radiative en signal utile dans les capteurs d'image intégrés peut se décomposer en 4 phases :

- Conversion des photons incidents en charges électriques
- Collection et intégration des charges négatives
- Conversion des charges en grandeur électrique
- Amplification du signal électrique

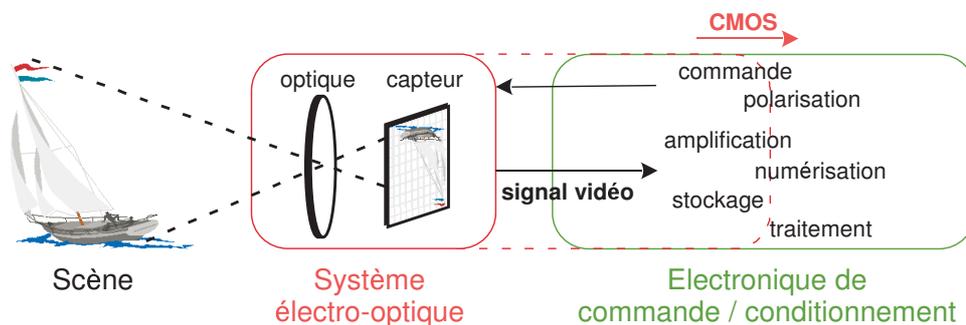


Fig. 1.1: Le système d'imagerie

Suivant la technologie de capteur employée, le système électro-optique nécessite une électronique externe plus ou moins complexe pour la commande, le conditionnement, le stockage et le traitement du signal vidéo.

En effet, la complexité croissante des systèmes d'imagerie (imagerie rapide, fonctionnalités avancées) a conduit, pour la technologie CCD, à une explosion du nombre de composants annexes à la périphérie du capteur.

Ce défi d'intégration motivé par les avantages des structures monolithiques de capteurs en termes de fréquence de fonctionnement, d'ergonomie et de coût est aussi lié au marché des systèmes embarqués de volume toujours réduit (téléphone portable, caméscopes et appareils photo numériques). Il ne pourra être relevé que par la technologie CMOS permettant d'intégrer sur le silicium une partie de l'électronique de commande, conditionnement et traitement.

1.2.2 Photogénération des charges

Les capteurs d'image intégrés CMOS (ou APS pour « Active Pixel Sensors ») et CCD utilisent l'effet photoélectrique dans les matériaux, ou substrats, semi-conducteurs pour la conversion photon-charge électrique. En effet, si un photon pénètre dans un matériau et que son énergie ($h\nu$) est supérieure au gap de ce dernier, il peut être absorbé et permettre le passage d'un électron de la bande de valence vers la bande de conduction (Fig.1.2). Des paires électron-trou sont ainsi créées et peuvent donner naissance à

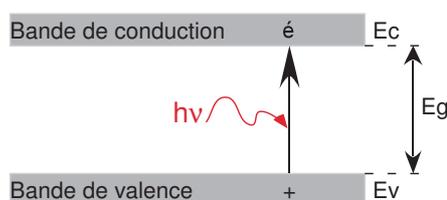


Fig. 1.2: Effet photoélectrique

un signal électrique si elles sont correctement collectées. Ce phénomène de conversion photon-électron est commun aux détecteurs de type photonique. Le choix du substrat semi-conducteur sera guidé par la valeur de son coefficient d'absorption¹ sur la plage de longueur d'onde visée par l'application.

Le silicium est communément employé dans les longueurs d'onde du visible (Fig. 1.3) alors que des alliages du type $HgCdTe$, $InSb$ ou $Pt - Si$

¹on définit aussi la *profondeur de pénétration* du matériau comme la profondeur à laquelle 63% des photons sont absorbés

sont utilisés dans la conception de détecteurs infra-rouges [7] [8], le silicium étant « transparent » à ces longueurs d'onde.

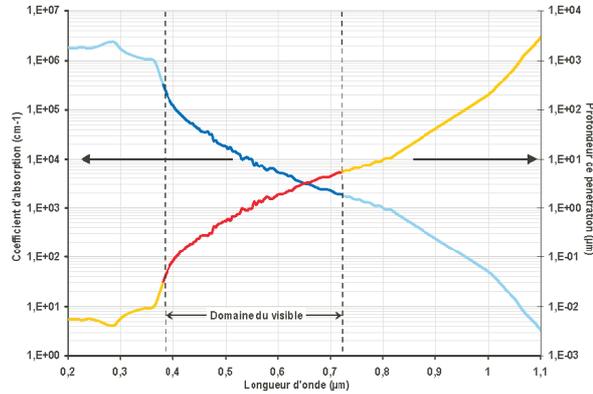


Fig. 1.3: Coefficient d'absorption et profondeur de pénétration du silicium

1.2.3 Collection et intégration des charges

Le flux photonique incident est intégré au voisinage d'une jonction dans les détecteurs CMOS et CCD (cf.1.1). Ce principe de lecture appelé auto-intégration est similaire au temps de pause des capteurs argentiques. Il permet d'obtenir des signaux d'amplitude adaptable au flux mesuré et suffisamment élevée par rapport au niveau de bruit pour être exploitables (rapport signal sur bruit élevé).

Le type de jonction utilisé dépend du type de capteur, de son architecture liée au mode de lecture choisi et aux longueurs d'onde visées. Cependant le principe de la collection de charges est identique quelle que soit la jonction. Il consiste à créer un puits de potentiel dans le substrat pour confiner et accumuler, pendant toute la durée d'intégration, les photoélectrons au coeur de la jonction grâce au champ électrique présent à l'intérieur et au voisinage de sa zone de charge d'espace ou zone de déplétion, rejetant les trous dans la profondeur du substrat. La figure 1.4 décrit la collection et l'intégration de charges par une jonction de type $N + / P$ (a) et une capacité MOS (b) qui sont respectivement les photosites de base employés dans les capteurs CMOS et CCD.

Dans le cas de la photodiode (a), la zone de charge d'espace est d'abord créée en appliquant une polarisation inverse à la jonction $N + / P$ (K fermé). La profondeur de la zone de collection ainsi créée dépend alors de la valeur absolue de la tension appliquée. La diode est ensuite laissée flottante

(K ouvert) pour l'intégration. Laisser l'interrupteur K fermé sous illumination correspond au mode de lecture dit « en courant » utilisé dans les premiers capteurs d'image et délaissé pour le mode d'intégration. En mode auto-intégration, la tension aux bornes de la photodiode décroît, ainsi que l'épaisseur de la zone de déplétion, sous l'effet des photocharges accumulées jusqu'à la saturation où les courants de porteurs minoritaires compensent les charges photogénérées.

Dans le cas de la capacité MOS, la tension de grille est maintenue constante durant la phase d'intégration pour canaliser et accumuler les charges photogénérées dans le puits de potentiel créé sous l'oxyde de grille. La capacité MOS passe durant l'intégration sous l'effet des photoélectrons collectés, du régime de forte déplétion à la limite du régime d'inversion. En effet, au cours de la collection, l'épaisseur de la zone de déplétion et le potentiel de surface décroissent jusqu'à ce que ce dernier atteigne $2\Phi_F$ (avec Φ_F le niveau de fermi du substrat).

Le rendement quantique (QE pour l'anglais Quantum Efficiency) du photosite seul, défini comme le rapport entre le nombre de photons incident et le nombre d'électrons collectés, est donc dépendant de sa taille, de son profil de potentiel en profondeur (profil de dopage de la diffusion et du substrat) et de sa polarisation. On note donc que le rendement quantique du photosite est dépendant du potentiel de substrat et de ses caractéristiques intrinsèques (dopage, pureté cristalline). Les charges photogénérées au-delà de la zone de collection sont susceptibles de diffuser dans le substrat et d'être soit collectées par un photosite voisin ou toute autre jonction inverse (phénomène de crosstalk optique) soit de se recombiner.

Les photodiodes $N + /P$ sont par exemple limitées à la détection des courtes longueurs d'onde puisque, technologiquement, ce type de diffusion ne s'étend que de quelques centièmes de microns dans le substrat, limitant ainsi la zone de collection (effet du coefficient d'absorption du silicium Fig. 1.3). On trouvera donc souvent des photodiodes de type $NWELL/P$ qui créent des zones de collection s'étendant de quelques microns dans la profondeur du substrat.

De même, les défauts cristallins du substrat induisent des pièges pouvant capter, par des phénomènes de transition inter-bande, les photocharges et ainsi dégrader les performances électro-optiques du substrat. Ces pièges étant majoritairement créés à l'interface entre l'oxyde et le silicium, des structures de type CCD à canal enterré ou photodiodes « totalement dépeuplées » *pinned-photodiode* [9] sont utilisées pour créer le puits de potentiel dans la profondeur du substrat. L'utilisation de substrats épitaxiés de structure cristalline pure permet aussi de réduire la densité de pièges dans le substrat. Dans ce cas la couche épitaxiée, dont l'épaisseur peut atteindre

$20\mu\text{m}$, est faiblement dopée, ce qui permet d'étendre la zone de collection du photosite. La croissance de cette couche est effectuée sur un substrat fortement dopé dans lequel la longueur de diffusion des électrons est fortement réduite provoquant la recombinaison immédiate des électrons photogénérés dans la profondeur du substrat.

Enfin les variations locales du potentiel de substrat sont susceptibles d'altérer la réponse du photosite en modifiant son profil de potentiel ou en injectant des charges parasites au travers de la jonction. L'amélioration de la réponse du photosite passe donc par l'optimisation de la technologie de fabrication du substrat, des profils de dopage et des stratégies de polarisation du photosite et du substrat.

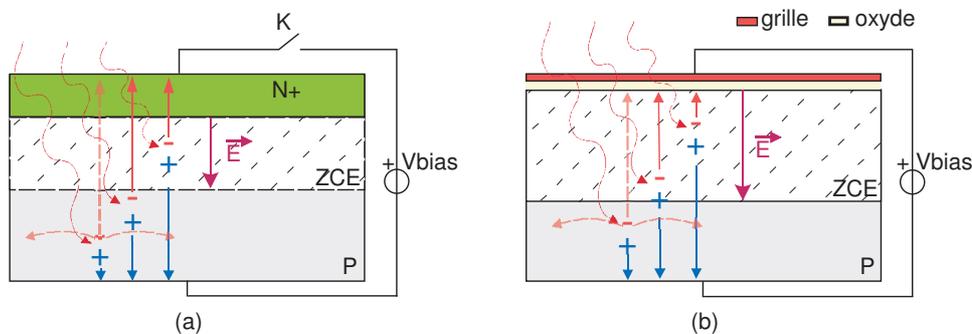


Fig. 1.4: Collection et intégration des charges photogénérées

1.2.4 Conversion des charges en grandeur électrique

Quel que soit le type capteur (CMOS ou CCD), les phénomènes de conversion des photocharges collectées sont identiques. Ces paquets de charges sont en effet convertis en différence de potentiel aux bornes de capacités appelées diodes de lecture et constituées majoritairement par des diodes flottantes pré-chargées à une tension de référence.

La diode de lecture est initialement polarisée en inverse à une tension de référence (Fig.1.5(a)). Elle peut être modélisée, dans cet état de polarisation, par une capacité dont les « armatures » sont les frontières de la zone de charge d'espace dans chaque région de la jonction et les charges positives et négatives, les atomes ionisés sous l'effet du champ électrique induit par la polarisation inverse.

Une fois chargée à la tension de référence, la diode est laissée flottante et elle reste dans cet état d'équilibre si l'on néglige tout phénomène de génération-recombinaison parasite. Les paquets de charges photogénérées

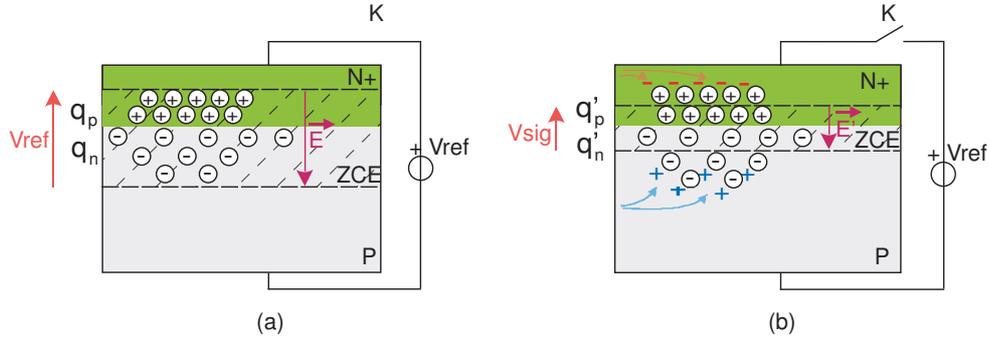


Fig. 1.5: Conversion des charges photogénérées

sont injectés directement (phase de collection des pixels photodiodes) ou indirectement (phase de transfert des pixels à capacité MOS ou plus généralement à grille de transfert) dans la diode de lecture. De cette injection résulte une variation de l'état de charge de la capacité équivalente de la diode et donc de son état de polarisation (Fig. 1.5(b)). C'est la différence de potentiel aux bornes de la diode de lecture entre le niveau de référence appelé niveau de « reset » et le niveau après injection des photocharges qui caractérise le niveau d'éclairement reçu par le pixel. Cette grandeur est proportionnelle au flux incident et au temps d'intégration pour les pixels photodiodes et photomos (Eq.1.1).

$$\Delta V = V_{ref} - V_{sig} = \frac{I_{photo}}{C_{dl}} \times \Delta t_{int} = N_{photo} \times \frac{q}{C_{dl}} = N_{photo} \cdot CVF \quad (1.1)$$

Les grandeurs I_{photo} , N_{photo} , Δt_{int} et C_{dl} représentant respectivement le courant photonique, le nombre de porteurs photogénérés au niveau du photosite, le temps d'intégration du pixel et la capacité équivalente de la diode de lecture donnée par l'équation 1.2 dans le cas d'une jonction abrupte dissymétrique $N + /P$. La grandeur CVF est appelée le facteur de conversion (V/\acute{e}).

$$C_{dl} = A_D \times \sqrt{\frac{q \cdot \varepsilon_{Si} \cdot N_A}{2 \cdot (V_{dl} + V_{bi} - \frac{2 \cdot k \cdot T}{q})}} \quad (1.2)$$

Avec

- A_D : la surface de la diode de lecture (cm^2)
- q : la charge de l'électron ($1,6 \cdot 10^{-19}C$)
- ε_{Si} : la permittivité du silicium ($10,7 \cdot 10^{-13}F/cm$)
- N_A : le dopage du substrat (cm^{-3})
- V_{dl} : la tension inverse aux bornes de la diode de lecture (V)

- V_{bi} : le potentiel de « built-in » (V)
- k : la constante de Boltzmann ($1,38 \cdot 10^{-23} J/K$)
- T : la température (K)

Ces deux relations montrent que le signal (ΔV) est d'autant plus grand à temps d'intégration constant que le facteur de conversion est grand et donc la capacité équivalente de la diode de lecture est faible. On cherchera donc à diminuer les dimensions de cette diode ou à abaisser le dopage du substrat local.

Or dans le cas de la photodiode, on ne peut diminuer la taille de la diode de lecture qui est aussi le photosite sans réduire son rendement quantique. Au contraire, on peut augmenter le facteur de conversion des CCD et des pixels APS à grille de transfert en réduisant, à taille de photosite constant, les dimensions de la diode de lecture.

Cependant, l'optimisation de la sensibilité du détecteur par l'ajustement du facteur de conversion n'améliore qu'artificiellement leurs performances électro-optiques. L'intérêt principal du facteur de conversion est d'accroître fortement le rapport signal à bruit du capteur en appliquant du gain directement au signal de sortie du photodétecteur.

De plus le bruit induit par la mise à la référence de la diode de lecture ou bruit de *reset* est inversement proportionnel à la valeur de la capacité équivalente de la diode de lecture. Ainsi le dimensionnement de cette dernière doit répondre au compromis relatif au rapport signal à bruit du détecteur.

La diode de lecture peut être soit la photodiode (cas de pixels photodiode $N+$ ou $NWELL/P$ ou CCD interligne) soit une diode isolée pour les pixels photomos ou pinned-photodiode des APS et les pixels des capteurs CCD pleine trame. On trouve aussi des étages de sortie CCD à grille flottante [10] dans le cas où des lectures non destructives sont nécessaires (augmentation du rapport signal à bruit).

1.2.5 Amplification du signal électrique

Il est nécessaire d'amplifier le signal électrique du pixel (ΔV) à destination du monde extérieur. Les circuits élémentaires les plus utilisés aujourd'hui sont des amplificateurs à source commune (suiveur NMOS ou PMOS) et ceci pour les deux technologies de capteur. Ce type de circuit, d'architecture simple, est en effet suffisant pour atteindre les performances en gain, bande passante, linéarité et bruit pour la plupart des applications d'imagerie.

Alors que les imageurs CMOS intègrent un amplificateur dans le pixel et dans les circuits de lecture, les CCD standards n'utilisent qu'un amplifi-

capteur pour l'ensemble de la matrice et ainsi s'affranchissent des problèmes de bruit (temporel et fixe) introduits par les transistors.

Cependant les possibilités d'intégration de la technologie CMOS permettent aux APS d'intégrer les circuits de lecture à double échantillonnage corrélé (CDS pour *Correlated Double Sampling*) utilisés pour traiter les signaux vidéo des capteurs d'image en augmentant drastiquement leur rapport signal à bruit alors que ces circuits sont externalisés dans le cas des CCD [11].

De plus, des architectures complexes de circuits sont disponibles pour les imageurs CMOS dans le but de réduire le bruit et d'adresser la problématique d'imagerie rapide (amplificateurs différentiels à capacités commutées [12], multiplexeurs, convertisseurs analogiques numériques) quand les CCD sont limités par essence à l'utilisation de technologie de transistors optimisés en bruit (transistors LDD [13]), à la mise en cascade d'étages suiveurs et à l'utilisation de plusieurs registres de sortie, complexifiant les circuits externes de conditionnement, pour atteindre de hautes cadences de fonctionnement².

La polarisation des étages d'amplification doit faire l'objet de précautions pour ne pas coupler d'éventuels bruits d'alimentation sur le signal de sortie, s'ils n'ont pas de taux de réjection de bruit d'alimentation élevés. Le potentiel du substrat doit être le plus stable possible afin de minimiser l'impact de l'effet substrat des transistors, principalement NMOS, sur la fonction d'amplification.

Nous avons vu dans cette section que le substrat joue un rôle à la fois dans les mécanismes de photo-détection et d'amplification du signal électrique. Il doit donc présenter, pour assurer le bon fonctionnement des capteurs d'image, de bonnes performances électro-optiques (photosites) et électriques (polarisation des photosites et des transistors).

1.3 Les capteurs CMOS et les défis d'intégration

Nous abordons dans cette partie les architectures et le fonctionnement des capteurs CMOS. Alors que les mécanismes de fonctionnement relatifs à la génération de l'image sont similaires pour les deux technologies, nous verrons qu'à la fois l'architecture des capteurs CMOS et leur fort poten-

²cas des CCD répondant aux standards de télévision haute définition, HDTV à 70Mpixel/s

tiel d'intégration en font les seuls candidats capables de relever les défis technologiques des systèmes d'imagerie du futur.

1.3.1 Architecture et mise en oeuvre

1.3.1.1 Les pixels des capteurs CMOS et CCD

Les pixels CMOS présentent une complexité d'interconnexion supérieure à celle des CCD (Fig. 1.6 et 1.7). On définit le facteur de remplissage comme

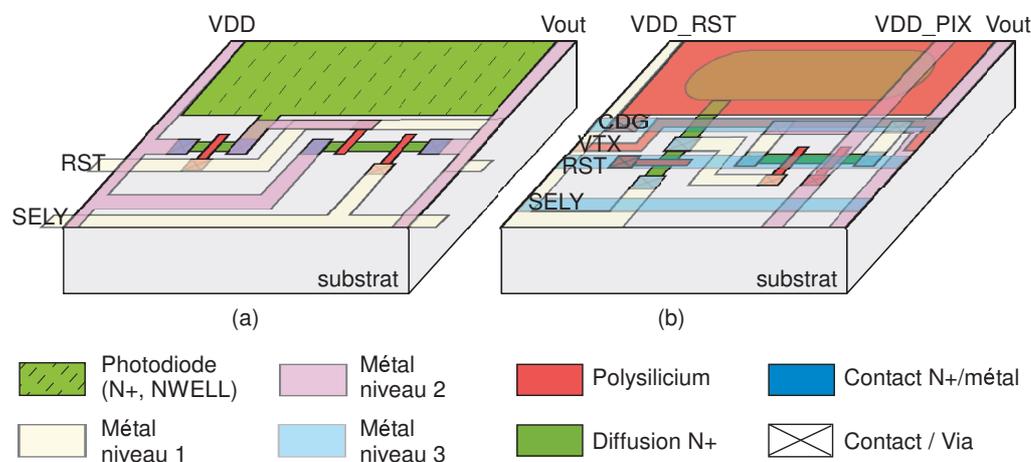


Fig. 1.6: Dessin des masques de fabrication des pixels photodiodes et photoMOS des capteurs CMOS

le rapport entre la surface de la zone photosensible seule et celle de la totalité du pixel. Il est un des paramètres limitant de la sensibilité du capteur, toute charge générée à l'extérieur de la zone photosensible étant susceptible de diffuser et de ne pas être collectée par le pixel. Le rendement quantique effectif du pixel s'exprime donc comme le produit du rendement quantique du photosite et du facteur de remplissage.

On note que ce facteur de remplissage est proche de 100% pour le pixel à capacité MOS de CCD *pleine trame* (Fig. 1.7 (a)), qu'il diminue avec la complexité du pixel et devient notamment très faible pour les pixels photomos des capteurs CMOS (Fig. 1.6 (b)) et les pixels à photodiode des CCD dits *interligne* (Fig. 1.7 (a)). Il est cependant possible d'améliorer virtuellement le facteur de remplissage du pixel en concentrant le faisceau incident sur le photosite à l'aide de microlentilles. Cette technologie ayant émergée avec l'essor des CCD interligne est aujourd'hui disponible pour les technologies CMOS dédiées aux imageurs et fait l'objet d'optimisation permanente [14], leur efficacité diminuant avec leur surface donc avec la

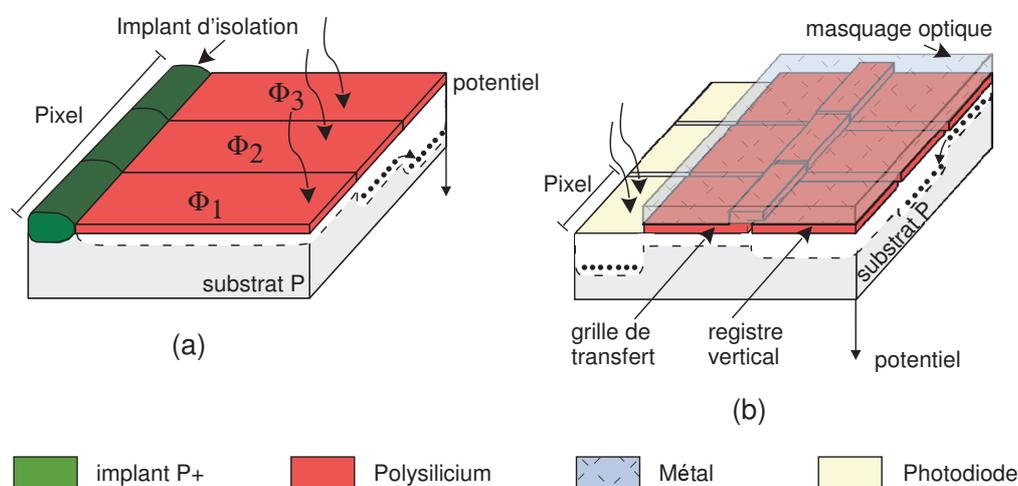


Fig. 1.7: Les pixels des CCD pleine trame (a) et interligne (b)

taille du pixel. Des solutions à base de silicium amorphe (TFA pour Thin Film on Asic [15]) ou totalement hybrides [16] sont proposées pour améliorer le facteur de remplissage des capteurs CMOS mais induisent des procédés de fabrication complexes.

Un autre facteur limitant la sensibilité du détecteur est la transmission des couches superficielles, c'est à dire de l'empilement de couches de polysilicium, d'oxydes et de métaux situés sur la face supérieure des circuits. Cet empilement, plus complexe en technologie CMOS, induit des phénomènes de réflexion et d'interférence qui diminuent le nombre effectif de photons incident au niveau du silicium. Des matériaux spécifiques comme l'ITO (Indium Thin Oxyde) sont utilisés pour la réalisation de grilles transparentes [17] principalement pour les CCD qui profitent aussi de technologies d'amincissement de substrats pour effectuer de l'imagerie par la face arrière. Or, ce procédé d'amincissement complexe n'est maîtrisé aujourd'hui que par peu de fondeurs. Des procédés de traitement anti-reflet sont aujourd'hui disponibles en fonderie pour les deux technologies de capteur.

Enfin, comme nous l'avons vu au paragraphe 1.2.3, page 28, le rendement quantique du photosite seul réside dans sa capacité à drainer les charges générées c'est à dire à présenter un environnement cristallin et des profils de potentiel favorables à la collection d'un maximum de charge photogénérées.

De plus, l'arrangement matriciel des pixels dans un imageur induit un phénomène de « crosstalk » susceptible de dégrader la qualité de l'image si les charges créées dans un pixel sont collectées par un pixel voisin. La présence de dispositifs « anti-éblouissement » constitués de diffusion N+

sur substrat P (LDO pour *Later Overflow Drain* pour les pixels CCD (non représentés sur la figure 1.7) constituent donc une double limitation du rendement quantique de ces pixels puisqu'ils amoindrissent, au même titre que les drains et sources des transistors des pixels actifs CMOS³, le facteur de remplissage et l'efficacité du champ électrique de la zone photosensible.

Les fortes tensions de grille (10-15V) et les profils de dopage optimisés utilisés dans les technologies CCD permettent toutefois de garantir une bonne collection des charges même dans le proche infra-rouge alors que les procédés CMOS présentent nativement des zones de collection de quelques microns en profondeur dans le substrat (tensions de commande inférieures à 3.3V, épitaxie peu profonde).

Alors que l'évolution de la technologie CCD se concentre sur l'amélioration des profils de dopage et la répartition du champ électrique dans le substrat (technologie de substrat, recouvrement de grille illustré figure 1.7 (b)), des architectures de circuits internes au pixel comme le pixel CTIA [18] ou des systèmes à obturateurs électroniques existent pour les APS [19] pour atteindre des sensibilités élevées, de hauts débits de données et des fonctionnalités avancées.

1.3.1.2 Mise en oeuvre des capteurs CMOS

Les capteurs CMOS et CCD sont constitués d'un arrangement une dimension (barrette) ou plus généralement deux dimensions (matrice) de pixels. Dans les capteurs CCD, basés sur le concept du transfert de charge, la conversion des charges en tension électrique est effectuée après de multiples transferts verticaux (lent) et horizontaux (rapide) par un, ou plusieurs, étages de sortie. Dans le cas du CCD pleine trame 3 phases (1.7 (a)), les charges collectées sont transférées par les pixels eux-mêmes par les commandes de grille Φ_1 , Φ_2 et Φ_3 soit directement jusqu'au registre de sortie (Fig. 1.8), soit jusqu'à une zone de stockage constituée par des registres CCD dotés de masquage optique. Dans ces cas, le transfert vertical des charges par les pixels doit être effectué rapidement pour ne pas que la lumière incidente altère les paquets de charge relatif à l'intégration. Une autre contrainte de ce mode de fonctionnement est la nécessité de vider complètement la matrice de pixel avant de pouvoir initier une nouvelle phase d'intégration.

Ces limitations pour les applications d'imagerie rapide ont été surmontées par les arrangements interlignes (1.7 (b)) pour lesquels les charges col-

³Ces diffusions constituent pour les capteurs CMOS des systèmes anti-éblouissement naturels qui « absorbent » le surplus de charge non collectés par le photosite totalement chargé

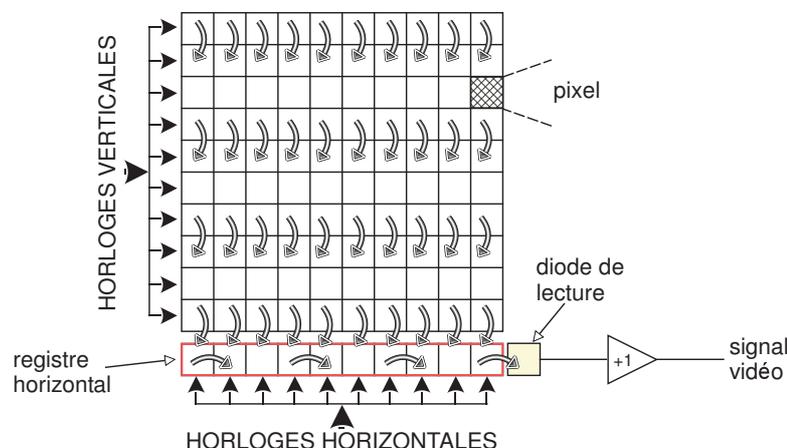


Fig. 1.8: Architecture d'un capteur CCD pleine trame

lectées par la photodiode sont directement transférées via des grilles de transfert vers un registre CCD vertical recouvert de métal. Le débit de donnée du capteur est donc directement lié au temps de transfert des registres verticaux et du registre horizontal vers le noeud de lecture et du nombre de pixels de la matrice. C'est pour cette raison que des architectures à multiples registres horizontaux complexifiant les circuits externes sont proposées pour répondre aux applications à fort débit d'image et haute résolution. L'architecture des CCD conduit donc à cadencer les registres horizontaux à des fréquences élevées pour assurer le flux vidéo demandé ce qui impose de concevoir des amplificateurs de sortie de bande passante élevée.

Les nouvelles applications embarquées d'imagerie rapide haute résolution risquent donc d'atteindre les limites technologiques des capteurs CCD dont les amplificateurs de sortie d'architectures limitées doivent répondre au compromis de bande passante, facteur de conversion⁴, bruit, temps de réponse. On peut imaginer à terme que les capteurs CCD ne proposent à terme que des solutions hybrides externalisant notamment les fonctions d'amplification et de traitement sur des technologies CMOS ou bipolaires (*Analog Front End*) pouvant être intégrés dans le même boîtier.

Une autre grande problématique de ces capteurs est la puissance consommée induite par le nombre transfert et les niveaux de tension de commande qui est incompatible avec le concept de « système embarqué » et l'augmentation en température du circuit qui en résulte et dégrade les performances en

⁴La diode de lecture des CCD est constituée à la fois de la diffusion flottante proprement dite et des capacités d'entrée des transistors constituant l'amplificateur de sortie dont les valeurs augmentent avec leur taille

bruit du capteur. Cependant des niveaux de bruits ramenés à l'entrée de quelques dizaines d'électrons « rms » sont annoncées pour des bandes passantes de quelques dizaines de mégahertz [20]. L'intégration des fonctions

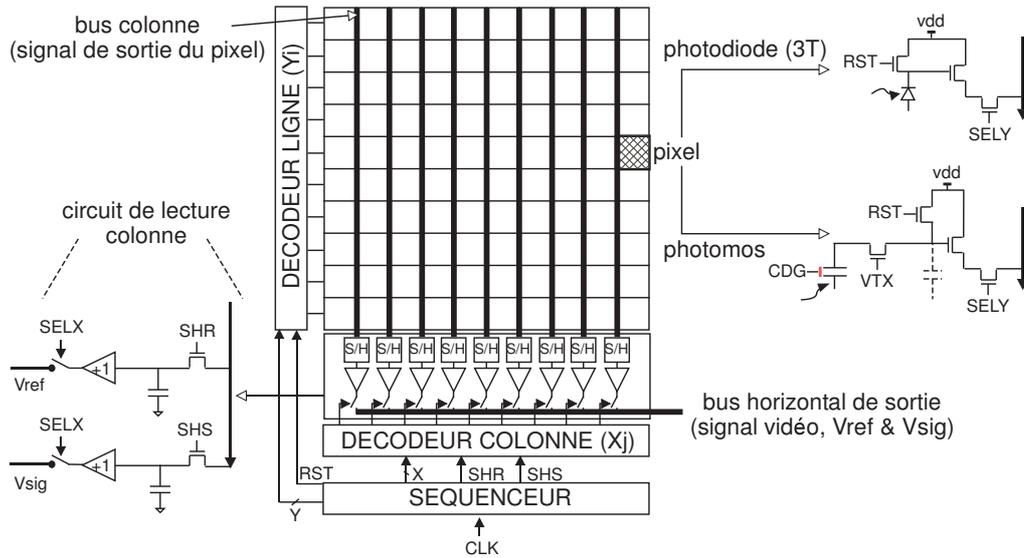


Fig. 1.9: Architecture d'un imageur CMOS standard

de détection, de conversion charge-tension, d'amplification et d'adressage à l'intérieur des pixels des capteurs CMOS offre à ces derniers des potentialités standards bien plus avancées. Dans un premier temps, en mode de lecture standard (balayage ou *rolling*), le signal de sortie des pixels d'une ligne (signal et référence) est stocké par les circuits d'échantillonnages de chaque colonne (Fig. 1.9).

Les signaux échantillonnés sont ensuite amplifiés dans chaque colonne et transmis via le bus de sortie horizontal au monde extérieur à la cadence des colonnes. La ligne suivante est ensuite sélectionnée et le processus de lecture se poursuit jusqu'à la fourniture de l'image complète de la scène, c'est à dire lorsque la totalité des lignes de la matrice ont été adressées. Cette organisation ligne colonne décorrélée offre plusieurs avantages aux capteurs CMOS :

- possibilité de fonctionner nativement à des cadences images supérieures à celles des CCD
- accès direct à des pixels ou à des zones d'intérêt (fenêtrage)
- faibles contraintes de bande passante pour le suiveur intra-pixel
- réduction de la bande équivalente de bruit de la chaîne de lecture au plus près de la génération du signal

- indépendance du niveau de bruit électronique, de la taille de la matrice et de la fréquence image dont la cadence n'est assurée que par l'adressage vertical

Les circuits de lecture intégrés dans les architectures des APS standards permettent d'effectuer, suivant le type de pixel utilisé, les fonctions de double échantillonnage corrélé ou non dont le principe de fonctionnement est expliqué par la mise en oeuvre des pixels photodiodes et photomos.

Le double échantillonnage consiste à stocker à la fois le niveau de signal (après intégration) et de référence (*reset* de la diode de lecture) des pixels. Ce double échantillonnage est dit corrélé si l'on stocke ces niveaux de tension au cours de la même trame et non corrélé si les niveaux sont échantillonnés sur deux trames différentes. Alors que le pixel photomos autorise le double échantillonnage corrélé grâce à son noeud de stockage (Fig. 1.10 (b) et 1.6 (b)), les pixels photodiode « 3T » ne permettent d'effectuer qu'un double échantillonnage non-corrélé, les niveaux de signal et de référence étant pris respectivement sur des trames successives (Fig. 1.10 (a) et 1.6 (a)). L'autre avantage des pixels photomos est leur possibilité de fonc-

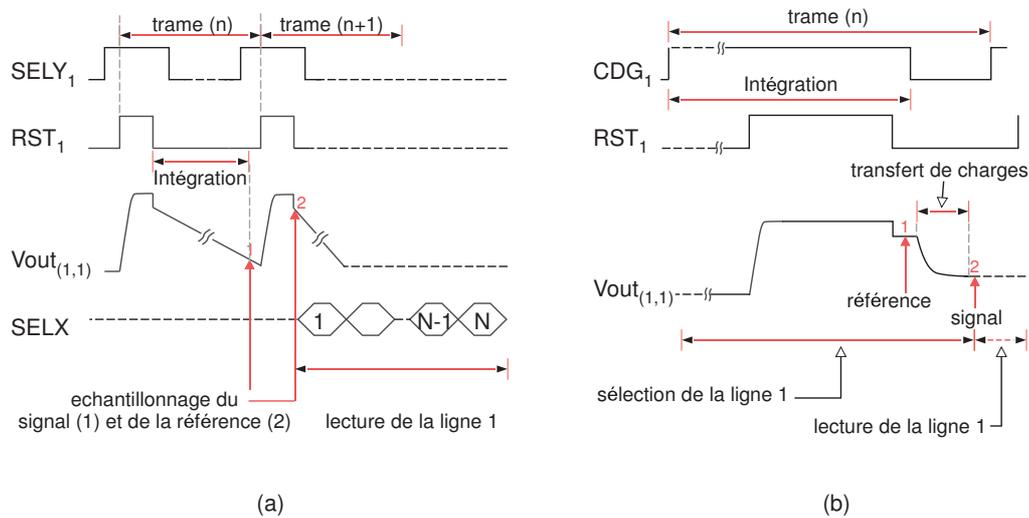


Fig. 1.10: Chronogramme de lecture et évolution de la tension de sortie des pixels photodiode (a) et photomos (b)

tionner en mode « lecture instantanée » (en anglais *snapshot*) grâce à leur fonction d'obturateur électronique (en anglais *electronic shutter*) nécessaire pour s'affranchir des distorsions d'image et des effets de flou introduits par la lecture de type balayage dans le cas de l'imagerie de scènes rapides.

En effet alors que l'effet de flou en mode balayage peut être corrigé par l'adaptation du temps d'intégration de chaque ligne (mode balayage imbriqué) induisant une perte de données conséquente, le mode à obturateur électronique, permet d'ajuster librement le temps d'intégration et d'augmenter la cadence vidéo si toutefois les circuits de stockage et de lecture sont correctement dimensionnés.

Le principe de fonctionnement est similaire à celui des pixels CCD inter-lignes. Il consiste à effectuer l'intégration du signal lumineux et le transfert en fin d'intégration du signal de sortie de chaque pixel vers leur noeud de stockage interne simultanément pour tous les pixels de la matrice. L'efficacité d'obturation de ces pixels traduisant leur faculté à ne pas intégrer de lumière pendant la phase de lecture ne peut s'optimiser qu'au détriment du facteur de remplissage du pixel (masquage optique de la zone de stockage, isolation par caisson de la diffusion constituant le noeud de stockage).

Les capacités MOS sont souvent remplacées par des photodiodes dans la majorité des pixels *snapshot* pour s'affranchir du mauvais coefficient de transmission optique du polysilicium. Cependant, dans ce cas on effectue un équilibrage des charges (partage de charges) au lieu d'un transfert de charge entre la photodiode et la diode de lecture. Le signal échantillonné sur la diode de lecture est alors bruité notamment par le phénomène de couplage d'horloge (commande de grille du transistor de transfert VTX) et d'injections de charge. De plus, dans ce mode de lecture, il n'est pas possible d'intégrer aisément le procédé de lecture CDS (le reset et la lecture étant simultanés) ce qui induit des performances en bruit moindres. Des solutions améliorant artificiellement la sensibilité des pixels photodiodes *snapshot* ont toutefois été proposées en ajustant la tension de grille du transistor de transfert durant la phase d'intégration [21].

L'architecture de pixel *pinned-photodiode* est très prometteuse puisqu'elle allie l'efficacité du transfert de charge, une meilleure sensibilité que les pixels photomos et des performances en courant d'obscurité accrue.

Les pixels à grille de transfert, de conception et de routage plus complexes que les pixels « 3T » (Fig. 1.6) offrent potentiellement aux capteurs CMOS des performances en bruit de lecture bien meilleures que celles des CCD [22].

Leur faible facteur de remplissage, la mauvaise transmission optique des grilles polysilicium des capacités MOS (pixel photomos), le coût de fabrication des procédés à microlentilles, et l'aspect non standard des procédés de fabrication des photodiodes *pinned* contribuent encore aujourd'hui à la popularité des pixels « 3T » des capteurs CMOS [23].

Contrairement à la technologie CCD, la réduction de la finesse de gravure et des tensions d'alimentation de la technologie CMOS ainsi que la

bibliothèque de circuits aujourd'hui disponible et toujours renouvelée aussi bien pour la conception de fonctions analogiques et numériques promet aux APS un avenir certain car adapté à l'évolution des besoins commerciaux.

Cependant la diminution des tensions d'alimentations conduit à la réduction de la dynamique des capteurs dont la limite basse est fixée par leur niveau de bruit global.

1.3.2 Les défis d'intégration

Les forts niveaux de bruit des capteurs CMOS comparés à ceux des CCD ont contribué à la prédominance de ces derniers dans le monde de l'imagerie numérique. Des procédés de lecture dédiés et des artefacts technologiques ont permis au fil des années de réduire ce niveau de bruit pour atteindre des performances proches de celles des CCD.

Il est cependant nécessaire d'adresser aujourd'hui, devant la forte densité d'intégration de fonctions numériques au voisinage de la matrice photosensible, les problématiques de compatibilité électromagnétiques et notamment de couplage par le substrat pour assurer l'avenir des capteurs CMOS dans le domaine des applications embarquées.

Nous étendrons dans ce chapitre la notion de bruit à l'ensemble des signaux non désirés se superposant au signal utile. Cette définition englobe donc le bruit électronique relevant de fluctuations aléatoires de grandeurs physiques et les perturbations électromagnétiques d'aspect déterministes car liées aux commutations synchrones ou asynchrones des circuits.

1.3.2.1 Les sources de bruit dans les imageurs CMOS

Les diverses sources de bruit mises en jeu dans les imageurs CMOS depuis la photodétection jusqu'à la délivrance du signal utile sont illustrées figure 1.11.

Les sources de bruit du pixel

Les sources de bruit du pixel sont le bruit de grenaille, le bruit de *reset* de la diode de lecture et les bruits thermiques et de scintillement (flicker ou en $1/f$) du suiveur NMOS intra-pixel.

Le bruit de grenaille est dû à la granularité de l'électricité, c'est à dire à la non-uniformité du courant. Il intervient lorsque les porteurs franchissent une barrière de potentiel de façon aléatoire suivant une loi de Poisson. C'est un bruit blanc qui se manifeste donc dans les dispositifs à jonction (diodes, transistors bipolaires) et sa densité spectrale de puissance est directement proportionnelle au courant traversant la jonction ($DSP_{gr} = 2qI$ avec q la

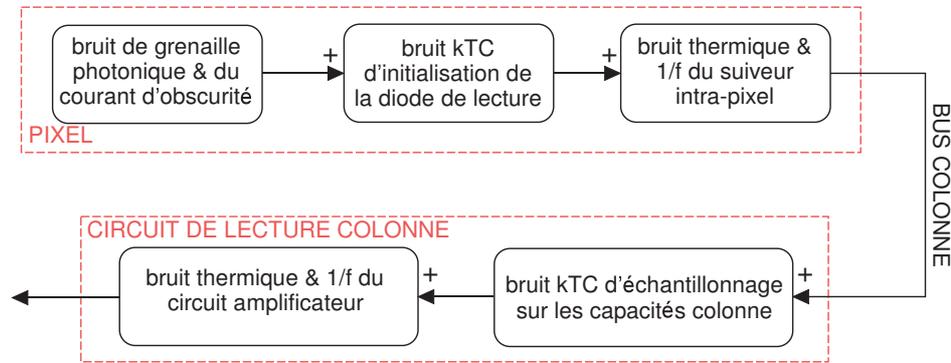


Fig. 1.11: Les différentes sources de bruit électronique dans les capteurs CMOS standard

charge de l'électron et I le courant traversant la jonction). Dans le cas des imageurs CMOS, ce bruit est lié à la fois au courant photonique et au courant d'obscurité dû à la génération thermique de charges dans le pixel. Le courant d'obscurité augmente fortement avec la température et à une distribution spatiale non-uniforme sur l'ensemble des pixels de la matrice. Le bruit de grenaille issu du courant photonique (bruit photonique) est inévitable et constitue la source de bruit dominante à fort flux (Fig. 1.13).

Le bruit de grenaille issu du courant d'obscurité ne peut être réduit qu'en diminuant le courant d'obscurité lui-même soit en diminuant la température soit par conception et dimensionnement de photosites à faible génération thermique (photodiode NWELL) ou modification du procédé de fabrication (photodiode *pinned*, interface oxyde-semiconducteur, pureté cristalline du substrat, profils de température). Il reste un problème majeur et constitue, avec le bruit temporel de la chaîne de lecture, la limite basse de la dynamique des capteurs (Fig. 1.13).

Le bruit de *reset* provient des fluctuations du courant par effet thermique du transistor effectuant le *reset* de la diode de lecture. Sa densité spectrale de puissance est inversement proportionnelle à la valeur de la capacité équivalente de la diode de lecture et proportionnel à la température ($DSP_{rst} = kT/C$ avec k la constante de Boltzmann). Il est parfois appelé « bruit kTC ».

Le bruit de scintillement est aussi appelé « bruit en $1/f$ » à cause de l'allure de sa densité spectrale suivant une décroissance en $1/f$. Il est présent dans les transistors au même titre que le bruit thermique provenant de l'agitation thermique des porteurs dans le matériau. La densité spectrale de puissance du courant de bruit thermique est inversement proportionnelle

à la valeur de la résistance de la portion de conducteur traversée par les particules et proportionnelle à la température ($DSP_{th} = 4kT/R$).

Les sources de bruit du circuit de lecture colonne

On retrouve les sources de bruit des transistors constituant les suiveurs colonne et l'impact des transistors d'échantillonnage sur le bruit des capacités de stockage des colonnes. Les valeurs de ces capacités, supérieures à celle de la diode de lecture diminuent cependant l'influence du bruit kTC .

Il a été montré que la contribution majeure en bruit dans les APS effectuant une lecture de type CDS est le bruit thermique du transistor suiveur intra-pixel [24]. Le procédé CDS permet en effet d'annuler le bruit en $1/f$ généré par le transistor effectuant le *reset* de la diode de lecture alors qu'il double les puissances de bruit thermique et n'a aucun effet sur le bruit en $1/f$ du suiveur PMOS des circuits de lecture colonne.

Bruit fixe de la chaîne de lecture

les non-uniformités des paramètres des transistors MOS utilisés dans les pixels ou les circuits de lecture colonne sur l'ensemble de la matrice (tension de seuil, courants, transconductance) induisent du bruit spatial sur l'image fournie par le détecteur. La variation des tensions de seuil des transistors, pouvant atteindre une dizaine de millivolts, est la source de bruit dominante.

le bruit fixe (FPN pour Fixed Pattern Noise) d'un imageur CMOS matriciel se compose du bruit fixe de pixel et du bruit fixe de colonne. Le bruit fixe de pixel est corrigé efficacement par le procédé de lecture CDS, le bruit fixe de colonne dont l'impact sur l'image se traduit par la présence de rayures verticales sur l'image reste dominant.

Ce bruit de colonne provient de la différence d'offset entre les deux suiveurs colonne amplifiant les niveaux de signal et de référence. Il peut être réduit par le procédé d'échantillonnage par double différence (DDS pour Double Delta Sampling) qui nécessite une légère modification du circuit de lecture et la réalisation de deux échantillonnages par pixel qui augmente le bruit temporel de lecture. Les sources de bruit abordées dans ce paragraphe limitent à la fois la plage d'utilisation (plage de linéarité) du capteur et sa dynamique (Fig. 1.13) et dégradent de manière notable la qualité de l'image. Toute source de bruit supplémentaire est à considérer pour préserver les performances en plancher de bruit dans la plage des applications faible flux.



Fig. 1.12: Impact du bruit fixe de colonne

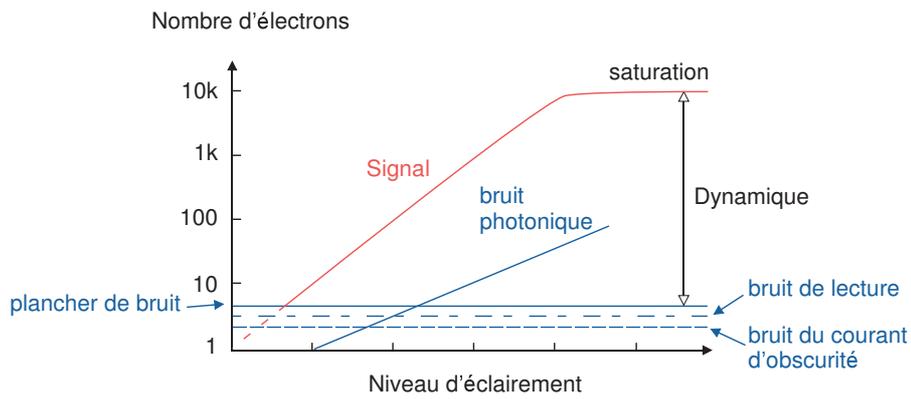


Fig. 1.13: Le rapport signal à bruit dans les imageurs CMOS

1.3.2.2 Les interférences électromagnétiques et le couplage de bruit par le substrat

Les imageurs CMOS standards intègrent les fonctions d'adressage depuis la génération des chronogrammes jusqu'au décodage des signaux de sélection à destination de la logique d'accès des pixels et des circuits de lecture. Des fonctions numériques ayant une activité de commutation synchrone avec le balayage et la lecture de la matrice coexistent donc dans les APS avec les fonctions de photodétection et d'amplification du signal. Ces signaux numériques sont susceptibles de se coupler en mode rayonné ou conduit aux signaux ou alimentations analogiques, par leurs interconnexions métalliques respectives, et ainsi induire des phénomènes transitoires pouvant dégrader l'intégrité du signal de sortie des imageurs.

Or, le comportement semiconducteur du substrat supportant à la fois les circuits numériques et analogiques induit de nouveaux phénomènes de couplage regroupés sous l'appellation « *bruit par le substrat* » qu'il est nécessaire d'appréhender pour l'étude de la compatibilité électromagnétique des capteurs d'image CMOS. Ces phénomènes de couplages dont nous développerons les mécanismes dans le chapitre suivant, ont tout d'abord été mis en évidence dans les circuits mixtes analogique / numérique tel les convertisseurs analogiques numériques, où les circuits hyperfréquence et ont pour principal effet de modifier localement le potentiel de substrat. Ceci est particulièrement critique pour les imageurs CMOS car ces variations de potentiel peuvent affecter à la fois le processus de photodétection en modifiant les profils de potentiel au voisinage des photosites et les performances des transistors.

Les variations du potentiel de substrat (ou « *substrate bounce* ») n'a pas seulement lieu dans les imageurs CMOS. Il a été observé dans les capteurs CCD et a notamment affecté les performances du capteur CCD constituant le système d'imagerie de la sonde *Cassini*⁵. Ce problème intervient pour les CCD rapides et provient des courants de porteurs majoritaires (trous dans un substrat P) évacuée de la zone de la capacité MOS par sa polarisation en forte déplétion. Les fluctuations sont d'autant plus importantes que les tensions de grille sont élevées et que l'impédance du chemin de courant de porteurs majoritaires est élevée. De plus, l'impact du bruit de substrat sur la sensibilité des CCD est double puisqu'il affecte à la fois l'efficacité de collection des pixels mais aussi l'efficacité de transfert définie comme le rapport entre le nombre de charges transférées et le nombre de charge initialement contenu dans le puits. La phase initiale de l'efficacité de transfert

⁵La sonde Cassini fait partie de la mission américano-européenne Cassini-Huygens lancée le 15 octobre 1997

et le confinement du paquet de charge sont en effet fortement dépendants de la répartition de potentiel dans le substrat. Affecter la phase de transfert dans les CCD est critique étant donné le nombre de transfert à effectuer depuis le pixel jusqu'au noeud de lecture.

Ces courants de porteurs minoritaires sont aussi présent à moindre échelle dans les imageurs CMOS dont les tensions de polarisation, la surface et la profondeur des zones de déplétion sont moins importantes. Les niveaux de bruit de substrat risquent cependant d'atteindre des niveaux prohibitifs dans les APS qui deviennent au-delà de la fonction de détection d'image des processeurs d'image. Plusieurs aspects sont à considérer :

- la résolution, toujours croissante, des capteurs
- l'augmentation du débit image
- la part des fonctions numériques vis-à-vis de la surface totale du circuit ou du pixel
- l'évolution de la technologie CMOS (*scaling*)

Les capteurs CMOS du commerce atteignent aujourd'hui des résolutions approchant 15 millions de pixels [25]. Il en résulte donc d'autant plus de commutations et des circuits numériques plus complexes pour la lecture de la matrice de pixels. De plus, à débit d'image constant, ces hautes résolutions requièrent l'augmentation des fréquences d'horloge. Des capteurs 8 millions de pixels à 30 images par seconde sont par exemple cadencés à des fréquences voisines de 100MHz [26].

Les systèmes d'imagerie rapides du commerce (jusqu'à 500 images/s) à base de capteur CMOS, de fréquence d'horloge élevée (proche de 70MHz) utilisent de plus le mode à obturateur électronique pour lequel tous les pixels de la matrice sont sélectionnées, mis à zéro et lus au même moment. Ceci résulte en un bruit de commutation d'autant plus important (SSN pour Simultaneous Switching Noise) et susceptible d'être injecté dans le substrat.

Depuis l'apparition de la technologie CMOS, des interfaces numériques et des fonctions de traitement d'image avancées, nécessitant dans un premier temps de réaliser la conversion analogique numérique des valeurs des pixels directement sur la puce, d'abord par colonne et aujourd'hui au sein du pixel, ont été intégrées. Ceci induit la complexification de la chaîne de lecture analogique du pixel dont les performances en bruit doivent être optimisées et la présence d'une activité de commutation autre que la sélection du pixel au plus près de la zone photosensible.

Les fonctions de traitement aujourd'hui disponibles sur les processeurs d'image CMOS du commerce (correction gamma, balance des blancs, correction d'offset, suppression du scintillement, encodage jpeg temps réel) requièrent de plus des architectures numériques complexes de processeur et des débits de données importants. On trouve dans la bibliographie des ar-

chitectures de capteur CMOS haute dynamique, grand débit d'image ou à fonctionnalités avancées (filtrage, détection de contour, imagerie 3D) dont les pixels ont des facteurs de remplissage inférieurs à 15% (plus de 100 transistors dans le pixel!), des architectures de processeurs numériques à bus rapides déportés par colonne (architecture SIMD pour Single Instruction Multiple Data) ou des circuits de compression et radiofréquence pour la transmission des images par voie radio [27] [28] [29] [30].

Enfin, comme nous le verrons dans le chapitre suivant l'évolution des procédés de fabrication CMOS conduit à l'augmentation des phénomènes de couplage de bruit par le substrat pour l'ensemble des circuits à venir.

Cette page est laissée blanche intentionnellement

Bibliographie

- [1] J. BELLONI, M. TREGUER, H. REMITA et R. de KEYSER, « Enhanced yield of photoinduced electrons in doped silver halide crystals », *Letters to Nature*, p. 865–867, 1999.
- [2] E. R. FOSSUM, « CMOS image sensors : Electronic camera-on-chip », *IEEE Transactions on Electron Devices*, vol. 44, no. 10, 1997.
- [3] R. DYCK et G. WECKLER, « Integrated arrays of silicon photodetectors for image sensing camera-on-chip », *IEEE Transactions on Electron Devices*, vol. 15, p. 196–201, 1968.
- [4] P. WEIMER, G. SADASIV, J. MEYER, L. MERAY-HORVATH et W. PIKE, « A self-scanned solid-state image sensor », in *Proceeding IEEE*, vol. 55, p. 1591–1602, 1967.
- [5] F. SANGSTER et K. TEER, « Bucket-brigade electronics », *IEEE Journal of Solid-State Circuits*, vol. SC-4, p. 131, 1969.
- [6] W. BOYLE et G. SMITH, « Charge coupled semiconductor device », *Bell Systems Technical Journal*, vol. 49, p. 587, 1970.
- [7] D. SCRIBNER, M. KRUER et J.M.KILLIANY, « Infrared focal plane array technology », in *Proceeding IEEE*, vol. 79, p. 66–85, 1992.
- [8] W.F.KOSONOCKY, « State of the art in schottky-barrier IR image sensors », in *Proceeding SPIE*, vol. 1685, p. 2–19, 1992.
- [9] I. INOUE, « Low dark current pinned photodiode for CMOS image sensors », in *IEEE Workshop on Charge Coupled Devices and Advanced Image Sensors*, p. 25–28, 1999.
- [10] A. THEUWISSEN, *Solid-State imaging with Charges-Coupled Devices*. Kluwer academic publishers, 1995.

-
- [11] F. B. M.H. WHITE, D.R. Lampe et I. MACK, « Characterization of surface channel CCD image arrays at low light levels », *IEEE J. Solid-State Circuits*, p. 1–13, 1974.
- [12] Y. DEGERLI, F. LAVERNHE, P. MAGNAN et J. FARRÉ, « Nonstationary noise responses of some fully differential on-chip readout circuits suitable for CMOS image sensors », *IEEE Transactions on Circuits And Systems - II*, vol. 46, no. 12, 1998.
- [13] J. JANESICK, *Scientific Charges-Coupled Devices*. SPIE, 2000.
- [14] J. L. H.S. OH, H.J. Hong et S. PARK, « Enhancement of wafer test/package yields by oxide-capping of microlens in CMOS image sensor », in *IEEE Asia Pacific Conference on ASICs*, p. 102–103, Feb 2000.
- [15] H. K. T. LULE, S. Benthien et F. MUTZE, « Sensitivity of CMOS based imagers and scaling perspectives », *IEEE Trans. Electron Devices*, p. 2110–2122, 2000.
- [16] e. a. Y. BAI, J. Montroy, « Development of hybrid CMOS visible focal plane arrays at rockwell », in *SPIE*, vol. 4028, p. 174, Apr 2000.
- [17] e. a. A. CICCARELLI, G. Putnam, « Front-illuminated full-frame charged-coupled device image sensor achieves 85% peak quantum efficiency », in *SPIE San Jose*, p. 153, Jan 2002.
- [18] D. H. B. FOWLER, J. Balicki et M. GODFREY, « Low f_{pn} high gain capacitive transimpedance amplifier for low noise CMOS image sensors », in *SPIE*, vol. 4306, p. 68–77, 2001.
- [19] N. T. A. KRYMSKI, « A $9 - v/lux$ 5000-frame/s $515 \cdot 512$ CMOS sensor », *IEEE Trans. Electron Devices*, vol. 50, p. 136–143, 2003.
- [20] e. a. L.J. KOZLOWSKI, « Performance limits in visible and infrared image sensors », *IEDM Technical Digest*, p. 865–870, 1999.
- [21] G. P. I. M. WÄNY, « CMOS image sensor with nmos-only global shutter and enhanced responsivity », *IEEE Trans. Electron Devices*, vol. 50, p. 57–62, 2003.
- [22] J. L. L.J. KOSLOWSKI, D. Stanley et A. TOMASINI, « Theoretical basis and experimental confirmation : why a CMOS imager is superior to a ccd », in *SPIE*, vol. 3698, p. 388–396, 1999.

-
- [23] J. F. M. BIGAS, E. Cabruja et J. SALVI, « Review of CMOS image sensors », *Microelectronics Journal*, p. 1–19, 2005.
- [24] Y. DEGERLI, *Etude, modélisation des bruits et conception des circuits de lecture dans les capteurs d'images à pixels actifs CMOS*. Thèse doctorat, Supaero, 2000.
- [25] WWW.FOVEON.COM (CONSULTÉ LE 20/9/2006), *Foveon X3 Fx17 – 78 – F13 Image Sensor datasheet*.
- [26] WWW.MICRON.COM (CONSULTÉ LE 20/9/2006), *Foveon X3 Fx17 – 78 – F13 Image Sensor datasheet*.
- [27] G. CEMBRANO, A. R. VÁSQUEZ, R. GALÀN, F. JIMÉNEZ-GARRIDO, S. ESPEJO et R. DOMINGUEZ-CASTRO, « A 1000 fps at $128 \cdot 128$ vision processor with 8-bit digitized I/O », *IEEE J. Solid-State Circuits*, vol. 39, p. 1044–1055, 2004.
- [28] L. LINDGREN, J. MELANDER, R. JOHANSSON et B. MÖLLER, « A multiresolution 100–GOPS 4–gpixels/s programmable smart vision sensor for multisense imaging », *IEEE J. Solid-State Circuits*, vol. 40, p. 1350–1359, 2005.
- [29] A. HARTON, M. AHMED, A. BEUHLER, F. CASTRO, L. DAWSON, B. HEROLD, G. KUJAWA, K. LEE, R. MAREACHEN et T. SCAMINACI, « High dynamic range CMOS image sensor with pixel level adc and in-situ image enhancement », *in SPIE*, vol. 5677, p. 67–77, 2005.
- [30] S. ITOH, S. KWAWAHITO, T. AKAHORI et S. TERAOKA, « Design and implementation of a one-chip wireless camera device for a capsule-endoscope », *in SPIE*, vol. 5677, p. 109–118, 2005.

Cette page est laissée blanche intentionnellement

Chapitre 2

Le couplage de bruit par le substrat : mécanismes et impact sur les imageurs CMOS

Le couplage de bruit par le substrat ou couplage substrat est relatif aux perturbations électriques générées par des circuits dits bruyants ou agresseurs, pouvant être reçues par des circuits dits sensibles ou victimes par l'intermédiaire du substrat commun. Son étude doit donc à la fois appréhender les mécanismes d'injection de bruit, de transport et enfin de réception via le substrat.

Nous aborderons dans une première partie l'ensemble des mécanismes du couplage substrat pour ensuite mieux comprendre les stratégies de modélisation et les techniques de garde communément adoptées.

Après avoir placé la problématique du couplage substrat dans le cadre des imageurs CMOS nous présenterons la démarche d'étude que nous avons adoptée.

2.1 Les mécanismes du couplage de bruit par le substrat

La première publication relative à l'étude du bruit de substrat remonte à 1978. Elle démontre que les transitoires de courant lors de la commutation de circuits numériques induisent des variations non maîtrisées des tensions de seuil des transistors NMOS à contacts substrats auto polarisés ¹, par la

¹Les transistors à contacts substrats auto polarisés avaient été développés pour réduire les variations de tension de seuil des transistors et réduire la densité d'interconnexions

variation de leur potentiel de substrat [1]. Le couplage substrat a ensuite été analysé dans le domaine des circuits mixtes, des circuits radiofréquences et des circuits de puissance.

D'une manière générale, les circuits bruyants sont ceux qui réalisent des fonctions de commutation de signaux haute fréquence ou de puissance, les circuits sensibles étant les circuits analogiques de polarisation ou d'amplification.

2.1.1 Mécanismes d'injection

On distingue trois principales sources d'injection de perturbations dans le substrat : le couplage capacitif des noeuds de commutation au substrat, le couplage ohmique du bruit d'alimentation au substrat et le phénomène d'ionisation par impact.

2.1.1.1 Injection capacitive

Des courants peuvent être injectés dans le substrat à travers les capacités parasites entre les noeuds commutant à haute fréquence et le substrat (Fig. 2.1). Ces capacités peuvent être de diverses natures :

- Capacité de jonction des électrodes des transistors numériques (drain, source, capacité de grille)
- Capacité de jonction des caissons NWELL des transistors PMOS sur substrat P et des caissons P des transistors NMOS sur substrat N
- Capacité d'interconnexions métalliques au substrat (routage et composants passifs)

Les valeurs des capacités de jonction mises en jeu seront d'autant plus importantes que les dimensions des jonctions (globalement des transistors) seront grandes.

Dans le cas des interconnexions métalliques, le modèle du condensateur plan peut être utilisé et il montre que les capacités parasites seront d'autant plus importantes que le niveau d'interconnexion sera bas (épaisseur d'oxyde faible) et que la surface des interconnexions en regard avec le substrat sera importante.

D'une manière générale, la résistance du substrat entre les points de polarisation du substrat ou des caissons et les jonctions des transistors est relativement faible en regard des impédances des capacités. On considère donc le couplage capacitif responsable de l'injection de courant dans le substrat. Les amplitudes de ces courants seront d'autant plus grandes que les

valeurs des capacités et les tensions d'alimentation seront élevées et que les temps de transitions seront faibles (Fig. 2.1).

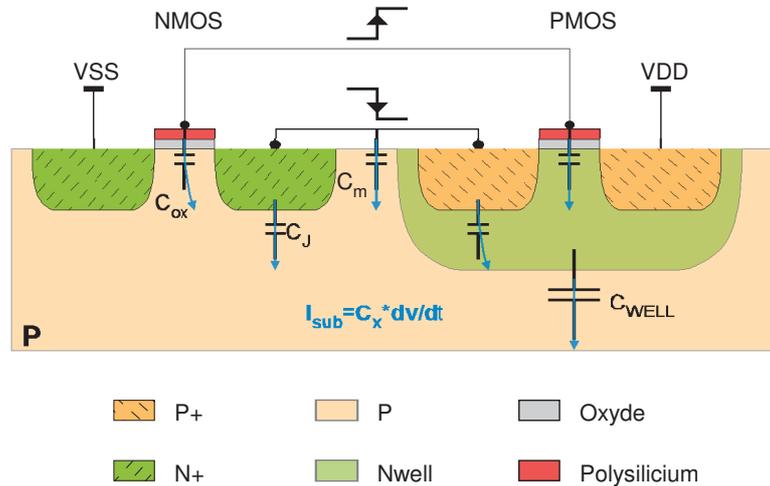


Fig. 2.1: Le mécanisme d'injection capacitive (cas d'un inverseur CMOS)

2.1.1.2 Injection ohmique

Les commutations des circuits numériques en technologie CMOS induisent des appels de courants sur leurs rails d'alimentation. Les transitoires de courant générés interagissent avec les impédances parasites des interconnexions d'alimentation depuis la puce jusqu'au circuit imprimé entraînant des variations de tensions d'alimentation (alimentation et masse) au niveau du silicium (Fig. 2.2). Ce phénomène, principalement responsables de l'émission conduite ou rayonnée des circuits intégrés, est appelé bruit d'alimentation ou bruit de masse (en anglais *power-supply voltage bounce* ou *ground bounce*).

En première approximation les variations des tensions d'alimentation peuvent être évaluées en ne considérant que les inductances parasites des rails d'alimentation et des interconnexions au niveau boîtier et circuit imprimé ($L_{interco}$) ainsi que le nombre de commutations simultanées (N) intervenant lors du fonctionnement du circuit (Fig. 2.2). Le bruit d'alimentation est donc d'autant plus important que l'amplitude des appels de courants, l'impédance des rails d'alimentation et le nombre de commutations simultanées sont élevés et que les temps de transitions sont courts.

Les briques de base numériques ou cellules standards de base fournies par les fondeurs utilisent, pour optimiser la densité d'intégration, les mêmes

rails d'alimentation pour polariser les contacts de source et de substrat des transistors couplant ainsi de manière ohmique le bruit d'alimentation au substrat ou aux caissons des transistors (Fig. 2.2).

Les variations de potentiel induites dans le substrat seront donc d'autant plus grandes que le bruit d'alimentation sera élevé et que les impédances des contacts substrats des cellules numériques seront faibles.

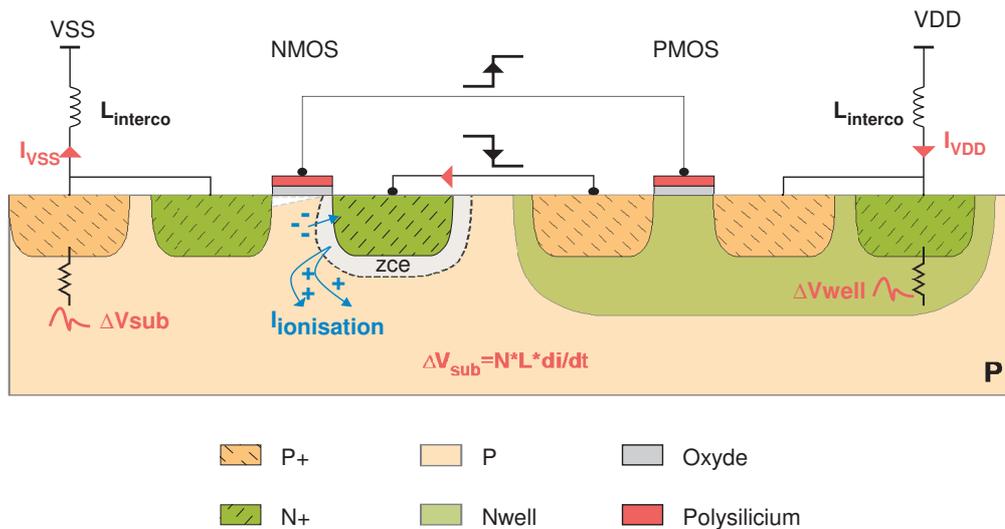


Fig. 2.2: Les mécanismes de couplage ohmique au substrat et d'ionisation par impact (cas d'un inverseur CMOS)

2.1.1.3 Ionisation par impact

Le phénomène d'ionisation par impact prend naissance dans la zone de pincement du canal des transistors MOS saturés. Le fort champ électrique qui règne dans cette zone de charge d'espace peut fournir assez d'énergie aux porteurs du canal pour qu'ils ionisent par choc les atomes du réseau cristallin et créent ainsi des paires électrons-trou [2]. Ces porteurs sont appelés « porteurs chauds ». On assiste au phénomène d'avalanche dans le cas où les porteurs ainsi créés ont suffisamment d'énergie pour ioniser à leur tour les atomes du réseau cristallin (Fig. 2.2).

Dans le cas d'un transistor MOS, les électrons générés par ionisation par impact seront majoritairement captés par le drain du transistor, les trous eux pourront diffuser dans le substrat créant un courant de porteurs majoritaires dénommé courant de substrat.

Un phénomène d'ionisation par impact secondaire des porteurs majoritaires circulant au voisinage de la jonction drain-substrat peut créer à son tour de nouvelles paires électrons trous. L'apport supplémentaire de trous au courant de substrat est négligeable mais les porteurs minoritaires générés peuvent influencer sur le courant de fuite de grille des transistors. L'expression du courant de substrat dû à l'ionisation par impact dans un transistor NMOS est donnée par équation 2.1 (Cf. [3], page 62) :

$$I_{sub} = \frac{A_i}{B_i} \cdot I_{ds} \cdot (V_{ds} - V_{dsat}) \cdot \exp\left(-\frac{B_i \cdot l_d}{V_{ds} - V_{dsat}}\right) \quad (2.1)$$

avec :

- A_i et B_i les coefficients d'ionisation respectivement en cm^{-1} et $V \cdot cm^{-1}$
- V_{ds} et V_{dsat} respectivement les tension drain-source et de saturation du transistor en V
- I_{ds} le courant de drain du transistor en A
- l_d la longueur d'ionisation effective en cm (longueur de la région de fort champ électrique)

L'amplitude de ce courant est fortement dépendante de la tension de saturation du transistor et du courant qui le traverse. Ce phénomène est négligeable pour les transistors PMOS, le coefficient d'ionisation des trous étant beaucoup plus faible que celui des électrons.

2.1.1.4 Autres mécanismes

La génération thermique de porteurs dans la zone de déplétion des jonctions polarisées en inverse induit un courant inverse ou courant de saturation. L'amplitude de ce courant varie avec la valeur de la tension inverse appliquée à la jonction et met en évidence une résistance parallèle équivalente à la jonction dont les valeurs dans les technologies actuelles avoisinent $1T\Omega$ [4]. On peut donc négliger en dynamique l'impact de la variation du courant inverse des diodes devant le phénomène d'injection capacitive.

Le courant de fuite de grille a lieu dans la zone de « recouvrement » du drain et de la grille des transistors. Dans le cas des transistors NMOS, les électrons de valence du drain peuvent, sous l'effet du champ électrique régnant dans cette zone, franchir par effet tunnel l'interface oxyde semiconducteur. Les trous ainsi créés dans le drain sont repoussés dans le substrat et contribuent au courant de substrat [5]. Les électrons chauds générés dans la zone de pincement du canal peuvent contribuer à ce courant de fuite de grille s'ils subissent l'influence du champ électrique vertical de la zone de déplétion du drain ou s'ils quittent le canal et sont injectés dans l'oxyde

par collisions. Tout porteur minoritaire, qu'il soit créé par ionisation par impact secondaire ou par phénomène d'électroluminescence, peut participer au courant de grille des transistors.

Le phénomène d'électroluminescence correspond à l'émission de lumière par le silicium sous l'effet des porteurs chauds créés dans la zone de fort champ des transistors MOS. Ces porteurs chauds dissipent, en effet, leur excès d'énergie par émission de photon (transition radiative). Le photon émis peut ensuite, générer des paires électrons-trou par effet photoélectrique dans le substrat et donc du courant de substrat.

Contrairement au phénomène d'ionisation par impact où le phénomène de génération de charge est localisé (longueur d'ionisation et longueur de diffusion), la zone d'impact de ce phénomène n'est absolument pas maîtrisée puisqu'elle dépend de la longueur d'onde du photon émis et de sa trajectoire (rôle des couches superficielles des technologies CMOS). Ce phénomène, est souvent négligé dans l'étude du bruit de substrat.

L'importance relative de ces phénomènes d'injection a évolué avec l'essor des technologies de fabrication CMOS. *Puri* avait en effet construit un modèle purement capacitif [1] pour modéliser l'injection de courant dans le substrat par les noeuds commutant des circuits d'entrée/sortie, des circuits numériques et des arbres d'horloge.

Les phénomènes d'ionisation par impact et mécanismes annexes sont souvent négligés dans l'étude du couplage substrat devant l'importance des phénomènes transitoires d'injection capacitive et ohmique.

Il a en effet été montré que les valeurs moyennes des courants induits par couplage capacitif sont d'un ordre de grandeur supérieur à ceux créés par l'ionisation par impact dans le cas d'un simple inverseur chargé polarisé par des lignes d'alimentation idéales [4]. Alors que les courants induits par ionisation par impact sont toujours positifs, les courants induits par couplage capacitif sont positifs ou négatifs selon la transition de tension vue sur le noeud d'injection. Le rapport d'amplitude des valeurs transitoires de ces courants dépasse donc un ordre de grandeur.

Le couplage capacitif est d'autant plus dominant que les temps de transition des signaux sont faibles. Or, la tendance suivie par la réduction des dimensions en technologies CMOS tend à diminuer ces temps de transition. De plus, le courant d'ionisation par impact diminue de manière exponentielle avec la tension d'alimentation et pourra donc être négligé devant l'effet du couplage capacitif ou ohmique pour les technologies à venir [6].

Il a été montré que le couplage ohmique du bruit d'alimentation au substrat est le phénomène d'injection de bruit prédominant [7], [8], [9], [10]. Ceci s'explique par le comportement fortement inductif des interconnexions métalliques utilisées pour la mise en boîtier des circuits. *Van Heijningen et*

al. montrent par exemple que le bruit d'alimentation devient dominant pour des valeurs d'inductances parasites des rails d'alimentation proches de 2nH [11]. Alors que les technologies de boîtiers à fils de *bonding* présentent des inductances minimales de 2nH, les contacts des technologies de type BGA (flip-chip) ont des inductances parasites de l'ordre de 30pH. Cependant le routage interne du boîtier a aussi un comportement fortement inductif et il en est de même pour les pistes des circuits imprimés.

Ainsi, si l'on considère l'environnement global d'interconnexion d'un circuit intégré, la valeur critique de 2nH est souvent dépassée.

Des phénomènes cumulatifs relatifs aux appels de courants respectifs de l'ensemble des circuits numériques sur les mêmes rails d'alimentation accroissent l'importance relative du bruit d'alimentation pour les circuits complexes. Les noeuds d'injection du bruit d'alimentation apportent de plus à ce phénomène une répartition géométrique étendue alors que le couplage capacitif est un phénomène très localisé pouvant présenter des effets de compensations intrinsèque à l'architecture du circuit.

Le bruit d'alimentation est généré par les multiples appels de courant de chaque cellule standard. Ces courants, délivrés soit par l'alimentation extérieure au circuit, soit par phénomène de découplage localisé, circulent et se cumulent sur l'ensemble des rails d'alimentation du circuit. Les variations de potentiel d'alimentation en résultant vont donc se propager de manière synchrone sur la surface de la puce occupée par les contacts substrats de toutes les cellules standards même si celles-ci ne sont pas actives à cet instant. L'impédance globale vue depuis la broche d'alimentation du circuit au substrat est donc implicitement faible, aggravant ainsi le couplage du bruit d'alimentation au substrat.

De plus, la présence de capacités dans le réseau d'alimentation, en parallèle des inductances parasites des interconnexions, créent des réseaux résonnants qui amplifient, chacun au voisinage de sa fréquence de résonance, du réseau le bruit d'alimentation.

Dans le cas du couplage capacitif, seuls les noeuds commutant injectent du courant dans le substrat. Le courant injecté par une jonction en inverse peut soit se propager dans le substrat, soit être capté par le contact substrat local de la cellule numérique ou une jonction inverse voisine subissant une variation de potentiel de polarité opposée. De plus *Badaroglu et al.* ont montré que les évolutions technologiques suivies selon l'ITRS vont augmenter l'importance du couplage de bruit d'alimentation au substrat rendant les autres phénomènes négligeables [6] en considérant l'évolution des paramètres suivants :

- réduction de la tension de saturation des transistors ;
- réduction de la capacité de jonction par unité de surface ;

- augmentation du dopage des caissons P des transistors NMOS ;
- augmentation de la densité de courant d'alimentation par unité de surface ;
- augmentation moindre du nombre de circuits d'entrées sorties disponibles ;
- augmentation de l'inductance des interconnexions pour la mise en boîtier des circuits ;
- diminution des temps de transition ;

2.1.2 Mécanismes de propagation du bruit dans le substrat

Pour des niveaux de dopage moyen ($10^{15} \text{ At} \cdot \text{cm}^{-3}$) le substrat silicium peut-être considéré comme purement résistif pour des perturbations de fréquences inférieures à 10 GHz.

Au-delà, la permittivité diélectrique du silicium qui confère au substrat un comportement capacitif, doit être prise en compte.

L'effet de peau peut enfin intervenir dans l'étude du couplage substrat pour des signaux de très haute fréquence (fréquences supérieures à 100 GHz pour un dopage substrat de $10^{15} \text{ At} \cdot \text{cm}^{-3}$). La complexité des profils de dopage des substrats utilisés en technologies CMOS rend difficile l'évaluation des impédances au sein du substrat.

Nous présentons dans ce paragraphe les éléments phénoménologiques permettant de comprendre les chemins de propagation dans les deux technologies de substrat aujourd'hui utilisées par l'industrie microélectronique : les substrats faiblement dopés ou résistif (en anglais substrat *bulk*) et les substrats épitaxiés sur substrat conducteur.

Les premiers éléments de réponse qui constituent encore aujourd'hui la base de compréhension des phénomènes de propagation de perturbations dans le substrat ont été apportés en 1993 par *D.K. Su et al.* [12].

2.1.2.1 Les substrats résistifs

Les substrats peu dopés ont classiquement un dopage sous la zone active proche de $10^{15} \text{ At} \cdot \text{cm}^{-3}$ (Fig. 2.3 (a)). Pour des contraintes d'isolations électriques entre transistors adjacents des zones iso types de dopage supérieur au substrat local sont implantées à la surface du substrat sous l'oxyde de champ (zone de *field-implant* ou *p-channel stop*).

Dans ce type de substrat, les chemins de courant entre noeuds bruyants et sensibles sont assez uniformes dans toute l'épaisseur du substrat et se

concentrent en surface via les chemins moins résistifs créés par les zones de p-channel stop (Fig. 2.3).

L'uniformité du dopage de ces technologies de substrat rend, contrairement aux substrats épitaxiés, le phénomène de couplage substrat dépendant de la distance entre les noeud d'injection et de réception.

Il a été en effet montré que le bruit couplé diminue linéairement avec la distance [13].

Un placement routage pertinent, à l'image de ceux préconisés pour les circuits imprimés, consiste à éloigner les blocs numériques des blocs analogiques pour cette technologie de substrat.

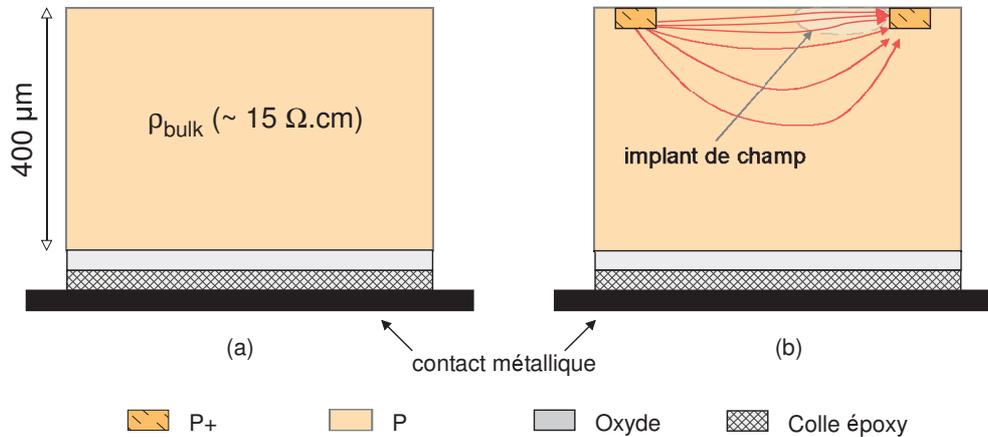


Fig. 2.3: Les substrats résistifs : structure (a) et chemins de courant (b)

2.1.2.2 Les substrats épitaxiés sur substrat conducteur

Dans cette technologie, une couche de silicium faiblement dopée (10^{14} à 10^{15} At. cm^{-3}) d'épaisseur variable est obtenue par croissance (épitaxie) sur un substrat fortement dopé (10^{19} At. cm^{-3}) (Fig. 2.4 (a)).

Pour des distances supérieures à 4 fois l'épaisseur de la zone épitaxiée entre les circuits agresseurs et victimes, il a été montré qu'aucun courant ne circule dans la zone épitaxiée fortement résistive. Le courant traverse verticalement cette zone pour se propager latéralement vers le noeud de réception dans la profondeur du substrat conducteur. Pour des distances de séparation inférieures, autant de courant passe par les deux zones.

L'aspect globalement moins résistif de cette technologie la rend plus susceptible au couplage de bruit par le substrat.

La présence de la zone fortement dopée en profondeur rend la propagation des courants de substrat indépendante de la distance, dans la mesure où la condition de séparation énoncée auparavant est vérifiée.

Toute perturbation injectée par un noeud se verra donc transmise sans atténuation au reste du circuit par la zone conductrice qui peut être considérée comme équipotentielle.

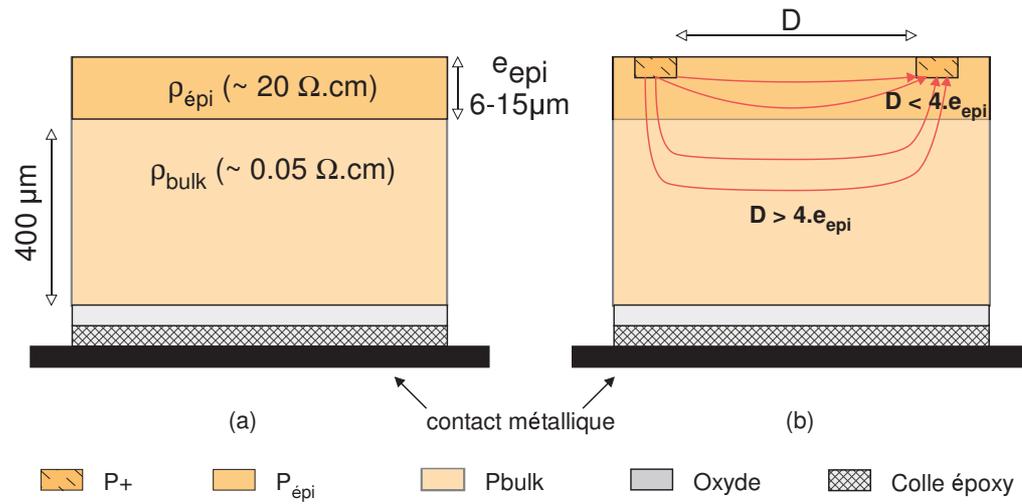


Fig. 2.4: Les substrats épitaxiés : structure (a) et chemins de courant (b)

2.1.2.3 Evolutions technologiques

Les technologies de substrat épitaxiées préférées aux technologies résistives pour faire face aux problèmes de *latchup* et pour la qualité cristalline des substrats, notamment pour les applications d'imagerie, sont aujourd'hui remplacées par des technologies résistives (*bulk*) pour des finesses de gravure inférieures ou égales à 0.18 μm.

Les zones « d'implant de champ » présentes dans les technologies dites LOCOS sont aujourd'hui remplacées par des technologies STI (pour l'anglais *Shallow Trench Isolation*). Ce procédé consiste à isoler les circuits par des tranchées de quelques microns de profondeur creusées dans le silicium et remplies d'oxyde. Cette technique a pour avantages de se dérouler à basse température (diminution des stress pour la structure cristalline), d'améliorer la densité d'intégration des circuits et d'être une structure de garde potentielle pour le couplage substrat.

Enfin la technologie « Silicium sur Isolant » ou SOI (pour l'anglais *Silicon On Insulator*) qui a pour avantages une meilleure densité d'intégration,

l'annulation des phénomènes de *latchup* et la réduction des capacités de jonction semble être très prometteuse en terme de réduction du bruit de substrat.

Elle reste cependant très coûteuse et n'est pas encore commercialisée en tant que technologie standard. Les substrats SOI souffrent de plus d'une faible sensibilité à la lumière, toute charge générée sous l'oxyde ne pouvant être collectées. Cette technologie de substrat n'est donc pas encore envisageable pour la réalisation de capteurs d'image CMOS monolithiques.

2.1.3 Mécanismes de réception

Les courants de substrat dont les origines ont été développées section 2.1.1 induisent de par leur circulation des variations de potentiel locales dans le substrat. La réception du bruit de substrat par les circuits sensibles peut se faire de manière capacitive, ohmique ou par effet substrat.

2.1.3.1 Réceptions capacitive et ohmique

Ces mécanismes sont similaires à ceux décrits pour l'injection de bruit. Les variations locales de potentiel de substrat peuvent injecter des transitoires de courant via les jonction polarisées en inverses des transistors analogiques et ainsi perturber leur fonctionnement.

Dans le cas où les contacts substrats des circuits analogiques sont polarisés par des broches dédiées à un potentiel stable, ils peuvent devenir des chemins de retour ohmiques pour le courant de substrat. L'interaction de ces courants avec le réseau d'interconnexion depuis la puce jusqu'au circuit imprimé modifiera la polarisation des transistors.

2.1.3.2 Effet substrat des transistors

La tension de seuil des transistors MOS est fortement dépendante du potentiel de substrat. Ceci s'explique par le fait que la condition d'inversion de la structure MOS, qui équivaut à un potentiel de surface $\Phi_s = 2\Phi_{fi}$ se trouve modifiée par la présence d'une différence de potentiel entre l'électrode de source et le substrat.

Dans le cas où le potentiel de la source est supérieur au potentiel de substrat (jonction source-substrat polarisée en inverse) les électrons créés dans le canal seront aussitôt évacués par la source sous l'effet du champ électrique de la zone de charge d'espace de la jonction. Dans ce cas le potentiel de surface de la limite du régime d'inversion sera augmenté du potentiel source-substrat ($\Phi_s = 2\Phi_{fi} + V_{SB}$). Cette augmentation du potentiel de

surface traduit l'augmentation du nombre d'électrons dans le canal d'inversion et ainsi l'augmentation du nombre de charges positives sur la grille du transistor nécessaires pour les compenser.

La tension de seuil du transistor augmente donc avec l'amplitude de la tension source substrat. Les variations transitoires de la tension de seuil des transistors analogiques engendrent des modifications de leur état de polarisation (ΔI_{ds} , ΔV_{ds}) qui peuvent amoindrir les performances des circuits.

Cet effet peut être traduit par l'ajout une transconductance source-substrat dans le modèle petit signal des transistors [14] page 17.

La diminution de la tension de seuil des transistors NMOS, lorsque la tension source substrat devient négative, peut engendrer des commutations parasites altérant le fonctionnement des circuits numériques ou placer éventuellement ces transistors dans un état passant permanent même pour de tensions de grille nulles. L'expression de la variation de tension de seuil fonction du potentiel source-substrat est donnée équation 2.1.3.2 ([15], pages 466 et 467).

$$\Delta V_T = \frac{\sqrt{2q\epsilon_s N_A}}{C_{ox}} \left(\sqrt{2\Phi_{fi} + V_{SB}} - \sqrt{2\Phi_{fi}} \right) \quad (2.2)$$

avec :

- q et ϵ_s respectivement la charge de l'électron (eV) et la permittivité diélectrique du matériau semiconducteur (F/cm)
- C_{ox} la capacité d'oxyde de la jonction MOS (F/cm^2)
- Φ_{fi} la différence de potentiel entre le niveau de Fermi intrinsèque et le niveau de Fermi du semiconducteur dopé

Alors que le couplage capacitif peut devenir significatif à partir de quelques mégahertz, l'effet substrat est surtout prédominant en basse fréquence. L'impact de ces divers mécanismes de réception sera donc dépendant de la composition spectrale des perturbations du substrat qui, dans le cas de signaux larges bandes, pourront engendrer le cumul des divers effets et rendre l'analyse complexe.

2.2 Stratégies de modélisation

La modélisation du couplage substrat s'attache à modéliser aussi bien les sources d'injection, le transport et la réception du bruit de substrat. Les modèles développés devant être intégrés dans les simulations fonctionnelles des circuits intégrés complets, ils doivent répondre à un compromis de précision et de simplicité pour être pris en compte par les simulateurs.

2.2.1 Modèles d'émission et de réception du bruit de substrat

Les mécanismes d'émission peuvent être abordés à différents niveaux d'abstraction.

2.2.1.1 L'approche niveau transistor

Les modèles SPICE des transistors aujourd'hui disponibles prennent en compte les divers mécanismes d'émission et de réception annoncés paragraphe 2.1.1, à savoir le couplage capacitif (jonctions des transistors, capacité de grille, diodes diffusées), l'ionisation par impact et l'effet substrat.

De plus, les outils d'extraction pour la rétro-annotation résistive ou capacitive (résistances et capacités d'interconnexions, capacité de caissons NWELL, diodes de protections contre les décharges électrostatiques ou ESD de l'anglais *Electrostatic Discharges*) des circuits placés et routés sont aujourd'hui performants et permettent de compléter la description électrique des circuits, conduisant ainsi à des simulations de plus en plus précises. Il est donc tentant d'utiliser les simulations rétro-annotées pour la modélisation de l'émission du bruit de substrat.

Cependant, les simulations au niveau transistor des circuits numériques complexes ont des temps d'exécution prohibitifs, d'autant plus quand les impédances parasites des interconnexions au niveau du silicium sont prises en compte.

Il est de plus nécessaire de considérer l'ensemble des interconnexions depuis la puce jusqu'au circuit imprimé pour une bonne modélisation des mécanismes d'injection, ce qui alourdit encore les fichiers d'entrée des simulateurs (ou *netlist*).

L'approche complète au niveau transistor est donc inadaptée au cas des circuits complexes mais peut être utile pour la caractérisation ciblée des blocs perturbateurs et victimes identifiés par le concepteur. Elle sera utilisée pour la description des circuits analogiques sensibles.

2.2.1.2 L'approche macro modèle de bas niveau

L'objectif de cette méthode proposée par *Van Hejningen et al.* [16] [17] [18] est de modéliser les cellules standards numériques (coeur numérique et circuits d'entrée sortie) d'une même technologie par un réseau électrique simple constitué par des sources de courants commandées et des impédances parasites incluant un modèle de substrat localisé à l'environnement de la porte logique.

Ces macro modèles élémentaires à trois ports (alimentation positive, référence et port substrat) sont ensuite associés, en parallèle, à leur réseau d'alimentation dont les inductances parasites sont prises en compte. La simulation globale du modèle est menée grâce aux informations de commutation extraites d'une première phase de simulation comportementale enregistrant tous les événements de commutation (nombre et types de commutation et temps correspondant).

Cette technique de modélisation, basée à la fois sur des simulations SPICE précises au niveau transistor, sur l'observation du dessin des masques des cellules standards, sur des outils d'extraction et sur des simulations comportementales de haut niveau, est une des plus efficace qui soit proposée aujourd'hui, que ce soit en terme de précision et de rapidité de simulation.

Elle demande cependant un fort investissement de caractérisation des bibliothèques numériques, à la fois au niveau comportemental (génération du fichier d'évènements de commutation) et au niveau transistor. En effet, diverses plages de temps de transition et différentes configurations de charge doivent être considérées pour rendre le modèle cohérent.

De plus les impédances parasites des interconnexions entre cellules sont négligées et la mise en parallèle des capacités des caissons WELL, imposée par le modèle, n'est pas vérifiée : les caissons des cellules adjacentes ayant en général une surface de recouvrement non négligeable.

De plus, la modélisation des sources de bruit sous la forme de sources de courant idéales néglige l'impact des variations des tensions d'alimentation sur le bruit injecté.

Certains points remarquables émanant de ces divers travaux sont à noter :

- toutes les commutations des portes logiques sont à considérer, même celles n'entraînant pas un changement d'état de leur sortie ;
- l'augmentation de la charge d'une porte ou celle des temps de transition des signaux en entrée diminue l'amplitude et augmente la largeur de l'impulsion de courant transmise au substrat ;
- le bruit de substrat injecté provient principalement des commutations simultanées des cellules du coeur logique et des circuits d'entrée sortie (les *pads* d'alimentation doivent aussi être modélisés) ;
- il est nécessaire de compartimenter le circuit en sous blocs suivant leur domaine d'horloge et leur alimentation ;
- les impédances parasites des interconnexions d'alimentation (fils de *bonding*, boîtier, circuit imprimé) induisent des fréquences de résonance provoquant une augmentation du bruit de substrat de quelques dizaines de dB

Des macro modèles à l'échelle des cellules numériques basés sur des interrupteurs idéaux chargés par leur résistance à l'état passant et des capacités ont été proposés [19]. Ils ont pour avantage la prise en compte de l'effet de charge des réseaux d'alimentation mais leur élaboration est essentiellement manuelle contrairement au modèle « source de courant » extrait par de simulations SPICE.

Récemment, un méthode automatisée (ADAMIN) basée sur des simulations transitoires au niveau transistor des cellules numériques et l'extraction des formes d'onde du courant en tout point du réseau d'alimentation du bloc simulé, a été développée et validée sur différents circuits de test [20]. Les expressions analytiques des formes d'onde obtenues pour un jeu complet de vecteurs de test, de temps de transition et de charge sont traitées algorithmiquement linéarisées et réduites jusqu'à l'obtention du macromodèle. L'aspect purement automatique de cette méthode est séduisant mais il nécessite l'utilisation et la maîtrise de simulateurs dont des informations internes, généralement transparentes à l'utilisateur, doivent être exploitées.

2.2.1.3 L'approche macro modèle de haut niveau

Une analyse préliminaire du circuit à modéliser peut permettre d'élaborer un modèle par bloc et non plus au niveau des cellules unitaires. Ce type de modélisation a pour principaux avantages de n'être attaché à aucune librairie technologique et de ne pas cumuler les erreurs comme les modèles de bas niveau.

Une méthodologie de modélisation comportementale basée sur les probabilités de commutation dans un circuit numérique complet a été proposée par *Nagata et al.* [21]. Elle néglige cependant le couplage ohmique du bruit d'alimentation par le substrat et ne considère que l'injection capacitive. La fonction de probabilité proposée repose sur la détermination empirique de coefficients de pondération ce qui rend son exploitation non immédiate. Une source de bruit, basée sur cette fonction probabiliste est ensuite implémentée en VHDL-AMS et a pour entrée les événements de commutation générés lors d'une simulation comportementale *Vérilog*.

L'approche ICEM (pour l'anlais *Integrated Circuit Emission Model*) plus pragmatique et plus ouverte, proposée comme standard à l'IEC, repose sur la macro modélisation des circuits numériques par deux sous modèles dénommés « Internal Activity » et « Passive Distribution Network » (Fig. 2.5).

Le premier sous modèle décrit l'activité de commutation interne du circuit en termes de courants absorbés. Le deuxième décrit le réseau d'impédances parasites des rails d'alimentation du circuit, depuis le silicium

jusqu'au circuit imprimé. Le modèle ICEM est principalement utilisé pour

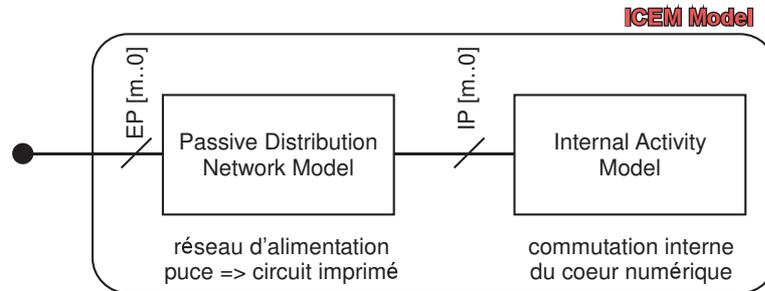


Fig. 2.5: Architecture de base du modèle ICEM

modéliser le bruit conduit ou rayonné par les circuits intégrés [22] mais il s'applique aussi à leur caractérisation (standards de mesure [23], [24]) et à la prédiction de leurs niveaux d'émissions conduites ou rayonnées.

Sa structure sous forme de blocs connectés par des ports internes (IP) et externes (EP), est tout à fait adaptée à des langages de description comportementaux analogiques comme VHDL-AMS [25]. L'extension du modèle ICEM pour la simulation du couplage de bruit par le substrat a, de plus, été proposée et validée par *Valorge et al* [26].

2.2.2 Modélisation électrique du substrat

La modélisation électrique du substrat peut aussi se faire sur divers niveaux d'abstraction en fonction des informations technologiques connues et maîtrisées, du type de résultat souhaité et de la taille du circuit à simuler.

2.2.2.1 L'approche par différences finies

Elle consiste à discrétiser le substrat en éléments de volume, de dopage uniforme, dont on cherche à déterminer le potentiel en résolvant l'équation de Poisson et les équations de continuité dans le semiconducteur. La prise en compte de ces trois équations conduit à la résolution de la loi d'ohm généralisée en chaque point du réseau maillé en négligeant le courant de diffusion devant les courants de conduction.

La résolution de 2.3 par méthode des différences finies conduit à l'obtention d'un réseau maillé de résistances et de capacités.

$$\epsilon \frac{\delta}{\delta t} (\nabla \cdot E) + \frac{1}{\rho} \nabla \cdot E \quad (2.3)$$

Ce type de simulation apporte une vision phénoménologique des mécanismes de couplage mais il est totalement inadapté au cas des circuits intégrés de grande dimension.

Un grand nombre de méthodes numériques de réduction des dimensions des matrices d'impédance ou d'admittance obtenues par résolution de l'équation 2.3 ont été proposées pour le développement d'outils d'extractions optimisés [13] pages 51 à 60, [14] pages 21 à 28 [27].

2.2.2.2 L'approche par éléments finis

Elle consiste à définir le substrat comme un empilement en trois dimensions de couches diélectriques de résistivité uniforme et à résoudre par les fonctions de Green les équations de continuité et l'équation de Poisson dans chaque couche diélectrique.

Après avoir défini les ports substrat, c'est à dire les zones du substrat à connecter au monde extérieur, on obtient, par intégration des fonctions de Green sur la surface du port, les valeurs des potentiels électriques de surface qui permettent de remonter aux valeurs de résistances et de capacité entre deux ports [28], [29].

La formulation de la fonction de Green peut s'avérer complexe suivant la topologie du substrat et entraîner des problèmes de convergence lors du calcul de l'intégrale double.

De plus, à cause de l'approximation de dopage uniforme dans chaque couche, cette méthode ne permet pas de prendre en compte les profils de dopage complexes des zones actives (caissons P, *P-channel stop* et caissons N).

2.2.2.3 les formulations empiriques

La modélisation électrique du substrat nécessite d'identifier en premier lieu les ports substrats mis en jeu dans le circuit (émission et réception) et à cibler les chemins de courants prépondérants suivant le type de substrat utilisé.

L'approximation purement résistive est tout à fait légitime dans bon nombre d'applications (Cf. 2.1.2), elle permet de simplifier la description électrique du substrat.

De plus l'évaluation, à l'aide d'outils d'extraction standards des vues placées/routées des circuits, des principales capacités (interconnexions, caissons N, diodes de protection ESD) permet de décrire en première approximation le substrat.

De nombreuses formulations empiriques pour le calcul des résistances du substrat entre deux contacts ohmiques sont proposées dans la littérature [30], [31], [32], [12] pour les deux technologies de substrat. Cependant elles sont extrêmement dépendantes de la géométrie des contacts et de la topologie du circuit, c'est à dire du type de profil de dopage séparant les contacts.

De plus, dans le cas des circuits complets, des blocs de contacts substrat ou des anneaux de garde sont le plus souvent à considérer ce qui change considérablement la propagation du courant.

Dans le cas où aucune information technologique relative au substrat n'est disponible, les impédances du substrat peuvent être extraites expérimentalement (mesures statiques ou paramètres S) et le modèle électrique équivalent se limite à des réseaux en π en deux dimensions entre contacts adjacents [33], [7], [34], [9], [35].

2.2.3 Les outils commerciaux pour l'étude du bruit de substrat

Les deux principaux environnements de travail pour la simulation de procédés de fabrication, définition de structure en trois dimensions et simulations électriques utilisant la méthode des différences finies sont les outils de la suite *Devedit* et *Atlas* de chez SILVACO et *Taurus-Medici* de chez SYNOPSIS. Leur mise en oeuvre pour des structures en trois dimensions reste complexe.

Des solveurs de champ électromagnétiques (*Comsol Femlab*, *Ansoft HFSS* et *Q3D*, *CST microwave studio*) sont aussi utilisables dans l'approximation quasi statique pour l'extraction des impédances du substrat par résolution des équations de Maxwell. La difficulté de mise en oeuvre de ces outils réside essentiellement dans la technique du maillage de la structure étudiée et du choix des algorithmes de résolution.

L'outil de référence adapté aux simulations électriques de circuits complets est sous licence CADENCE et s'appelle *Substrate Noise Analyst*. Il est issu des travaux de *Clement et al.* [36] et permet à la fois de générer, à partir du dessin des masques de fabrication d'un circuit, une *netlist* (résistances et capacités) du substrat entre les ports définis au préalable et d'obtenir une cartographie en deux dimensions du potentiel de substrat en surface.

La modélisation électrique des interconnexions se heurte aux mêmes problèmes que la modélisation de substrat, à savoir un bon compromis entre la précision et le temps de simulation.

Des outils comme *Femlab*, *HFSS*, *Q3D*, *microwave studio*, *Agilent Momentum* permettent d'extraire, sous condition de bonne maîtrise de l'outil, avec des temps d'extraction conséquent, des réseaux d'impédances (R,L,C) des interconnexions métalliques.

L'environnement de modélisation et d'extraction gratuit *FastModel* comprenant les outils *FastHenry* et *FastCap* est particulièrement adapté à l'extraction respective des inductances propres et mutuelles et des capacités mutuelles et à la masse de structures géométriques.

Cet outil, de prise en main simple et rapide donne des résultats précis et consistant, vis-à-vis des outils précédemment cités, avec un temps d'extraction très rapide [26]. La description des structures géométriques sous forme de fichiers texte peut être automatisée via n'importe quel langage de programmation pour faciliter la mise en oeuvre de l'outil.

2.3 Techniques de garde pour la réduction du bruit de substrat

La stratégie de garde pour réduire le couplage substrat dans un circuit doit être menée conjointement au niveau de la source de bruit, du transport des perturbations et des circuits sensibles [37].

2.3.1 Réduction des phénomènes d'injection

La réduction des mécanismes d'injection passe par la diminution des sauts de tension ou de courant générés par les circuits numériques.

Une première solution est l'utilisation de cellules numériques à commutation de courant qui réduisent les sauts de tension internes et ainsi diminuent les appels de courant sur leurs rails d'alimentation [38], [39] au détriment d'une consommation statique importante. Ce type de cellule n'est cependant pas disponible en standard dans toutes les technologies et demande donc un effort de conception supplémentaire.

La diminution des sauts de tension provoqués par les circuits numériques peut aussi être obtenue en diminuant les tensions d'alimentation, au prix, il est vrai, d'une réduction de la vitesse.

Une solution simple pour éviter le couplage du bruit d'alimentation au substrat consiste à polariser les contacts substrats des portes logiques par des rails d'alimentation dédiés. Cette solution expérimentée par [9] montre une atténuation de 6dB du bruit injecté dans le substrat. Elle nécessite un effort de conception et l'assignations de *pads* d'entrée/sortie supplémentaires.

Des techniques de conception basées sur l'optimisation des arbres d'horloge [40] ou les circuits asynchrones [41] montrent aussi de bonnes performances en terme d'émission de bruit par la réduction du phénomène de commutations simultanées.

2.3.2 Réduction de la propagation par le substrat

Des solutions relatives au procédé de fabrication du substrat sont disponibles pour réduire la propagation des courants de substrat (Fig. 2.6).

Les substrats SOI (Fig. 2.6 (e)) apportent par exemple une bonne isolation jusqu'à des fréquences de quelques gigahertz à partir desquelles le couplage substrat capacitif devient non négligeable.

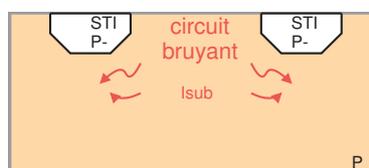
Les technologie STI (Fig. 2.6 (a)) peuvent aussi être utilisées pour dérouter les courants de surface depuis les circuits agresseurs jusqu'aux circuits victimes, cependant elle ne permet pas d'évacuer ces courants.

Basés sur la même idée, des anneaux de garde P- (Fig. 2.6 (a)) ne nécessitant pas de polarisation ont été proposés [34]. Les anneaux de gardes ohmiques ou capacitifs [42] sont de bonnes solutions pour évacuer les perturbations respectivement de basse et haute fréquence (Fig. 2.6 (b) et (c)). Leur efficacité est cependant dépendante de la qualité des interconnexions les polarisant [13] et de la source de polarisation elle même qui doit être spécialement dédiée à ces anneaux [43].

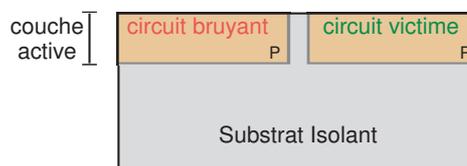
Des étapes de post-traitement chimiques des circuits visant à améliorer la qualité de leur contact face arrière au boîtier sont aussi efficaces pour les substrats épitaxiés si les interconnexions du boîtier polarisant leur face arrière sont optimisées [26]. L'application de cette technique pour les technologies résistives nécessite un amincissement du substrat pour être efficace [13], l'accès au contact face arrière via l'épaisseur du substrat constituant un chemin trop résistif.

Les procédés de fabrication submicroniques proposent des technologies de triple caisson (*triple-well*) ou de couche enterrée (*burried layer*) fournissant des niveaux d'isolation élevés jusqu'à quelques gigahertz (Fig. 2.6 (f) et (g)).

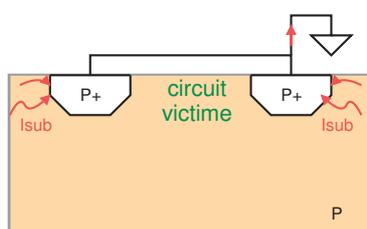
Des procédés technologiques non standards ont aussi été proposés pour améliorer l'atténuation du couplage de bruit dans le substrat à des fréquences supérieures pour les circuits radio fréquence comme les poches N+ sur substrat P [44], les contacts substrats traversant (*through wafer interconnect*) [45] (Fig. 2.6 (h)) ou les cages de Faraday sur substrats SOI [46].



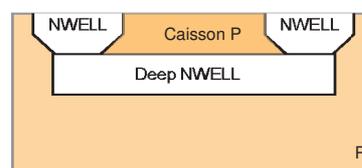
(a) Anneaux P- et isolation STI



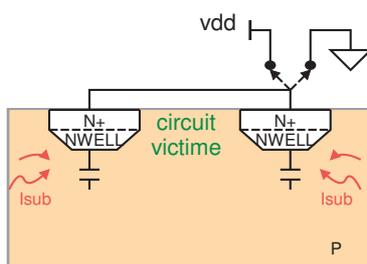
(e) Substrat SOI



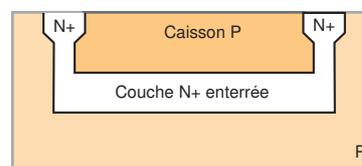
(b) Anneaux P+



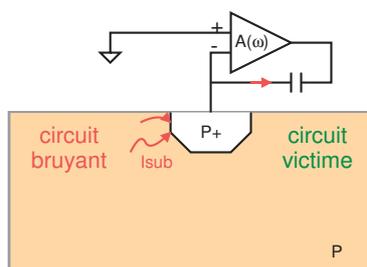
(f) Caisson Nwell "en profondeur" (Triple Well)



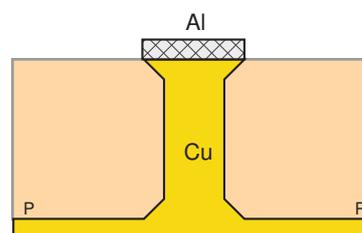
(c) Anneaux N+, NWELL



(g) Poche isolée à couche N+ enterrée (N+ buried layer)



(d) Anneaux P+ actif



(h) Contact substrat traversant

Fig. 2.6: Les techniques de garde concernant la propagation du bruit dans le substrat

Des solutions de garde actives comme les anneaux de garde actifs [47] ou l'injection de perturbations déphasées dans le substrat [48] ont aussi été proposées pour atténuer la propagation du bruit (Fig. 2.6 (d)).

L'ajout d'un circuit actif à un anneau de garde ohmique a pour effet d'atténuer d'autant plus le bruit que le gain de l'amplificateur est important. La limitation de fréquence de cette technique de garde est imposée par la bande passante de l'amplificateur. Des efforts de conception sont à apporter à l'amplificateur qui doit avoir une bonne immunité au bruit de substrat et des tensions de polarisations dédiées stables.

L'approche d'injection de bruit déphasé est complexe à mettre en oeuvre et n'apporte que peu d'atténuation. Elle repose à la fois sur un système de détection très large bande des transitoires de courant de substrat et un circuit d'injection bruit déphasé correctement dimensionné.

2.3.3 Immunité des circuits analogiques

Les circuits analogiques sensibles sont souvent intégrés dans des caissons de protection. Le bruit de substrat induisant majoritairement des perturbations de mode commun et de tensions d'alimentation aux circuits analogiques, il est conseillé d'adopter des architectures différentielles à fort taux de réjection de mode commun et de bruit d'alimentation [49].

2.4 Cadre d'étude pour les capteurs d'image

Comme nous l'avons vu au chapitre 1, page 23, les capteurs d'image CMOS sont constitués de zones photosensibles pour la conversion photon-électron, de circuits analogiques d'amplification et de circuits numériques d'accès, de commande, voire de traitement du signal.

On voit figure 2.7 que le bruit de substrat peut être injecté soit par les circuits logiques internes au pixel ou se trouvant à la périphérie de la matrice photosensible (décodeurs lignes et colonnes, séquenceurs). Leur fonctionnement induit des variations de potentiels de substrat pouvant affecter à la fois la matrice de pixels et les circuits de lecture associés. Les mécanismes de réception potentiels sont :

- réception capacitive par la jonction équivalente de la photodiode, ou modification de son profil de potentiel durant l'intégration ;
- réception capacitive par les jonctions des transistors sources de courant polarisant les suiveurs intra-pixel NMOS et de sortie PMOS ;
- effet substrat sur les transistors source commune des suiveurs NMOS et PMOS ;

Cette page est laissée blanche intentionnellement

Bibliographie

- [1] Y. PURI, « Substrate voltage bounce in nmos self-biased substrates », *IEEE J. Solid-State Circuits*, vol. 13, 1978.
- [2] J.R.BREWS, *The submicron MOSFET, High Speed Semiconductor Devices* . Wiley, second éd., 1990.
- [3] S. MAËSTRE, *Etude de courants parasites dans les imageurs CMOS à pixels actifs et de leurs effets induits*. Thèse doctorat, SUPAERO, 2003.
- [4] J. BRIAIRE et K. KRISCH, « Principles of substrate crosstalk generation in CMOS circuits », *IEEE Transactions on Computer-aided design of integrated circuits and systems*, vol. 19, 2000.
- [5] T. CHAN, P. KO et C. HU, « The impact of gate-induced drain leakage current in mosfet scaling », in *IEDM Tech. Dig.*, p. 718–721, 1997.
- [6] M.BADAROGLU, P. WAMBACQ, G. V. D. PLAS, S. DONNAY, G. GIELEN et H. D. MAN, « Impact of technology scaling on substrate noise generation mechanisms », *IEEE 2004 custom integrated circuit conference*, Jun. 2004.
- [7] C. SOENS, G. PLAS, M. BADAROGLU, P. WAMBACQ, S. DONNAY, Y. ROLAIN et M. KUIJK, « Modeling of substrate noise generation, isolation and impact for an lc-vco and a digital modem on a lightly-doped substrate », *IEEE J. Solid-State Circuits*, vol. 41, 2006.
- [8] M. FELDER et J. GANGER, « Analysis of ground-bounce induced substrate noise coupling in a low resistive bulk epitaxial process : design strategies to minimize noise effects on a mixed-signal chip », *IEEE transactions on circuits and systems II : analog and digital signal processing*, vol. 46, 1999.

-
- [9] B. OWENS, P. BIRRER, S. ADLLURI, R. SHREEVE, S. ARUNACHALAM, H. HABAL, S. HSU, K. MAYARAM et T. FIEZ, « Strategies for simulation, measurement and suppression of digital noise in mixed-signal circuits », in *IEEE custom integrated circuits conference*, p. 361–364, 2003.
- [10] G. BLAKIEWICZ et M. CHRZANOWSKA-JESKE, « Modeling of substrate noise block properties for early prediction », *IEEE International Symposium on Circuits and Systems*, vol. 46, p. 3015–3016, 2005.
- [11] M. HEIJNINGEN, J. COMPIET, P. WAMBACQ, S. DONNAY, M. ENGELS et I. BOLSENS, « Analysis and experimental verification of digital substrate noise generation for epi-type substrates », *IEEE J. Solid-State Circuits*, vol. 35, 2000.
- [12] D. SU, M. LOINAZ, S. MASUI et B. WOOLEY, « Experimental results and modeling techniques for substrate noise in mixed-signal integrated circuits », *IEEE J. Solid-State Circuits*, vol. 28, p. 420 – 430, 1993.
- [13] X. ARAGONÈS, J. L. GONZÀLEZ et A. RUBIO, *Analysis and solutions for switching noise coupling in mixed signal ICs*. Kluwer academic publishers, 1999.
- [14] E. CHARBON, R. GHARPUREY, P. MILIOZZI, R. G. MEYER et A. SANGIOVANNI-VINCENTELLI, *Substrate Noise, Analysis and optimization for IC design*. Kluwer academic publishers, 2001.
- [15] D. NEAMEN, *Semiconductor physics and devices, basic principles*. Irwin, second éd., 1997.
- [16] M. BADAROGLU, M. V. HEIJNINGEN, V. GRAVOT, S. DONNAY, H. J. D. MAN, G. G. E. GIELEN, M. ENGELS et I. BOLSENS, « High level simulation of substrate noise generation from large digital circuits with multiple supplies », in *IEEE DATE*, p. 326–330, 2001.
- [17] M. V. HEIJNINGEN, M. S. DONNAY, M. ENGELS et I. BOLSENS, « High level simulation of substrate noise generation including power supply noise coupling », in *IEEE Design and Automation Conference (DAC)*, p. 446–451, 2000.
- [18] M. V. HEIJNINGEN, M. BADAROGLU, S. DONNAY, G. G. E. GIELEN et H. J. D. MAN, « Substrate noise generation in complex digital systems : efficient modeling and simulation methodology and experimental verification », *IEEE J. Solid-State Circuits*, vol. 37, Aug. 2002.

-
- [19] H. H. CHEN et D. D. LING, « Power supply noise analyses methodology for deep-submicron vlsi design », in *IEEE Design and Automation Conference (DAC)*, p. 638–643, 1997.
- [20] Z. WAND, R. MURGAI et J. ROYCHOWDHURY, « Adamin : Automated, accurate macromodeling of digital aggressors for power and ground supply noise prediction », *IEEE Transaction on Computer Aided Design of Integrated Circuit and Systems*, vol. 24, 2005.
- [21] M. NAGATA et A. IWATA, « Substrate noise simulation technique for analog-digital mixed lsi design », *IEICE Transaction Fundamentals*, vol. E82-A, p. 271–278, 1999.
- [22] B. VRIGNON, S. D. BENDHIA, E. LAMOUREUX et E. SICARD, « Characterization and modeling of parasitic emission in deep submicron CMOS », *IEEE transactions on electromagnetic compatibility*, vol. 47, May. 2005.
- [23] IEC : INTERNATIONAL ELECTROTECHNICAL COMMISSION, « Integrated circuits - Measurement of electromagnetic emissions, 150KHz à 1GHz - part4 : Measurement of conducted emissions, $1\Omega/150\Omega$ direct coupling method », Apr. 2002.
- [24] IEC : INTERNATIONAL ELECTROTECHNICAL COMMISSION, « Integrated circuits - Measurement of electromagnetic emissions, 150KHz to 1GHz - part2 : Measurement of radiated emissions, TEM-cell method », Jan. 2004.
- [25] R. PERDRIAUX, *Méthodologie de prédiction des niveaux d'émission conduite dans les circuits intégrés, à l'aide de VHDL-AMS*. Thèse doctorat, Université Catholique de Louvain, 2004.
- [26] O. VALORGE, « Bruit d'alimentation et couplage par le substrat dans les circuits mixtes », *Manuscrit de thèse*, p. 33–34, 2006.
- [27] Y. MURASAKA, M. NAGATA, T. OHMOTO, T. MORIE et A. IWATA, « Chip-level substrate noise analysis with network reduction by fundamental matrix computation », in *International Symposium on Quality Electronic Design*, p. 482–487, 2001.
- [28] R. GHARPUREY, *Modeling and analysis of substrate coupling in Integrated Circuits*. Thèse doctorat, Berkeley, University of California, 1992.

-
- [29] J. P. COSTA, M. CHOU et L. M. SILVEIRA, « Efficient techniques for accurate modeling and simulation of substrate coupling in mixed signal ic's », in *IEEE Transaction on Computer-Aided Design of Integrated Circuits and Systems*, p. 597–607, 1999.
- [30] A. J. V. GENDEREN, N. P. van der MEJS et T. SMEDES, « Fast computation of substrate resistances in large circuits », in *IEEE European Design and Test Conference*, p. 560–565, 1996.
- [31] L. DEFERM, C. CLAEYS et G. J. DECLERCK, « Two and tree-dimensional calculation of substrate resistance », *IEEE Trans. Electron Devices*, vol. 35, p. 339–352, 1988.
- [32] K. W. TERRILL et C. HU, « Substrate resistance calculation for latchup modeling », *IEEE Trans. Electron Devices*, vol. 31, p. 1152–1155, 1984.
- [33] M. PFOST, H.-M. REIN et T. HOLZWARTH, « Modeling substrate effects in the design of high-speed si-bipolar ic's », *IEEE J. Solid-State Circuits*, vol. 31, 1996.
- [34] T.-L. HSU, Y.-C. CHEN, H.-C. TSENG, V. LIANG et J. S. JAN, « psub guard ring design and modeling for the purpose of substrate noise isolation in the soc era », *IEEE Electron Device Letters*, vol. 26, p. 693–695, 2005.
- [35] U. BASARAN et M. BERROTH, « An accurate method to determine the substrate network elements and base resistance », in *IEEE BCTM*, p. 93–96, 2003.
- [36] F. J. R. CLEMENT, E. ZYSMAN, M. KAYAL et P. M. DECLERCQ, « Layin : toward a global solution for parasitic coupling modeling and visualization », in *IEEE Custom Integrated Circuit Conference*, p. 537–540, 1994.
- [37] T. TSUKUDA et K. MAKIE-FUKUDA, « Approaches to reducing digital-noise coupling in CMOS mixed-signal lsis », *IEICE Transaction Fundamentals*, vol. E80-A, p. 263–275, 1997.
- [38] D. J. ALLSTOT, G. LIANG et H. C. YANG, « Current-mode logic techniques for CMOS mixed-mode asic's », in *IEEE Custom Integrated Circuit Conference*, 1991.

-
- [39] O. MASLENNIKOW, P. PAWLOWSKI, P. SOLTAN et R. BEREZOWSKI, « Current-mode digital gates and circuits : Conception, design and verification », in *IEEE Conference on electronics, circuits and systems*, vol. 2, 2002.
- [40] M. BADAROGLU, K. TIRI, S. DONNAY, P. WAMBACQ, I. VERBAUWHEDE, G. GIELEN et H. D. MAN, « Clock tree optimization in synchronous CMOS digital circuits for substrate noise reduction using folding of supply current transients », in *IEEE Design and Automation Conference (DAC)*, p. 399–404, 2002.
- [41] G. F. BOUESSE, G. SICARD, A. BAIXAS et M. RENAUDIN, « Quasi delay insensitive asynchronous circuits for low emi », in *International Workshop on Electromagnetic Compatibility of Integrated Circuits (EMC Compo 04)*, p. 27–31, 2004.
- [42] L. FORBES, B. FICQ et S. SAVAGE, « Resonant forward-biased guard ring diodes for suppression of substrate noise in mixed-mode CMOS circuits », *IEEE electronic letters*, vol. 31, p. 720–721, 1995.
- [43] J. P. Z. LEE, F. WANG, A. PHANSE et L. C. SMITH, « Substrate crosstalk noise characterization and prevention in 0.35 μ m CMOS technology », in *IEEE Custom Integrated Circuit Conference*, p. 479–482, 1999.
- [44] T.-S. CHEN, C.-Y. LEE et C.-H. KAO, « An efficient noise isolation technique for soc application », *IEEE Trans. Electron Devices*, vol. 51, p. 255–260, 2004.
- [45] J. H. WU, J. SCHOLVIN et J. A. del ALAMO, « A through-wafer interconnect in silicon for rfics », *IEEE Trans. Electron Devices*, vol. 51, p. 1765–1771, 2004.
- [46] S. STEFANOU, J. S. HAMEL, P. BAINE, B. M. ARMSTRONG, H. S. GAMBLE, M. KRAFT et H. A. KEMHADJIAN, « Ultralow silicon substrate noise crosstalk using metal faraday cages in an soi technology », *IEEE Trans. Electron Devices*, vol. 51, p. 486–491, 2004.
- [47] T. TSUKUDA, Y. HASHIMOTO, K. SAKATA, H. OKADA et K. ISHIBASHI, « An on-chip active decoupling circuit to suppress crosstalk in deep-submicron CMOS mixed-signal socs », *IEEE J. Solid-State Circuits*, vol. 40, p. 67–79, 2005.

- [48] K. A. T. NAKURA, M. Ikeda, « Feedforward active substrate noise cancelling technique using power supply di/dt detector », *in Symposium on VLSI Circuits Digest of Technical Papers*, p. 284–287, 2005.
- [49] J. J. CHANG, M. LEE, S. JUNG, M. A. BROOKE, N. M. JOKERST et D. S. WILLS, « Fully differential current input CMOS amplifier front-end suppressing mixed signal substrate noise for optoelectronic applications », *in Proceedings of the 1999 IEEE International Symposium on Circuits and Systems*, p. 327–330, 1999.

Chapitre 3

Analyse et modélisation du couplage de bruit par le substrat au niveau du photodétecteur

Nous avons choisi dans un premier temps d'analyser l'impact du couplage de bruit par le substrat sur le processus de photo détection à la base de la création du signal utile pour les capteurs d'image. La démarche expérimentale suivie pour mettre en évidence le couplage de bruit par le substrat est d'abord présentée. Les analyses à la fois quantitatives et qualitatives du couplage de bruit par le substrat au niveau de photodiodes isolées sont ensuite menées. Nous abordons enfin la méthodologie de modélisation employée, basée sur le concept ICEM, qui nous a conduit à l'élaboration d'un macro modèle comportemental complet du couplage de bruit par le substrat.

3.1 Mise en évidence du couplage de bruit par le substrat

La mise en évidence du couplage de bruit par le substrat nécessite la conception d'un système de mesure adapté aux mesures très bas niveau assurant un environnement électromagnétique sain depuis la puce sous test jusqu'à l'appareil de mesure. La conception et la mise en œuvre d'un tel système sont présentées dans les paragraphe suivant.

3.1.1 Problématique

3.1.2 Cadre d'étude

Le couplage de bruit par le substrat a déjà été mis en évidence dans le cas de circuits mixtes dont les fréquences de fonctionnement et/ou les consommations de puissance des circuits numériques agresseurs sont élevées (cf. CHAP.2). De nombreuses études basées sur la mesure de paramètres S (principalement du module des coefficients de transmission) cherchent à caractériser la quantité de bruit couplé par le substrat et les performances de structures de garde passives entre des contacts substrats ou autres diffusions isolées. Les expérimentations menées dans le cas réel de circuits mixtes évaluent l'impact de perturbations injectées dans le substrat par des circuits numériques sur les performances de circuits analogiques voisins. Certaines cherchent de plus à retrouver, à l'aide de détecteurs spécifiques, la forme d'onde de la perturbation injectée dans le substrat. Nous avons choisi d'aborder l'étude du bruit de substrat sur le processus de photodétection sous ce dernier angle afin d'apprécier les mécanismes de couplage.

Or, les circuits numériques embarqués dans les capteurs CMOS standards ont souvent des consommations moyennes inférieures à celles des circuits analogiques et des fréquences de fonctionnement ne dépassant que rarement la centaine de Mégahertz. Il est donc nécessaire de considérer l'étude du bruit de substrat dans les domaines de l'électronique de moyenne fréquence et de faible puissance.

3.1.2.1 Démarche expérimentale

La démarche expérimentale suivie, depuis la conception du système de mesure jusqu'à sa mise en oeuvre, pour la mise en évidence du bruit de substrat au niveau d'un photodétecteur doit répondre à plusieurs objectifs :

- être adaptée au cadre d'étude des capteurs d'image ;
- assurer la bonne qualité et la répétabilité des mesures du bruit de substrat ;
- dégager les paramètres critiques relatifs aux mécanismes de couplage et aux techniques de garde.

Les circuits de test réalisés pour cette étude se composent d'un couple agresseur-victime représentatif du fonctionnement des capteurs d'image en terme de fréquence de fonctionnement, de puissance consommée, et de structures photoréceptrices. Ils ont été développés pour obtenir, par mesure en courant, la signature spectrale ou temporelle du bruit couplé par le substrat à la réponse des photodétecteurs seuls.

Des précautions de conception depuis les circuits jusqu'au banc de mesure complet garantissent la qualité des mesures du bruit de substrat en amoindrissant l'impact de perturbations conduites ou rayonnées par les interconnexions, les appareils de mesure ou l'environnement extérieur sur la mesure.

L'effet du bruit de substrat ainsi isolé est de plus mesuré via divers amplificateurs pour s'assurer de la validité de la mesure.

Enfin, l'importance de la technologie de substrat, notamment des procédés de fabrication dédiés aux imageurs CMOS, et l'effet des structures de garde simples sur le couplage substrat sont aussi évalués.

3.1.3 Les véhicules de test

La figure 3.1 décrit le placement et le routage des deux séries de circuits conçus pour notre étude nommés TEST5 et TEST6. La source de bruit de commutation est identique pour les véhicules TEST5 et TEST6 alors que les photodétecteurs sont de types et de dimensions différents (cf. 3.1.3.2, page 86). Ainsi nous pourrions dégager de cette étude des éléments de comparaison entre les types de photodiode ainsi qu'un facteur d'échelle concernant les photodiodes des circuits TEST6. Les deux séries de circuits de test sont fabriquées sur quatre technologies de substrat différentes disponibles chez le fondeur *Austria Microsystem* en finesse de gravure $0.35\mu m$ (AMS $0.35\mu m$), 4 niveaux de métal.

La première est une technologie résistive « bulk » standard, les trois autres sont des technologies épitaxiées optimisées pour les capteurs d'image dont la profondeur de la couche épitaxiée vaut $7\mu m$ (« epi7 »), $10\mu m$ (« epi-10 ») et $14\mu m$ (« epi14 »).

Tous ces circuits sont montés dans des boîtiers céramiques ouverts PGA84. Les boîtiers céramiques de type PLCC et PGA sont en effet majoritairement utilisés pour les circuits imageurs.

3.1.3.1 Le circuit numérique agresseur

Notre source de bruit est un oscillateur en anneau constitué de 601 inverseurs de milieu de gamme de la librairie AMS $0.35\mu m$ en terme de temps caractéristiques et de puissance consommée (Fig.3.2 (a)). L'intérêt de la structure en anneau est qu'elle ne nécessite aucun apport d'excitations extérieures susceptibles de rayonner par les fils de *bonding* et ainsi de parasiter la mesure du couplage de bruit par le substrat.

La fréquence de fonctionnement de l'oscillateur est configurable dans la gamme 1MHz à 10MHz en contrôlant, par les signaux COM1 et COM2, la

charge de chaque étage inverseur et ainsi leur temps de transition (Eq.3.1).

$$F_{osc} = \frac{1}{2 \cdot N \cdot t_d} \quad (3.1)$$

avec N le nombre d'étages de l'oscillateur en anneau et t_d le temps de transition de chaque étage.

Le circuit est réparti en trois lignes de 200 inverseurs (201 pour la dernière) et nous utilisons les capacités parasites de routage des rails de métal connectant le dernier inverseur d'une ligne au premier inverseur de la ligne suivante pour émuler la commutation des « drivers de ligne » souvent utilisés dans les architectures d'APS standards pour la sélection ou le *reset* des pixels d'une ligne (Fig.3.2 (b)). Les fréquences d'oscillation et les consommations moyennes de l'oscillateur sont résumées dans le tableau 3.1. La forme

COM1	COM2	Cload	Fosc	P
1	1	450fF	1.2MHz	5.7mW
1	0	300fF	1.9MHz	6.6mW
0	1	150fF	3.2MHz	5.9mW
0	0	2fF	9.8MHz	4.42mW

Tab. 3.1: Performances de l'oscillateur en anneau

d'onde, obtenue par simulation, du courant consommé à 9.8MHz par l'oscillateur est représentée figure 3.3. On y distingue clairement la contribution des étages inverseurs simples et celle des inverseurs de fin de ligne. Notre source de bruit de substrat est donc représentative de l'activité numérique d'un imageur CMOS standard, intégrant les fonctions de séquençement, de décodage et d'accès, en termes de puissance consommée et de fréquence de fonctionnement.

3.1.3.2 Photodiodes victimes

Les circuits victimes sont des photodiodes de grande dimension. Nous avons choisi de nous concentrer sur des structures isolées de type photodiode, qui sont les photosites les plus employés dans les APS, et notamment les photo diodes NWELL qui présentent un meilleur rendement quantique.

Notre objectif étant d'obtenir une signature du bruit de substrat sur le photocourant de la photodiode seule, il nous était indispensable de pouvoir isoler nos structures photoréceptrices et de les lire en courant afin de s'assurer que le bruit mesuré était celui couplé au photodétecteur seul. La taille des photodiodes a été choisie pour s'assurer qu'à la fois le photocourant

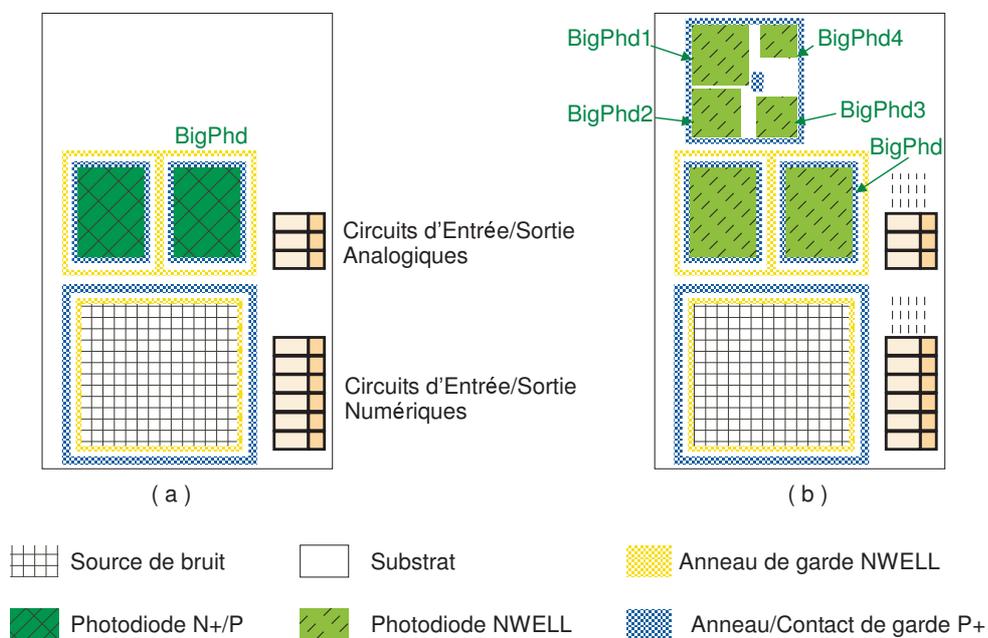


Fig. 3.1: Véhicules TEST5 (a) et TEST6 (b)

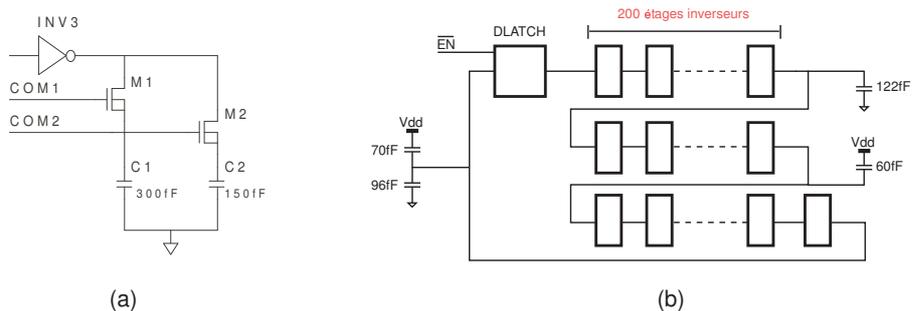


Fig. 3.2: Vue schématique d'un étage inverseur (a) et de l'oscillateur en anneau (b)

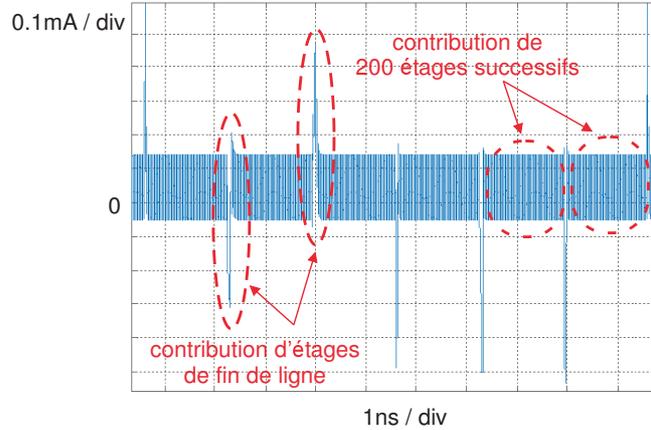


Fig. 3.3: Forme d'onde du courant consommé par l'oscillateur à 9.8MHz

généralisé et le niveau de couplage de bruit de substrat seraient suffisamment important pour dépasser le rapport signal à bruit de notre circuit de lecture en courant.

Le tableau 3.2 rappelle les dimensions et les capacités équivalentes des photo diodes implémentées sur les différents types de substrat selon le modèle *BSIM3V3* et les paramètres technologiques fournis par le fondeur. Les valeurs de capacités sont données pour une polarisation à 0V des photodiodes, cas représentatif des mesures en courant.

Les paramètres fournis concernent la technologie « bulk » et la technologie « epi10 ». L, l sont respectivement la longueur et la largeur de la structure et C_{tot} la capacité totale de la photodiode.

Nom	Type	$L \times l$ ($\mu m \cdot \mu m$)	C_{tot} (pF)	
			Bulk	Epi
BigPhd	N+	500×250	118	111
BigPhd	Nwell	500×250	11	28
BigPhd1	Nwell	282×287	7	18
BigPhd2	Nwell	248×248	5	14
BigPhd3	Nwell	198×198	4	9
BigPhd4	Nwell	171×171	3	7

Tab. 3.2: Caractéristiques des photodiode victimes des circuits TEST5 et TEST6

3.1.3.3 Structures de garde et stratégie de routage

Chacun des circuits agresseur-victime est entouré d'anneaux de garde P+ et NWELL (Fig. 3.1) qui sont les seules structures de garde disponibles vis-à-vis du bruit de substrat en technologie AMS0.35 μm .

Les photodiodes BigPhd1 à 4 sont simplement entourées d'un anneau P+, l'anneau NWELL entourant la photodiode BigPhd constituant une structure de garde suffisante entre l'oscillateur et ce groupe de photodiode. Ces différents anneaux sont polarisés via des pistes de métal et des pads dédiés pour s'assurer de leur efficacité.

Afin de s'affranchir d'interférences électromagnétiques non souhaitées entre interconnexions, les signaux analogiques et numériques sont routés avec une distance de garde maximale en utilisant des niveaux de métal différents. Les niveaux de métal supérieurs sont préférés pour minimiser les capacités parasites entre ces signaux et le substrat.

Enfin nous avons séparé les circuits d'entrée/sortie (ou *pad*) analogiques et numériques en deux blocs pour éviter tout phénomène de crosstalk au niveau de leurs interconnexions métalliques (ou *padding*).

3.1.4 Le système de mesure

Le système de mesure comprend la carte de test supportant le circuit, les préamplificateurs courant et tension large bande et les appareils de mesure. Il est placé en cage de Faraday sur un plan de masse en laiton relié à la masse du réseau électrique de la cage. Le banc est piloté par un ordinateur via une interface GPIB pour l'automatisation des mesures spectrales. (Fig. 3.4).

3.1.4.1 La carte de test

La carte de test a été conçue au laboratoire d'électronique de Supaero. Sa conception suit les mêmes recommandations que celle exprimées pour la réalisation des véhicules de test.

Elle supporte à la fois des mesures 1Ω (IEC61967-4) [1], des mesures TEM (IEC61967-2) [2] pour la caractérisation du bruit conduit et rayonné par le circuit intégré et des mesures transimpédance pour la lecture en courant de la photodiode.

Considérations pour les mesures bas niveau

Les considérations publiées dans la littérature [3], [4], [5] en matière d'intégrité de signal et de compatibilité électromagnétiques ont été suivies pour

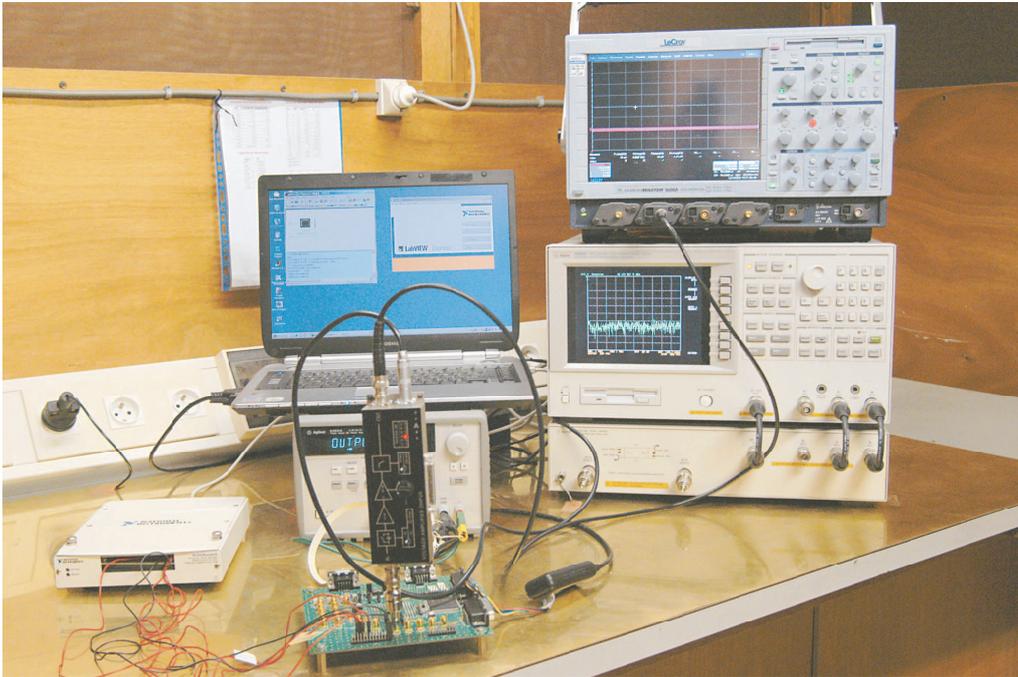


Fig. 3.4: Photographie du banc de mesure en cage de Faraday

la conception de la carte de mesure. A ce titre, chaque tension d'alimentation ou de polarisation des anneaux de garde est délivrée par un régulateur faible bruit dédié et est découplée par des condensateurs de type *CMS* au plus près des broches du boîtier supportant le véhicule de test. Le routage des masses suit les considérations communément employés pour le report sur carte de circuits mixtes sensibles [6]. Deux plans de masse associés respectivement aux signaux analogiques et numériques et court-circuités au niveau des régulateurs sont en effet réalisés pour amoindrir le couplage par impédance commune et garantir des références de tension stables. Les plans de masse et la carcasse des appareils de mesure sont de plus connectés en plusieurs points au plan de masse en laiton du système de mesure pour garantir une référence de mesure stable.

Compatibilité au standard de mesure IEC61967

Nous avons suivi les méthodes standards de la norme IEC61967 pour la mesure des perturbations conduites et rayonnées par nos circuits de test sur la gamme de fréquence 150KHz-1GHz.

La mesure 1Ω permet de caractériser l'émission conduite par un circuit intégré sur ses rails d'alimentation. Le principe est de réaliser une « sonde

de mesure » qui consiste en une résistance de 1Ω placée entre la broche de masse du circuit et le plan de masse de la carte de test et une résistance de 49Ω entre la broche de masse et un connecteur coaxial 50Ω pour l'adaptation d'impédance (Fig.3.5). Cette technique permet de mesurer, au bornes de la

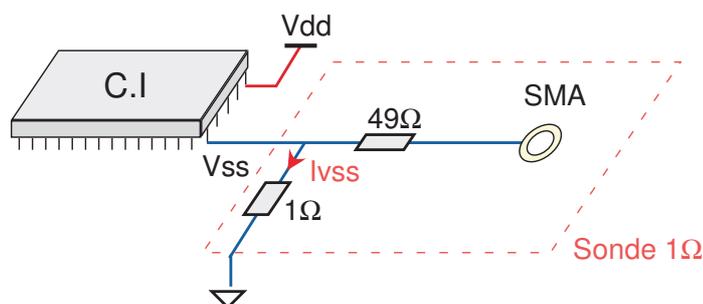


Fig. 3.5: Principe de la mesure 1Ω

résistance de shunt, l'image du courant consommé par le circuit lors de son fonctionnement.

La mesure en cellule TEM couvre la partie rayonnée des perturbations électromagnétiques de notre circuit. Pour la mesure TEM, la carte de test supportant le circuit à caractériser est placée sur l'ouverture de la cellule TEM, coté composant vers l'intérieur de la cellule (Fig.3.6). A l'intérieur de la cellule, une ligne microstrip adaptée 50Ω dont une extrémité est terminée par une charge 50Ω capte le champ électromagnétique émis par le circuit sous test en mode Transverse Electro magnétique « TEM ». La mesure se fait en connectant l'autre extrémité de la ligne à un analyseur de spectre ou un oscilloscope. Pour être compatible avec cette mesure, la carte doit avoir une dimension de 10 cm par 10 cm et un plan de masse sur sa périphérie pour assurer la reprise du blindage de la cellule TEM. De plus, le composant doit être placé seul sur la face inférieure au centre de la carte.

Mesures transimpédance du photocourant de la photodiode

La mesure transimpédance permet d'observer en « temps réel » la signature du bruit couplé par le substrat au photocourant de la photodiode. La technologie $AMS0.35\mu\text{m}$ ne disposant pas de structures de gardes avancées pour le bruit de substrat, nous avons choisi de déporter le circuit transimpédance au niveau de la carte de test. Ces circuits doivent présenter, pour notre application, des rapports signal sur bruit élevés sur une large bande de fréquence.

Nous avons choisi de développer un circuit transimpédance spécifique à base de composants discrets pour s'adapter aux faibles courants délivrés par

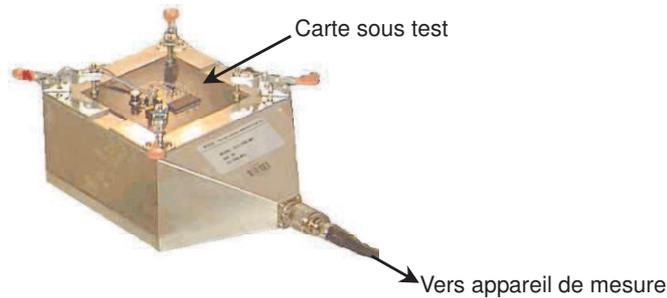


Fig. 3.6: Banc de mesure utilisant une cellule TEM

les photodiodes placées en obscurité. Ceci nous permet de plus de comparer les mesures obtenues avec celles d'un préamplificateur transimpédance commercial et ainsi valider le principe de la mesure.

La conception de notre amplificateur transimpédance se heurte aux compromis de gain, bande passante et niveau de bruit. Nous avons choisi pour cela une architecture à deux étages dont les détails de conception et les performances sont détaillées en annexe B. Sur le circuit imprimé, la cathode de la photodiode peut être routée soit vers l'entrée du circuit transimpédance dédié, soit vers un connecteur SMA pour utiliser le préamplificateur *HCA200* du commerce.

3.1.4.2 Instrumentation

Nous avons utilisé des préamplificateurs faible bruit, large bande, en tension et en courant, pour réaliser nos mesures 1Ω et transimpédance. Ces mesures sont effectuées dans les domaines fréquentiels et temporels respectivement par un analyseur de spectre (*Agilent4395*) de bande passante $500MHz$ et un oscilloscope (*Lecroy Wave-Master 8600A*) de bande passante $6GHz$ et de fréquence d'échantillonnage $40GS/s$.

Préamplificateur transimpédance

Ce préamplificateur est un des rares à proposer un gain élevé ($20kV/A$) sur une bande passante de $200MHz$. Il est initialement prévu pour des applications de communications optique haut débit et est donc adapté à des photodiodes de faible capacité équivalente. Or, la valeur de cette capacité influe grandement sur les performances des circuits transimpédance et peut même induire de l'instabilité. Nous avons donc caractérisé les performances de ce circuit dans les configurations de charge de notre application. Les performances du circuit sont aussi consignées annexe B.

Préamplificateur en tension

Ce préamplificateur dispose d'une bande passante commutable de 20MHz et 200MHz et d'un gain en tension de 10 à 60dB. Il sera principalement utilisé pour les mesures 1Ω .

3.1.5 Mise en oeuvre du système de mesure, premiers résultats

3.1.5.1 Mise en oeuvre

Le système de mesure automatisé a été mis en oeuvre dans un premier temps pour caractériser le bruit conduit par l'oscillateur sur ses rails d'alimentation à chacune de ses fréquences de fonctionnement. Ces mesures ont été effectuées dans le domaine fréquentiel et temporel pour l'ensemble des véhicules TEST5 et TEST6 en analysant l'impact des structures de garde.

Il a été ensuite utilisé pour évaluer la signature spectrale du bruit couplé à la photodiode en obscurité et sous éclairage en utilisant alternativement les deux circuits transimpédance. Pour ce faire, toutes les fréquences de fonctionnement de l'oscillateur et les configurations de garde au substrat ont été testées.

3.1.5.2 Validation du système de mesure

La figure 3.7 montre les enveloppes spectrales du photocourant obtenues à l'aide du circuit dédié à composants discrets et du préamplificateur HCA200, la photodiode étant sous illumination et générant un photocourant de $2\mu\text{A}$.

La qualité et la fiabilité des mesures en courant sont validées par le fait que l'erreur moyenne sur l'amplitude des harmoniques du photocourant mesuré avec les deux circuits est de 1.3dB. Cette erreur, relativement faible peut provenir d'incertitudes lors de la caractérisation des préamplificateurs mais aussi de leurs propres caractéristiques. Le préamplificateur HCA200 fournit en effet des mesures plus bruitées à cause de son bloc d'alimentation et du fait que la référence de mesure n'est connectée à ce circuit que par le connecteur SMA. Le circuit dédié est polarisé par des régulateurs linéaires, la carte étant alimentée sur batterie et profite du plan de masse de la carte.

De plus, les mesures en éclairage et en obscurité montrent le même niveau de bruit couplé donc nous resterons dans la configuration en obscurité plus pratique pour la mesure et utilisant le préamplificateur à composants discrets pour le reste de la campagne de mesure.

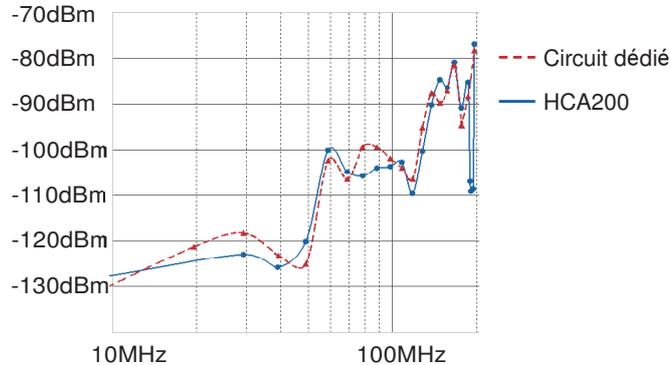


Fig. 3.7: Enveloppes spectrale du photocourant de la BigPhd N+/P sur « epi10 » obtenues avec les deux circuits transimpédances

3.2 Analyse du couplage de bruit par le substrat au niveau du photodétecteur

Le système de mesure étant validé, nous nous attachons dans cette partie à analyser les phénomènes d'injection, de transport et de réception de bruit de substrat pour nos circuits de test.

3.2.1 Mécanisme d'injection de bruit dans le substrat

La comparaison des mesures 1Ω et transimpédance montre, pour tous les véhicules de test, une forte corrélation entre le spectre des perturbations conduites par l'oscillateur sur ses rails d'alimentation et le bruit couplé à la photodiode (Fig.3.8) pour toutes les fréquences de fonctionnement de l'oscillateur aussi bien en éclaircissement qu'en obscurité.

Cette signature de bruit commune, illustrée figure 3.8 dans le cas du véhicule TEST5 pour la photodiode *BigPhd* N+, se distingue à la fois par les amplitudes relatives de ses harmoniques paires et impaires et par un phénomène de résonance aux environ de 170MHz. L'analyse de ce spectre d'émission particulier est menée paragraphe 3.3.2, page 108.

Ceci semble indiquer que le mécanisme prépondérant d'injection de bruit dans le substrat est le couplage ohmique au substrat du bruit d'alimentation par les contacts de masse ou *ground bounce*. En effet, les cellules standards numériques constituant l'oscillateur polarisent les contacts substrats des transistors complémentaires via leurs rails d'alimentation. Ainsi le bruit d'alimentation (SSN pour *Simultaneous Switching Noise*) généré par l'interaction entre les courants de commutation et l'impédance des rails

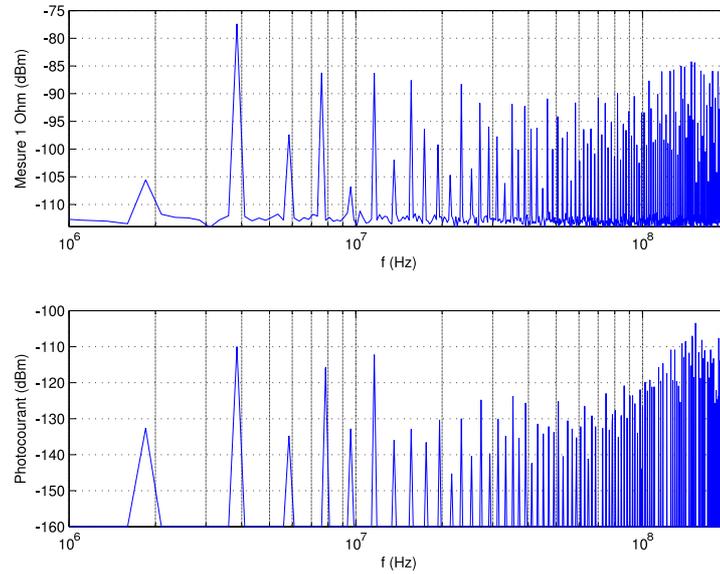


Fig. 3.8: Comparaison des spectres des mesures 1Ω et transimpédance *BigPhdN+* @ 1.2MHz sur substrat « bulk »

d'alimentation de l'oscillateur se couple au substrat soit de manière ohmique par les contacts substrats des transistors NMOS, soit de manière capacitive par l'intermédiaire des caissons NWELL des transistors PMOS.

La prédominance de ce mécanisme s'explique à la fois par la structure de l'oscillateur, les impédances propres du réseau d'alimentation et celles le connectant au substrat.

En effet, les appels de courant les plus importants se produisent lors de la commutation des étages inverseurs de fin de ligne plus chargés (Fig.3.2, page 87). Le routage de l'oscillateur minimise donc par nature l'injection capacitive de bruit dans le substrat par les interconnexions des trois étages inverseurs de fin de ligne.

De plus la structure particulière de l'oscillateur en anneau peut permettre d'annuler partiellement la contribution par injection capacitive des drains des transistors numériques au substrat d'un étage par ceux de l'étage suivant commutant en sens opposé. Ce phénomène est d'ailleurs utilisé pour construire des systèmes actifs de réduction de bruit de substrat [7]. Le boîtier PGA84 et les fils de *bonding* utilisés pour câbler la puce ont un comportement fortement inductif favorisant les phénomènes de résonance qui accroissent fortement le bruit d'alimentation « ground bounce ».

Enfin, les capacités parasites entre les rails d'alimentation numériques, les drains des transistors et le substrat sont relativement faibles comparativement à celles des caissons NWELL des cellules standards au substrat.

Celles-ci résultent en effet de la mise en parallèle de 600 capacités de jonction des caissons NWELL de chaque cellule standard au substrat ainsi que des capacités de jonction des protections contre les décharges électrostatiques des *pads*. Le couplage capacitif, par l'intermédiaire des caissons, du bruit d'alimentation au substrat domine donc l'injection capacitive par les jonctions des transistors. Le couplage ohmique est d'autant plus prépondérant que l'impédance entre le noeud d'injection et le substrat est faible car constitué de la mise en parallèle de 600 contacts ohmiques au substrat.

Le couplage du bruit d'alimentation au substrat, prépondérant dans nos circuits, est considéré comme le phénomène majeur qu'il faudra adresser dès aujourd'hui et dans le futur pour minimiser les effets du couplage de bruit par le substrat[8]. C'est pourquoi nous avons choisi d'utiliser et d'étendre la macromodélisation de type ICEM pour modéliser le couplage de bruit par le substrat dans nos circuits de test mais aussi plus généralement dans les imageurs CMOS.

3.2.2 Mécanisme de réception du bruit de substrat

Les photodiodes de nos circuits se couplent nativement au substrat local, qui constitue leur anode, de manière capacitive. Les variations locales du potentiel de substrat, induites par le bruit d'alimentation de l'oscillateur, injectent donc dans la photodiode des courants parasites d'autant plus grands que leurs capacités de jonction équivalentes sont importantes.

Le tableau 3.3 donne les valeurs des capacités équivalentes des photodiodes obtenues par mesure au capacimètre *HP4240*. Ces mesures prenant en compte les capacités parasites du boîtier et des *pads*, de valeur moyenne 3.3pF, les valeurs présentées dans le tableau sont corrigées par ce facteur. On note que ces valeurs sont du même ordre de grandeur que celles obtenues

Nom	Type	L × l ($\mu\text{m} \cdot \mu\text{m}$)	Circuit	Ctot (pF)			
				Bulk	Epi14	Epi10	Epi7
<i>BigPhd</i>	N+	500 × 250	TEST5	131		123	
<i>BigPhd</i>	Nwell	500 × 250	TEST6	23	18		21
<i>BigPhd1</i>	Nwell	282 × 287	TEST6	18	16		13
<i>BigPhd2</i>	Nwell	248 × 248	TEST6	18	14		13
<i>BigPhd3</i>	Nwell	198 × 198	TEST6	15	12		11
<i>BigPhd4</i>	Nwell	171 × 171	TEST6	15	11		10

Tab. 3.3: Capacités mesurées des photodiode victimes des circuits TEST5 et TEST6

tableau 3.2 par les modèles *BSIM3 V3* et les paramètres du fondeur mais sont globalement supérieures. Ceci s'explique par les variations des paramètres technologiques suivant le lot de fabrication et l'inexactitude des modèles de simulation fournis.

On ne peut, de plus, comparer rigoureusement les résultats obtenus pour les véhicules de la série TEST6 sur substrat épitaxié « epi7 » « epi14 » avec les modèles et paramètres fournis qui ne sont relatifs qu'à la technologie « epi10 ».

L'écart d'amplitude moyen de 14.1dB entre les spectres de bruit couplé par le substrat aux photodiodes *BigPhd* N+ et NWell de même dimension sur substrat « bulk » est dans le rapport des valeurs des capacités correspondantes de 15.2dB (Fig.3.9). Il n'est pas constant sur l'ensemble du domaine fréquentiel car les signatures du bruit conduit de l'oscillateur ne sont pas rigoureusement identiques pour les deux circuits issus de lots de fabrication différents. Les circuits TEST6 disposent de plus de *pads* numériques ce qui modifie sensiblement le spectre d'émission de l'oscillateur (paragraphe 3.3.2, page 108). Enfin, dans cette comparaison nous négligeons l'influence du cou-

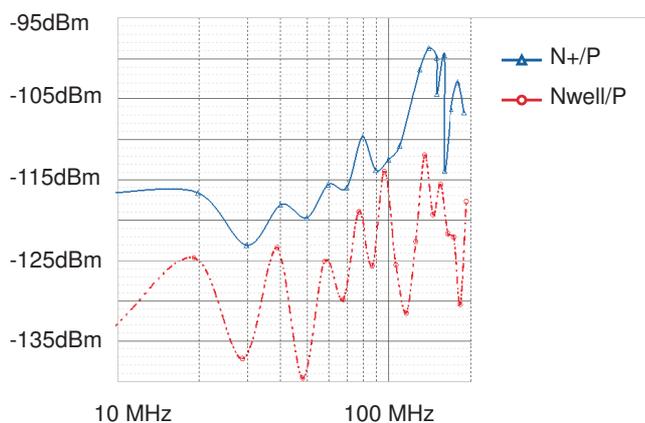


Fig. 3.9: Spectre du photocourant des photodiodes N+ et Nwell sur substrat "bulk"

plage magnétique entre les fils de *bonding*, particulièrement importante au voisinage de la résonance. Ce couplage est dépendant de l'arrangement géométrique des *bondings*, différent pour les deux circuits.

Les photodiodes NWell, principalement utilisées dans les pixels photodiodes des APS pour leur meilleur rendement quantique et leurs performances en courant d'obscurité [9], présentent de plus une immunité naturelle accrue au bruit de substrat par rapport aux photodiodes N+ de même dimension. Les mesures obtenues pour les photodiodes N+ sur « epi10 » et

NWELL sur « epi7 » et « epi14 » montrent la même tendance. Nous ne pouvons ici faire qu'une comparaison qualitative, les technologies de substrat étant différentes, le transport du bruit s'en trouve modifié.

Ces résultats semblent montrer que la topologie de la jonction NWELL s'étendant plus profondément dans le substrat ne semble pas avoir d'effet sur le couplage substrat même pour les substrats épitaxiés. Ceci peut s'expliquer par le fait que la profondeur de jonction des photodiodes NWELL supérieure d'un ordre de grandeur à celle des photodiodes N+ reste cependant faible par rapport à l'épaisseur de la zone épitaxiée. Ce résultat est d'ailleurs mis en évidence par les travaux de *Wang et al.* [9] qui montrent que le rendement quantique des photodiodes N+ et NWELL est similaire dans le cas où les charges sont photogénérées dans la profondeur du substrat (longueurs d'onde du rouge et du proche infra-rouge).

De même, la comparaison des spectres du photocourant obtenus pour les photodiodes NWELL *BigPhd*, *BigPhd* 1, 2, 3 et 4 des véhicules TEST6 permet de retrouver le rapport des capacités de ces jonctions pour les 3 types de substrat. La figure 3.10 illustre l'atténuation du bruit couplé à chacune des photodiodes *BigPhd* 1, 2, 3 et 4 en comparaison à la photodiode *BigPhd* sur le substrat « epi7 ». Sont tracés, pour chaque photodiode, les rapports d'amplitude de leur photocourant et du photocourant de la photodiode *BigPhd*. Cependant l'atténuation du bruit couplé aux photodiodes 1 à 4 par rap-

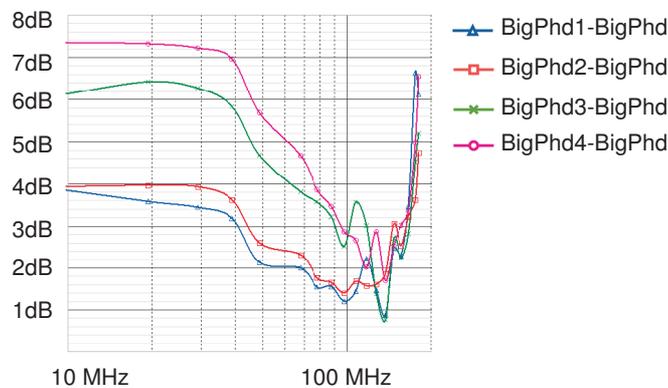


Fig. 3.10: Atténuation du bruit couplé par le substrat aux photodiodes Nwell *BigPhd* 1, 2, 3 et 4 par rapport à la photodiode Nwell *BigPhd* sur substrat « bulk »

port à la photodiode *BigPhd* est relativement plus importante que le seul rapport des capacités pour le substrat « bulk ». On note par exemple une atténuation maximale du spectre de 4.2 dB la photodiode *BigPhd* 1 avec un rapport de capacité de 1.8dB. Ceci vient du fait que la distance entre la zone d'injection du bruit de substrat (contacts substrats de l'oscillateur) et

les photodiodes victimes est supérieure pour le groupe de photodiode de 1 à 4.

Cette étude montre que la capacité équivalente de la jonction semble être le paramètre principal pour modéliser la sensibilité des photodiodes au bruit de substrat. Ce résultat était suggéré par le fait que les mesures en obscurité et en éclairage donnaient le même résultat quant à la signature de bruit sur le photocourant de la photodiode (cf. Paragraphe 3.1.5.2).

Ceci nous permet de négliger les potentiels effets de recombinaison dans les zones neutres et de ne considérer que le seul effet d'injection dans la jonction dont la capacité équivalente reste constante lors de la lecture en courant (cf. Chapitre 1.2.3, page 28) même en présence de bruit de substrat.

Des simulations utilisant les modèles électriques fournis par le fondeur montrent en effet une variation maximale de 6% de la valeur de la capacité de photodiodes N_{WELL} pour une variation du potentiel de substrat de 100mV.

3.2.3 Mécanismes de transport du bruit de substrat

Il est nécessaire de considérer à la fois l'impact du substrat lui-même mais aussi des interconnexions à la fois au niveau silicium, boîtier et carte pour une investigation réaliste et pragmatique du bruit de substrat d'un circuit intégré.

3.2.3.1 Impact de la technologie de substrat

Les mesures comparatives sur les véhicules TEST5 en technologie « bulk » et « epi10 » confirment que les technologies épitaxiées représentent le pire cas pour le couplage de bruit par le substrat. En effet, les circuits « bulk » présentent une atténuation moyenne de la perturbation injectée par l'oscillateur de l'ordre de 30dB contre 15dB pour le circuit « epi10 » (Fig. 3.11). Nous sommes en effet dans le cas où la distance entre les circuits agresseurs et victimes est supérieure à quatre fois l'épaisseur de la couche épitaxiée (cf. *Aragones et al.*, [10] (pages 16 – 28)), forçant la majorité de la perturbation à se propager dans la profondeur du substrat conducteur en technologie épitaxiée.

Simulations physiques

Des simulations physiques en statique de nos structures de test sur substrat « bulk » réalisées en collaboration avec Henrique Quaresma ¹ nous

¹Henrique Quaresma est doctorant à l'institut IT/IST de Lisbonne, Portugal

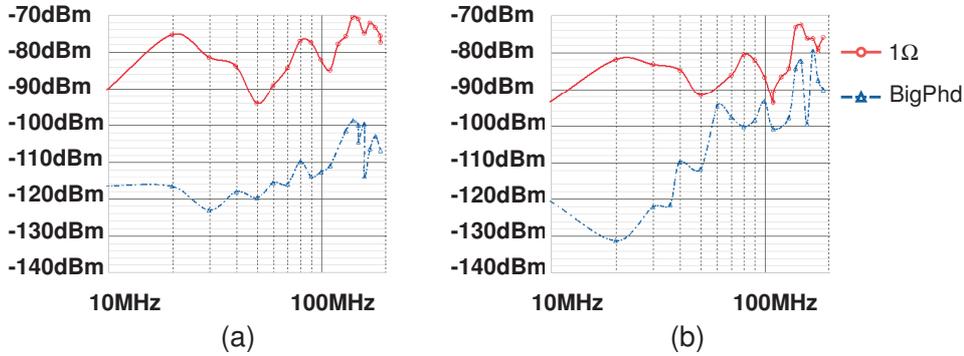


Fig. 3.11: Mesures 1Ω et transimpédances pour les circuits TEST5 en technologie "bulk" (a) et "epi10" (b) @ 10MHz

ont permis de retrouver ce résultat. Ce type de simulation, extrêmement sensible au profil de dopage, n'a été menée que pour la technologie « bulk » dont les paramètres technologiques ont été obtenus par Quaresma et al. en simulation et mesure [11]. Les densités de courant représentées figure 3.12 en niveau de gris concernent le cas où l'on injecte une tension constante de 1mV par les contacts substrats des cellules standards de notre oscillateur (VSSN), le point de mesure étant l'anneau de garde P+ de la photodiode(PP). Ces si-

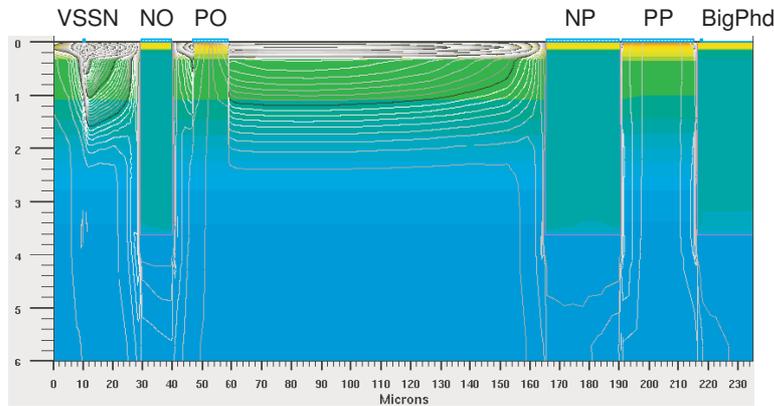


Fig. 3.12: Densités de courant obtenues par simulation physiques DC (SILVACO) des structures de test sur substrat "bulk"

mulations montrent clairement que le courant se propage préférentiellement en surface lorsqu'il n'est pas repoussé dans la profondeur du substrat par les anneaux de garde N+/NWELL de l'oscillateur (NO) ou de la photodiode (NP).

Détermination expérimentale

Les spectres du photocourant obtenus sur toutes le photodiodes des circuits TEST6 montrent de plus que l'épaisseur de la couche épitaxiée influe sur la quantité de bruit couplée (Fig. 3.13). Plus l'épaisseur de la couche épitaxiée est faible, plus l'atténuation du bruit est faible puisque la portion du chemin de propagation dans le substrat conducteur augmente.

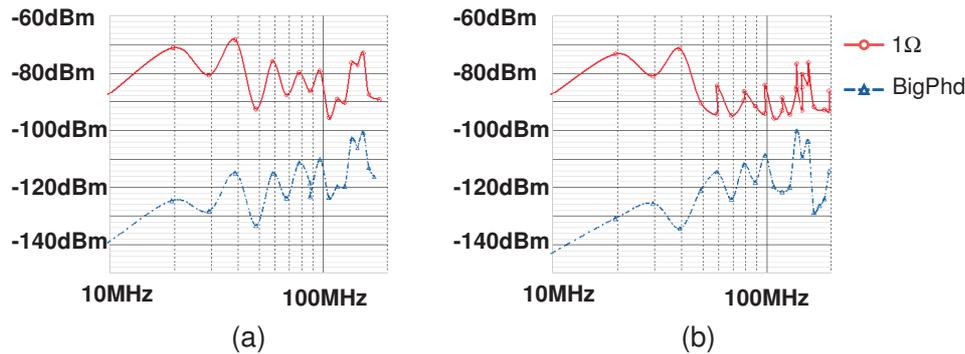


Fig. 3.13: Comparaison des mesures 1Ω et du photocourant de la photodiode *BigPhd* sur les circuits TEST6 en technologie "epi14" (a) et "epi7" (b)

La valeur de la résistance mesurée au pico ampèremètre *Agilent B1500* entre les broche VSS numérique (noeud d'injection) et PP (anneau de garde P+ de la photodiode) principalement représentative de l'atténuation du couplage du bruit de substrat dans nos circuits illustre les résultats précédents.

La valeur de cette résistance varie en effet de 243.6Ω pour les circuits « bulk » à 23.7Ω en technologie « epi10 » résultant en une atténuation voisine de 20dB du bruit de substrat entre ces deux circuits. L'impact de l'épaisseur de la couche épitaxiée est aussi illustrée par ces mesures puisque la résistance vaut 39.6Ω en technologie « epi14 » et 10.1Ω pour les circuits « epi7 ».

La valeur de cette résistance n'a pu être retrouvée directement par les simulations 2D de nos circuit avec SILVACO et ceci principalement à cause du rôle des rails de métal routant les contacts substrats voisins de nos structures de test (cf. Figure 3.16). Nous n'avons pas pu exécuter de simulations 3D physiques de nos circuits complets pour la prise en compte de ces effets, les dimensions à considérer étant trop importantes vis-à-vis des contraintes de maillage et de convergence du simulateur ATLAS.

Effet des anneaux de garde

L'effet des structures de garde pour le couplage de bruit par le substrat sur nos circuits nous permet de confirmer les hypothèses sur le chemin de

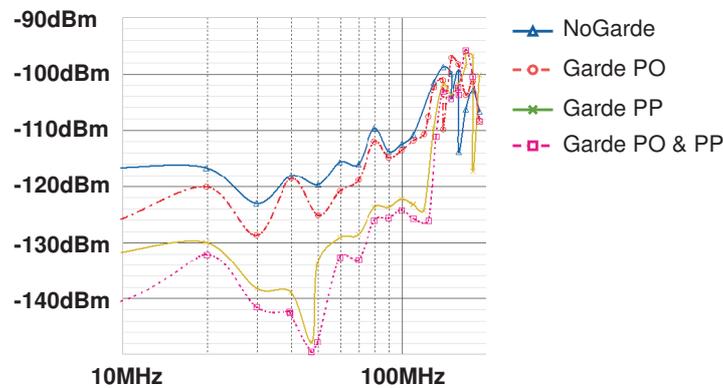


Fig. 3.14: Efficacité des structures de garde sur le circuit TEST5 en technologie "bulk"

propagation dans ces différents types de substrats. En effet on constate,

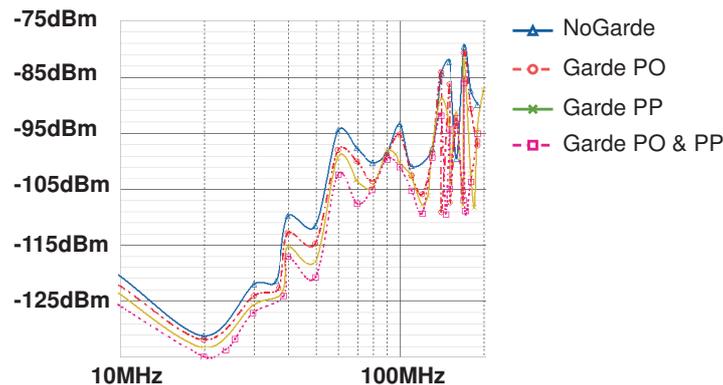


Fig. 3.15: Efficacité des structures de garde sur le circuit TEST5 en technologie "epi10"

figures 3.14 et 3.15, que la polarisation à la masse des contacts substrats P+ de surface induit une atténuation du couplage substrat bien plus importante pour les substrats « bulk » (20dB maximum) que pour les substrats épitaxiés (10dB maximum). La stratégie de garde la plus efficace pour les deux circuits est celle polarisant les anneaux de garde P+ de l'oscillateur (PO) et de la photodiode (PP) à la masse.

Ce résultat rejoint [12] qui préconise d'avoir une approche globale aussi bien au niveau du circuit bruyant que du circuit victime pour construire sa stratégie de garde. L'anneau P+ de la photodiode seul apporte une atténuation considérable du bruit car il assure à la photodiode un potentiel local

de substrat, donc de son anode, stable réduisant ainsi l'injection capacitive de courants de substrat.

L'anneau P+ de l'oscillateur a pour fonction de fournir des chemins de retour de faibles impédances aux courants de substrat injectés par l'oscillateur pour atténuer le bruit à sa source. On note cependant que l'efficacité de ces anneaux de garde devient négligeable au-delà de 100MHz. Ceci pourrait être dû principalement aux imperfections des interconnexions relatives à la mise en boîtier des circuits. Il n'a été noté aucune atténuation par la polarisation au 3.3V ou à la masse des anneaux de garde N+/NWELL pour tous les circuits. La figure 3.12 illustre en statique l'efficacité de ces anneaux qui, même flottants, repoussent la perturbation dans la profondeur du substrat. Le rôle de ces anneaux peut s'apparenter à celui de capacités de découplage susceptibles d'absorber les composantes haute fréquence du bruit. Or, les faibles capacités équivalentes que présentent ces anneaux (7pF maximum) les rend inefficaces dans notre bande de fréquence d'analyse devant les résistances du substrat en profondeur. La polarisation à 3.3V de ces anneaux se faisant par l'intermédiaires de pistes du circuit imprimé, leurs inductances parasites sont aussi susceptibles d'amoinrir l'efficacité de garde des anneaux (3.3.2.2, page 113).

3.2.3.2 Impact des interconnexions

Mode conduit

Les anneaux de gardes P+ et N+/NWELL flottants de nos structures de test aggravent le couplage de bruit par le substrat entre l'oscillateur et la photodiode.

Les courants de substrat injectés par l'oscillateur peuvent en effet emprunter ces interconnexions, principalement celle couplées de manière ohmique au substrat, pour se propager de proche en proche jusqu'à la photodiode. L'effet des anneaux de garde est double puisqu'ils constituent sur leurs épaisseurs des chemins de courant de faible impédance relativement au substrat en profondeur mais aussi des relais ou « ports substrat » transmettant quasi-isotropiquement, de par leur géométrie, les perturbations du substrat vers les circuits voisins (Fig. 3.16 (b)). Ceci est aussi vrai dans le cas des anneaux N+/NWELL pour les composantes hautes fréquence de la perturbation.

Les *pads* d'entrée/sortie, non représentés figure 3.16, sont par exemple susceptibles de propager les courants de substrat par leurs diffusions N+/-NWELL implémentant les structures de protection aux décharges électrostatiques mais aussi de manière ohmique par le *pad* ou groupe de *pad* polarisant les diodes de protection ESD à la masse.

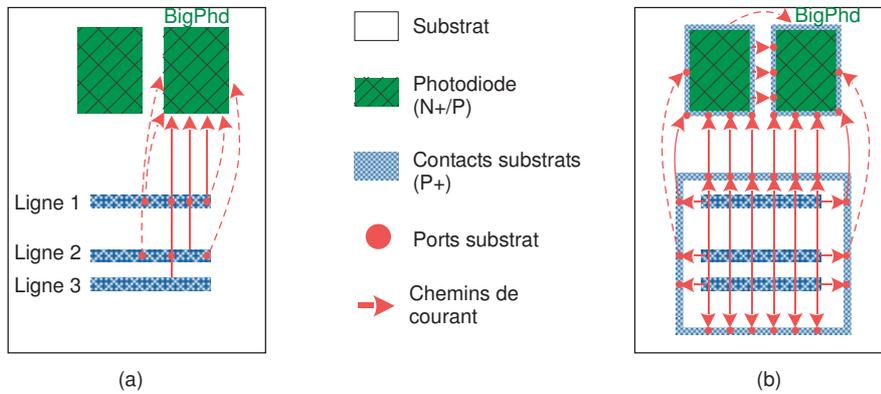


Fig. 3.16: Impact des anneaux de garde P+ sur le couplage substrat pour les véhicules TEST5 et TEST6

De plus, ceci montre que l'efficacité des anneaux de garde dépend de la qualité des interconnexions les routant vers le « monde extérieur », c'est à dire de leur faculté à évacuer les courants de substrat qu'ils captent. L'ensemble de ces interconnexions (fils de *bonding*, boîtier, circuit imprimé) étant inductive, l'efficacité des anneaux de garde passifs s'atténue avec l'augmentation de la fréquence (Fig. 3.14 et 3.15). Il est possible d'ajuster la fréquence de résonance du réseau inductif/capacitif série dans le cas des anneaux N+/NWELL en jouant sur leur taille et leur tension de polarisation. Le facteur de qualité du réseau inductif/capacitif équivalent limite cependant leur utilisation sur une plage de fréquence finie [13].

Mode rayonné

Les couplages magnétiques et électriques entre interconnexions hors silicium peuvent influencer sur le couplage substrat et particulièrement à haute fréquence.

Les figures 3.17 et est une cartographie d'émission champ proche à 172 MHz d'un circuit TEST5 en technologie « epi 10 » dont l'oscillateur fonctionne à 3.2MHz et pour lequel aucune structure de garde n'est polarisée. Les amplitudes concernent la composante du champ magnétique émis dans la direction perpendiculaire à la surface balayée (H_z) et leur détection permet donc d'identifier les principaux chemins de courant.

Ces mesures ont été effectuées sur le banc de mesure du laboratoire LEN7 de l'Ecole Nationale Supérieure d'Electrotechnique, d'Electronique,

d'Informatique, d'Hydraulique et des Télécommunications (ENSEEIH) de Toulouse par Cristian Avram².

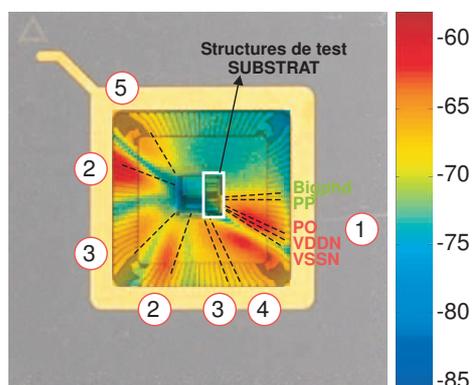


Fig. 3.17: Cartographie champ proche d'un circuit TEST5 sur substrat épitaxié 172MHz

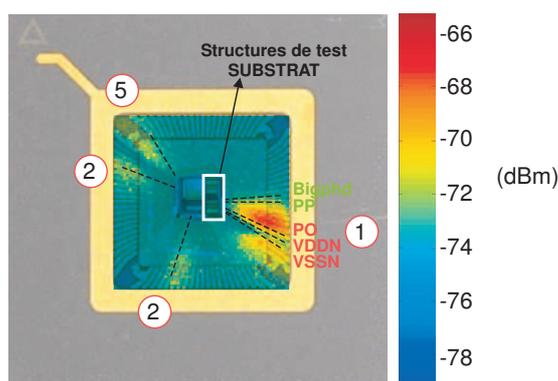


Fig. 3.18: Cartographie champ proche d'un circuit TEST5 sur substrat « bulk » 172MHz

La zone numérotée 1 correspond à l'environnement des fils de *bonding* connectant les structures de test numériques (VSSN : masse de l'oscillateur, PO : anneau de garde P+ de l'oscillateur) et victimes (*BigPhd* : cathode de la photodiode *BigPhd*, PP : anneau de garde P+ de la photodiode) au boîtier. Les zones numérotées de 2 à 4 concernent les fils de *bonding* routant les masses du circuit de test voisin P+ (2, masse et contacts substrat de cellules standards numérique de décodeurs ; 3, contacts substrats de circuits

²Cristian Avram est doctorant au laboratoire LEN7 sous la direction du Professeur Jun-Wu Tao

de lecture; 4, anneau de garde P+ de la matrice TEST5 constituant le circuit de test voisin) dont les broches sont en circuit ouvert lors des mesures (champ proche et bruit de substrat). Enfin la zone 5 est associée au fil de *bonding* connecté à la cavité du boîtier, sa broche étant aussi en circuit ouvert lors de mesures.

On note, dans un premier temps, que le champ magnétique émis par le couple de *bonding* VDDN-VSSN constituant le chemin de courant principal consommé par l'oscillateur s'étend jusqu'aux interconnexions de la photodiode et de ses anneaux de garde d'une part et jusqu'aux fils de *bonding* des zones 3 et 4.

L'amplitude du champ magnétique mesuré dépend à la fois de l'arrangement géométrique des fils de *bonding* et de l'impédance du substrat séparant les ports ohmiques associés. En effet, seuls les *bonding* connectés ohmiquement au substrat semblent jouer le rôle d'émetteur où de récepteur et leur rôle est d'autant plus important que leur impédance au noeud d'émission principal (VSSN) est faible. De plus le circuit sur substrat « bulk », plus résistif, montre des niveaux d'émission de 6dB inférieurs à ceux mesuré pour le circuit sur substrat épitaxié. L'émission de certains *bondings* n'est d'ailleurs pas détectée dans ce cas. Plusieurs hypothèse peuvent être avancées pour expliquer ces phénomènes :

- Un couplage par induction magnétique entre les fils de *bonding* d'alimentation de l'oscillateur et ses voisins
- L'émission de champ magnétique par les fils de *bondings* voisins sous l'effet des variations de leur potentiel électrique local (courant de conduction) favorisé par leur faible couplage ohmique au noeud d'injection de l'oscillateur.

La coexistence de ces effets couplés, uniquement présents au-delà de 100MHz, est susceptible d'altérer les mesures du couplage par le substrat à la photodiode et l'efficacité des anneaux de garde. La polarisation des anneaux de garde directement à la masse ne change pas la répartition du champ magnétique sur la surface de la puce.

Il est donc nécessaire, dans un perspective de modélisation du couplage de bruit par le substrat, d'identifier tous les « ports substrat » du circuit et d'évaluer les impédances propres et mutuelles des interconnexions routant ces « ports » au circuit imprimé.

3.3 Extension de la modélisation ICEM pour l'investigation du couplage de bruit par le substrat

3.3.1 Contexte et démarche de modélisation

La modélisation ICEM est parfaitement adaptée à l'étude du bruit d'alimentation des circuits intégrés aussi bien en mode conduit que rayonné [14], [15]. L'activité du laboratoire en terme de conception d'imageurs CMOS n'est pas liée à une technologie précise. Il était donc inadapté de mener une campagne de caractérisation d'une librairie de cellules standards numériques pour traduire leur injection de bruit dans le substrat comme proposé par *Badaroglu et al.* [16].

La modélisation ICEM a pour principaux avantages, sa vision système du circuit, sa portabilité et sa méthode d'extraction utilisant des outils de simulation standards. De plus, le placement routage des circuits analogiques et numériques des imageurs CMOS est assez standard, si l'on exclut les architectures numériques intra-pixel, et se prête bien à une analyse comportementale de chaque bloc perturbateur (Séquenceur, Décodeurs X et Y). Enfin les puissances consommées par ces circuits étant faibles, la prise en compte des variations des tensions d'alimentation pour la modélisation des circuits n'est pas déterminante.

La modélisation ICEM peut donc s'intégrer au flot de conception du laboratoire pour la caractérisation en termes de compatibilité électromagnétique des circuits numériques intégrés dans les APS et notamment pour l'étude du bruit d'alimentation numérique injecté dans le substrat.

De même, l'extraction par élément finis des impédances parasites du substrat nécessite d'obtenir les profils de dopage des coupes verticales du substrat associés aux diverses diffusions et implantations le constituant. Ces données sensibles sont très rarement diffusées par les fondeurs de circuit et ne peuvent être obtenues que par traitement a posteriori des circuits fabriqués (mesure de *spreading resistance*, sonde ionique *SIMS*).

Nous avons donc choisi d'aborder la modélisation du substrat par une vue haut niveau basée sur une compréhension phénoménologique des mécanismes de couplage, l'utilisation d'outils d'extraction simples et la prise en compte du placement routage des imageurs CMOS et notamment de l'architecture répétitive de la matrice de pixel.

Cette démarche de modélisation de haut niveau doit être menée dans le cadre des APS qui sont des circuits mixtes, à la fois vis à vis des signaux analogiques et numériques traités, mais aussi des domaines physique, op-

tique et électronique, adressés. C'est pourquoi nous avons choisi d'utiliser le langage VHDL-AMS pour implémenter notre modèle ICEM étendu au couplage de bruit par le substrat.

La construction d'un macro modèle pertinent nécessite de bien appréhender les phénomènes physiques liés à l'émission, au transport et à la réception du bruit de substrat. Nous avons donc complété les simulations et mesures au niveau circuit par des simulations physiques et des analyses analytiques (Fig. 3.19).

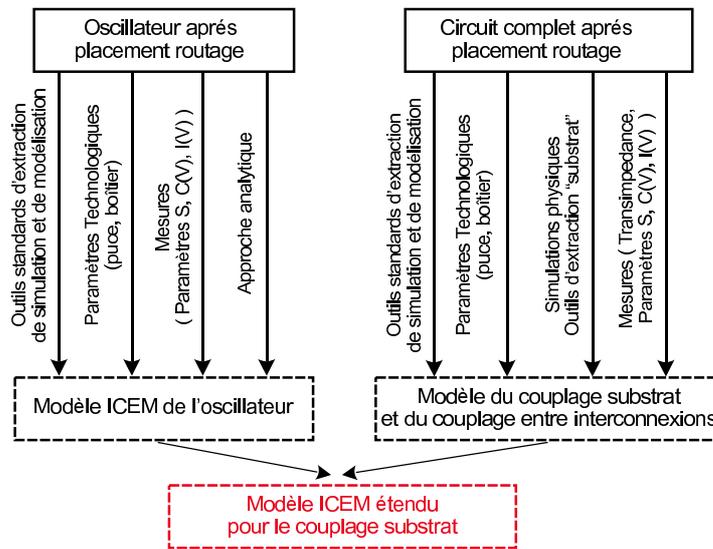


Fig. 3.19: Principe de la modélisation ICEM étendue

3.3.2 Modélisation ICEM de l'oscillateur

La démarche de modélisation suivie pour l'extraction du modèle ICEM de l'oscillateur est illustrée figure 3.20. Elle est basée sur l'utilisation d'outils standards dont les résultats sont confrontés à des formulations analytiques et des techniques de mesure éprouvées. Nous présenterons les résultats obtenus étapes par étapes jusqu'au modèle final. Enfin nous décrirons la démarche analytique suivie pour valider le modèle et comprendre la signature spectrale du bruit conduit.

3.3.2.1 La source de courant ICEM

La source de courant ICEM est obtenue par simulation transitoire rétro-annotée au niveau transistor de l'oscillateur polarisé par des rails d'alimen-

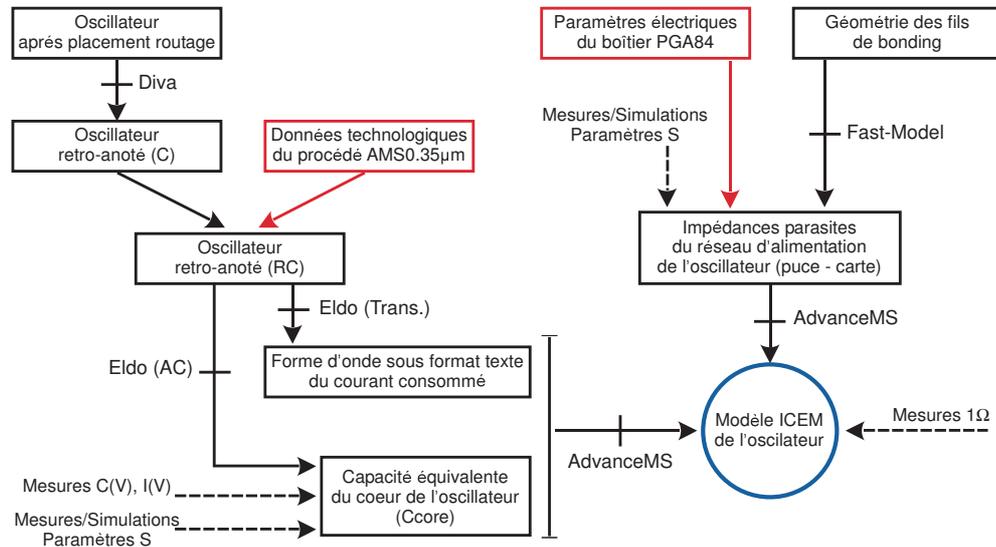


Fig. 3.20: Démarche de modélisation ICEM de l'oscillateur

tations idéaux. Cette simulation s'appuie sur une description électrique de l'oscillateur obtenue avec les outils d'extraction standards (3.20) intégrés au flot de conception qui prennent en compte l'ensemble des capacités parasites de routage entre interconnexions métalliques ainsi que les capacités des caissons NWELL.

On note sur les formes d'onde du courant obtenues pour les quatre fréquence de fonctionnement de l'oscillateur, les appels de courants de chaque étage inverseur ainsi que ceux des trois inverseurs de fin de ligne plus fortement chargés. La figure 3.21 montre le résultat de simulation pour l'oscillateur fonctionnant à 9.8MHz. On constate que l'essentiel du bruit d'alimentation est induit par la commutation des étages inverseurs de fin de ligne. Le sens et l'amplitude de ces appels de courants dépendent de la polarité du front de tension à l'entrée de ces étages ainsi que de leur charge capacitive. On assiste à un phénomène de partage de charge au niveau du dernier inverseur de l'oscillateur qui induit des pics de courant de même polarité quel que soit le sens de la transition à l'entrée de cet étage.

Les mesures 1Ω sur la broche VSS de l'oscillateur montrent une décroissance importante du courant consommé entre les pics de courants des trois étages inverseurs de fin de ligne non prise en compte lors des simulations transitoires (Fig.3.22). Ceci est vrai pour tous les véhicules de test aux quatre fréquences de fonctionnement de l'oscillateur mais est moins visible à 9.8 MHz.

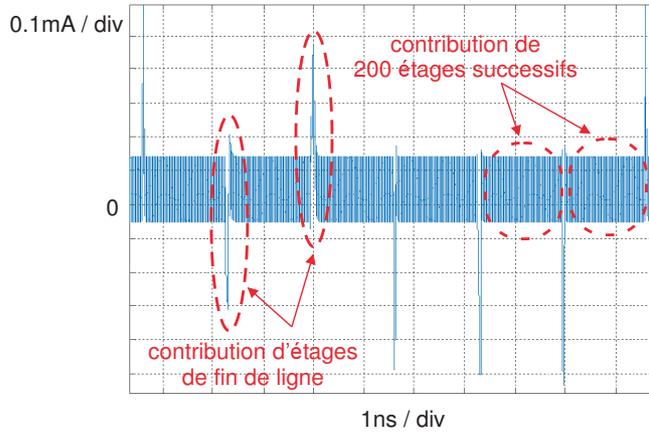


Fig. 3.21: Forme d'onde du courant consommé par l'oscillateur à 9.8MHz

Cette décroissance vient, comme nous le verrons par la suite, des résistances séries parasites des rails d'alimentation des cellules standards routés aux pads d'alimentation à une seule extrémité. Les commutations de ces trois étages présentent des constantes de temps d'autant plus brèves que leur capacité de charge est faible, ce qui explique que le phénomène est peu visible à 9.8 MHz (Cf. Tableau 3.1).

Nous avons extrait manuellement les principales résistances parasites des interconnexions de l'oscillateur grâce aux données technologiques fournies par *Austria Microsystem* et construit une librairie dédiée prenant en compte les principales capacités parasites de routage et résistances d'interconnexion des cellules standards numériques.

Ces résistances se composent de $2.5\ \Omega$ pour chacune des piste de métal routant les rails de puissances des cellules standards aux pads d'alimentation et de $300\ m\Omega$ pour les résistances unitaires de chaque rail d'alimentation des inverseurs implémentés. Cette dernière est prédominante et conduit à une résistance vue en bout de ligne de $60\ \Omega$. On constate que les amplitudes des appels de courants issus des commutations successives de chaque étage inverseur obtenues en simulation sont bien plus importantes que celles obtenues en mesure (Fig 3.22 et 3.23). Les composantes fréquentielles de ces signaux, situées dans la gamme de 1 à 10 GHz, sont en effet filtrées par notre banc de mesure.

A contrario, la mesure $1\ \Omega$ présente du bruit et un phénomène de résonance entre les forts appels de courant non modélisés par la simulation.

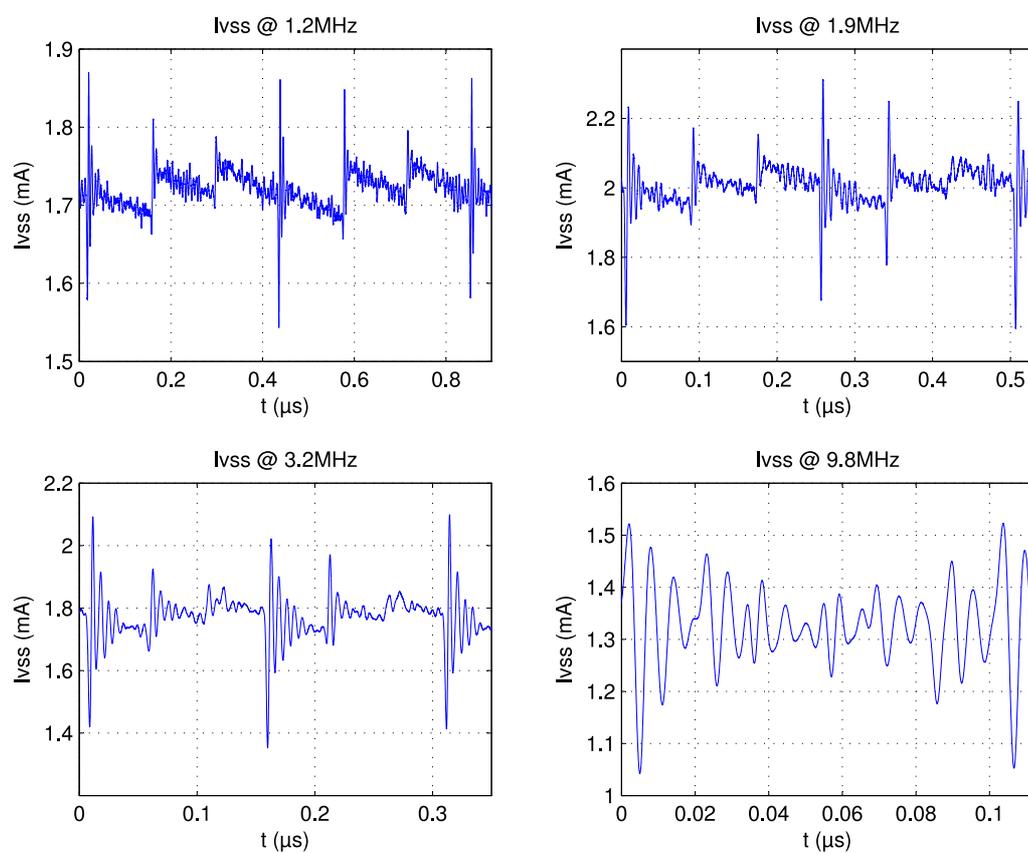


Fig. 3.22: Bilan des mesures 1Ω pour le véhicule TEST5 "epi10"

Comme nous le verrons par la suite, ce phénomène de résonance est directement lié aux impédances parasites du réseau d'alimentation.

Les ordres de grandeur des forts appels de courant, du courant moyen et des temps caractéristiques (période, délai de chaque étage inverseur) obtenus par simulation sont tout à fait cohérent avec la mesure 1Ω et ceci à toutes les fréquences de fonctionnement.

Les formes d'onde du courant consommé, obtenues par simulations des vues retro-annotées résistives et capacitives de l'oscillateur sont donc validées. Elles seront donc utilisées comme stimuli au modèle ICEM comportemental de l'oscillateur pour l'implémentation de la source de courant équivalente.

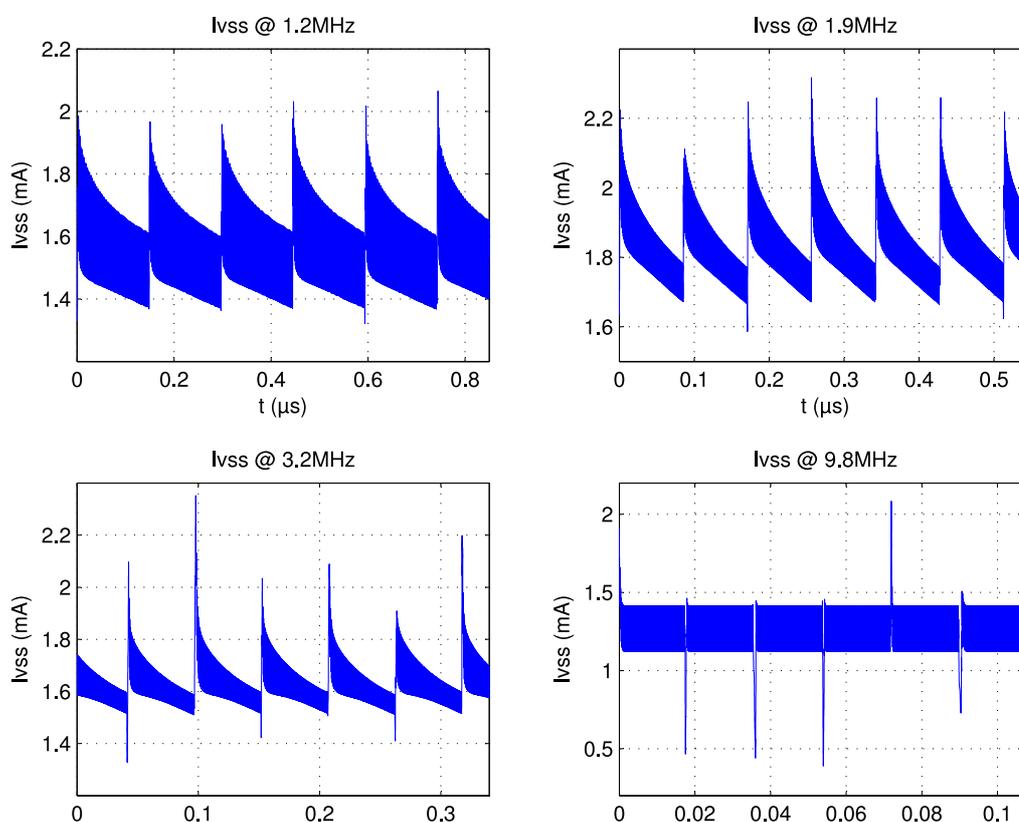


Fig. 3.23: Bilan des simulations transitoires de la vue retro-annoté de l'oscillateur

3.3.2.2 Les impédances parasites du réseau d'alimentation

Nous présentons ici la démarche suivie pour extraire les impédances du réseau d'alimentation composé des rails d'alimentation numériques, des *pads*

d'entrée sortie, des fils de câblage de la puce au boîtier (ou fils de *bonding*), du boîtier et des pistes et plans de masse de la carte de test.

Cette analyse de l'environnement de l'oscillateur est essentielle pour obtenir l'impédance du coeur du circuit, paramètre capital pour la modélisation ICEM, que nous ne pouvons atteindre directement par la mesure. La précision dans l'évaluation de l'impédance du coeur numérique dépend donc de la maîtrise du processus de désassemblage « de-embedding » des résultats de mesure basés sur la qualité du partitionnement et des mesure associées.

Dans cette optique, les mesures effectuées (paramètres S, I(V), C(V)) sont confrontées à des résultats de simulation (*Agilent ADS*, *gratuitciel FastModel*) et des formulations analytiques issues de la littérature [17]. La démarche complète d'extraction des impédances parasites du réseau d'alimentation est détaillée annexe A.

Les impédances parasites de la carte de test

Dans notre gamme de fréquence d'analyse, les seules impédances à prendre en compte sont celles du support de test et celles des pistes d'alimentations. La sonde $1\ \Omega$ est en effet placée à moins d'un millimètre de la broche VSS numérique du circuit. Nous pouvons donc considérer comme idéaux, au même titre que les plans de masse et les éléments passifs de la carte de test, les éléments du circuit imprimé la constituant.

Le support de test, de même géométrie que le boîtier PGA84, induit principalement une inductance série supplémentaire sur chaque broche dont la longueur effective se trouve augmentée. La seule piste à prendre en compte est la piste routant la sortie du régulateur 3.3V à la broche VDD numérique du boîtier. Nous avons utilisé le modèle de la ligne *microstrip* rectiligne sur plan de masse uniforme (Fig.A.1, page 187) et considéré l'effet de peau pour évaluer l'ordre de grandeur des impédances parasites de cette piste [18].

Les impédances parasites du boîtier PGA84

Les impédances parasites du boîtier PGA84 sont (Fig.3.24) :

- Les inductances propres, mutuelles et les résistances des fils de *bonding*
- Les capacités mutuelles et à la masse des fils de *bonding*
- Les inductances propres, mutuelles et les résistances des pistes internes au boîtier (*leadframe*)
- les capacités mutuelles et à la masse de ces pistes
- les inductances, capacités propres et mutuelles et les résistances des broches du boîtier

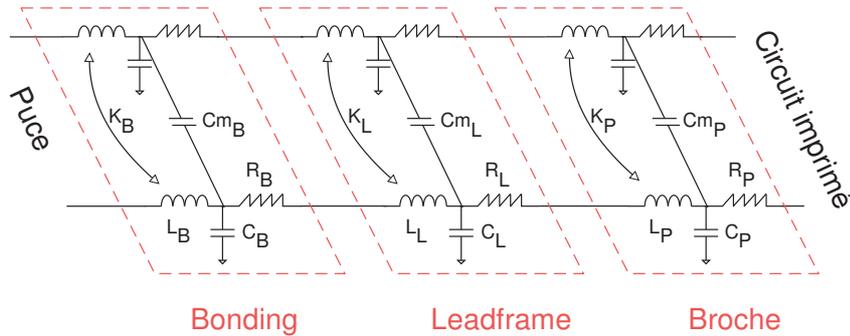


Fig. 3.24: Modèle électrique des interconnexions d'un circuit intégré en boîtier PGA84

L'évaluation de ces impédances parasites s'est faite en confrontant les résultats de mesures de paramètres S à des valeurs issues de formulations analytiques ou de simulations par l'environnement *FastModel*.

Afin de ne pas trop s'éloigner du plan de modélisation du boîtier seul, nous avons développé une carte dédiée pour la mesure de paramètres S . Elle se compose de deux pistes adaptées $50\ \Omega$ de 3 cm de long en regard sur un plan de masse. Une des extrémité de chaque piste est reliée à un connecteur SMA, l'autre se termine en biseau jusqu'à atteindre une épaisseur égale au diamètre d'un câble multibrin en cuivre doté d'une gaine en téflon. Une faible longueur de ce câble est ensuite soudée sur chacune des extrémités en biseau pour pouvoir ensuite être soudé sur le broches du boîtier à modéliser (Fig.A.2, page 187).

Les modèles géométriques utilisés pour l'extraction des impédances parasites par *FastHenry* et *FastCap* sont présentés figures 3.25 et 3.26. Ils sont basés sur les données constructeurs des boîtiers utilisés [19] après approximations géométriques des différentes structures mises en jeu.

Les impédances parasites au niveau du silicium

Les impédances au niveau silicium sont les impédances propres du coeur du circuit, celles des rails d'alimentation et des pads d'entrée/sortie de chaque bloc. Nous avons utilisé les outils de simulation et d'extraction standards ainsi que les données technologiques du fondeur pour appréhender l'ensemble de ces impédances.

Dans la gamme de fréquence de notre étude, les impédances prépondérantes sont essentiellement des capacités. On effectue des simulations fréquentielles (« AC ») retro-annotées prenant en compte les capacités équivalentes des diffusions (N+, NWELL) au substrat en considérant le substrat

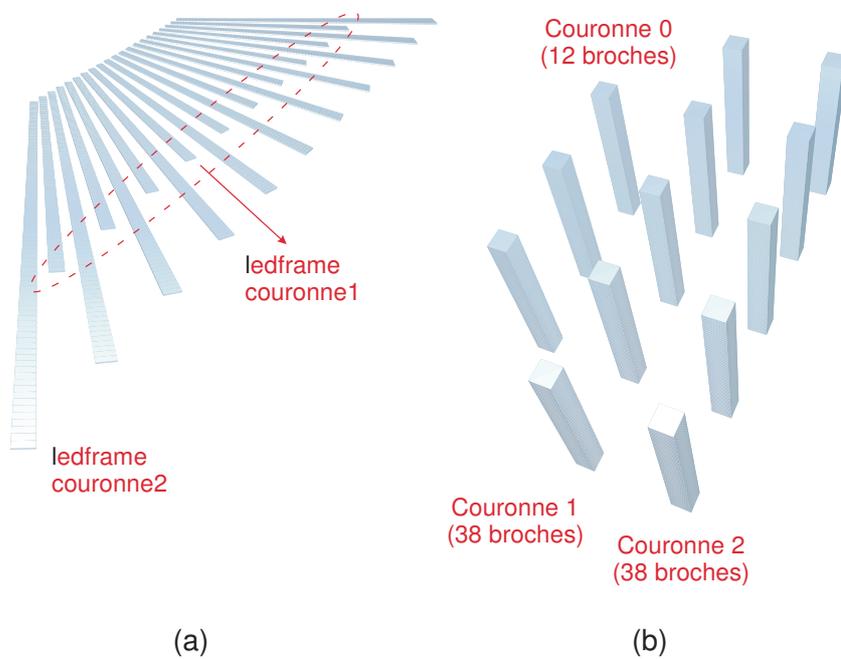


Fig. 3.25: Description géométrique des pistes du leadframe et des broches du boîtier PGA84

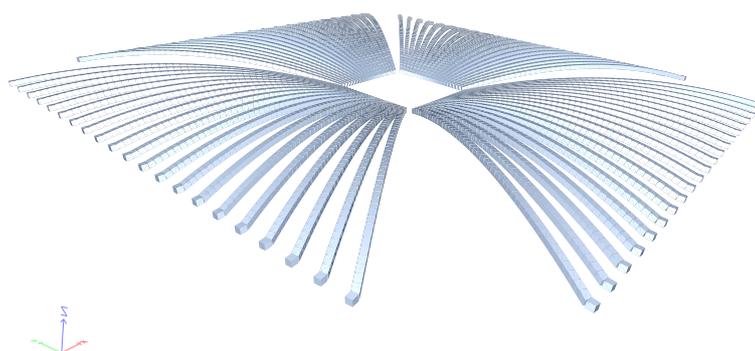


Fig. 3.26: Modèle géométrique des fils de bonding du boîtier PGA84

comme un noeud unique. La valeur de la capacité est issue de la fréquence de résonance vue depuis la source de polarisation du circuit en plaçant des inductances série de valeurs arbitraire sur les connexions d'alimentation. La figure 3.27 montre l'impédance propre de l'oscillateur dans sa configuration à 9.8MHz vue depuis sa source d'alimentation et obtenue par simulation fréquentielle en plaçant une inductance série de 20nH sur le rail d'alimentation. Nous déduisons la valeur de la capacité équivalente du circuit de la fréquence de résonance observée.

Cette capacité, principalement issue des capacités parasites de routage des cellules standards et des capacités MOS des transistors constitutifs, varie de 16 pF à 17.1 pF suivant la configuration de fréquence. De la même façon,

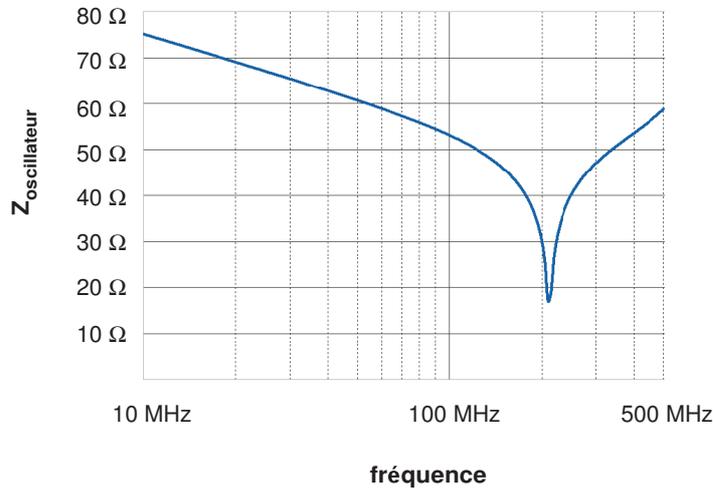


Fig. 3.27: Simulation fréquentielle retro-annotée de l'oscillateur dans sa configuration @ 9.8MHz

la valeur de la capacité parasite entre les *pads* VDD et VSS numériques est issue de simulations AC du bloc de PAD numériques (Fig. 3.1 page 87), les autres PADs étant connectés au VDD ou au VSS suivant la configuration de fréquence de l'oscillateur. La figure nous permet de déduire une capacité parasite variant de 11 pF à 12 pF et résultant principalement des capacités équivalentes des diffusions des diodes de protection du bloc de *pads*, les deux *pads* d'alimentation polarisant ces structures de protection.

Ceci donne donc une valeur maximale de 29.1 pF pour la capacité totale du circuit au niveau silicium. Des mesures et simulations de paramètres S basées sur l'effort de modélisation précédemment décrit nous permettent de déduire des valeurs de capacités équivalentes en tenant compte des résistances séries parasites des rails d'alimentation des cellules standards (cf. 3.3.2.1 page 108).

La dissymétrie dans le routage de ces alimentations induit des valeurs de résistances différentes (Fig. 3.29), en effet les rails « VDD » de deux lignes sont aboutés alors que les rails « VSS » sont routés séparément. Les valeurs de ces résistances globales ont un ordre de grandeur cohérent avec les données du procédé de fabrication qui prédit $20\ \Omega$ de résistance série équivalente en plaçant, en première approximation, les rails VDD et VSS de chaque ligne en parallèle (cf. 3.3.2.1 page 108).

Ceci nous permet de constater que l'impédance du substrat hors capacités de diffusion des caissons et des sources et drains des transistors prises en compte dans notre modèle n'a que peu d'influence sur l'impédance globale vue entre les rails VDD et VSS de l'oscillateur. Ceci est cohérent car les résistances unitaires du substrat entre les caissons et les contacts substrats des cellules standards sont mis en parallèles donc globalement réduites.

On note de plus l'influence du *padding*, pourtant de faible dimension, sur la capacité équivalente du circuit numérique au niveau silicium qui est du même ordre de grandeur que la capacité propre du circuit.

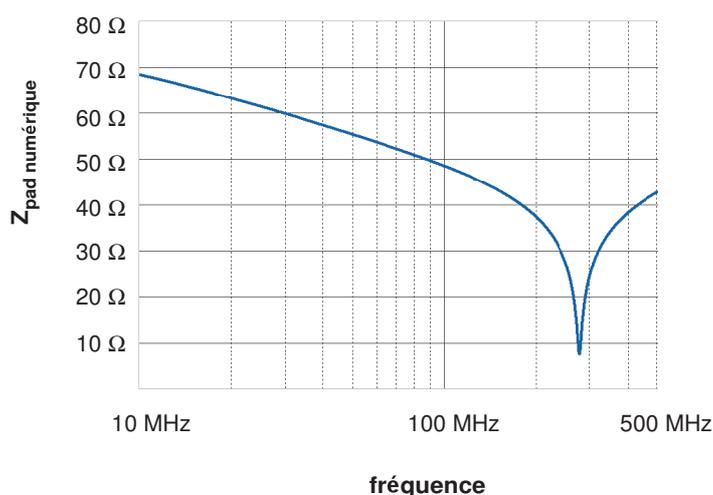


Fig. 3.28: Simulation fréquentielle retro-annotée du bloc de pad numérique pour la configuration @ 9.8MHz de l'oscillateur

3.3.2.3 Le modèle ICEM complet de l'oscillateur

Le modèle ICEM simplifié de l'oscillateur issu des mesures et simulations de paramètres S est représenté figure 3.29. Il ne prend pas en compte les impédances parasites des pistes et du support de la carte de test.

La prise en compte des impédances au niveau broche et fils de bonding, jusqu'ici négligées, permet d'affiner la fréquence du saut de phase

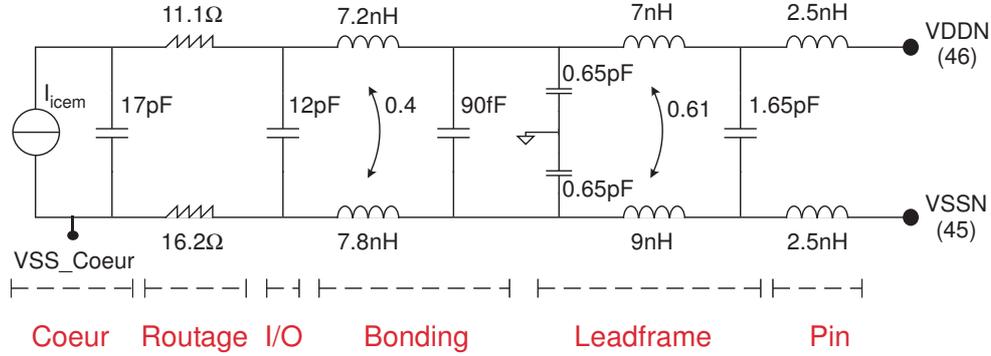


Fig. 3.29: Modèle ICEM simplifié de l'oscillateur des véhicules TEST5 et TEST6

observé sur les paramètres S_{12} et S_{22} au voisinage de 700MHz respectivement 1GHz (Fig. 3.30). Nous utiliserons donc le modèle ICEM simplifié tout à fait adapté à notre bande de fréquence d'analyse. Nous avons complété ce modèle avec les impédances parasites du support PGA84 et de la carte de test pour pouvoir confronter ses performances aux mesures 1Ω .

L'architecture du modèle ICEM en VHDL-AMS est illustré figure 3.31. La source de courant ICEM simule la forme d'onde du courant consommé par l'oscillateur. Elle est obtenue par interpolation linéaire du vecteur amplitude discret issu des simulations temporelles de la vue rétro-annotée résistive et capacitive de l'oscillateur [20].

Les composants passifs sont modélisés de manière idéale, aucun élément parasite n'est considéré.

Le couplage magnétique entre interconnexions est modélisé par une mutuelle inductance sur chaque ligne selon les formulations 3.2 à 3.4.

$$K = \frac{M}{\sqrt{L_1 \cdot L_2}} \quad (3.2)$$

$$v_1 = L_1 \cdot di_1/dt + M \cdot di_2/dt \quad (3.3)$$

$$v_2 = L_2 \cdot di_2/dt + M \cdot di_1/dt \quad (3.4)$$

La source de tension polarisant le réseau passif est supposée idéale, et intègre aussi la capacité de découplage placée sur la carte. La connexion de masse, qui est le seul point de référence du modèle est aussi supposée idéale.

La sonde 1Ω intègre l'impédance 50Ω de l'appareil de mesure (oscilloscope, analyseur de spectre).

Les deux « ports » du modèle ICEM en VHDL AMS *mesure* et *vss-coeur* sont accessibles pour la connexion à d'autres entités. Le port *vss-coeur*

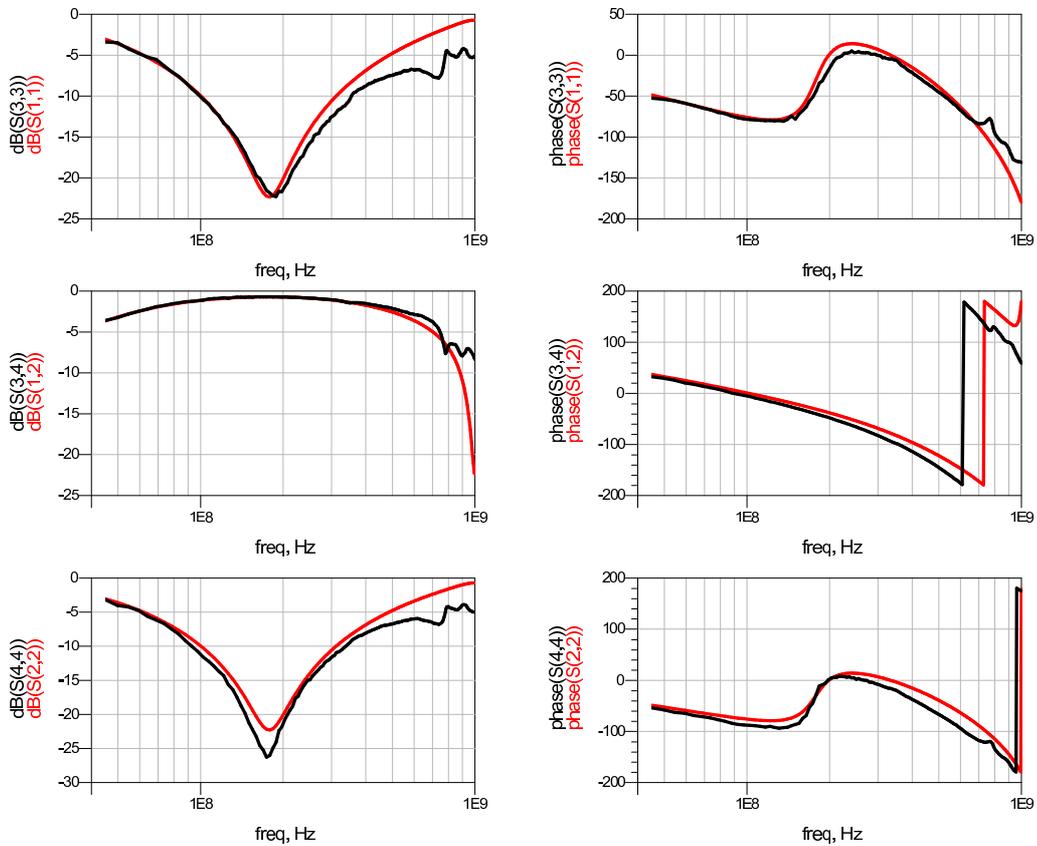


Fig. 3.30: Simulations (clair) et mesures (foncé) des paramètres S entre les broches d'alimentation VSS et VDD de l'oscillateur des véhicules TEST5 et TEST6

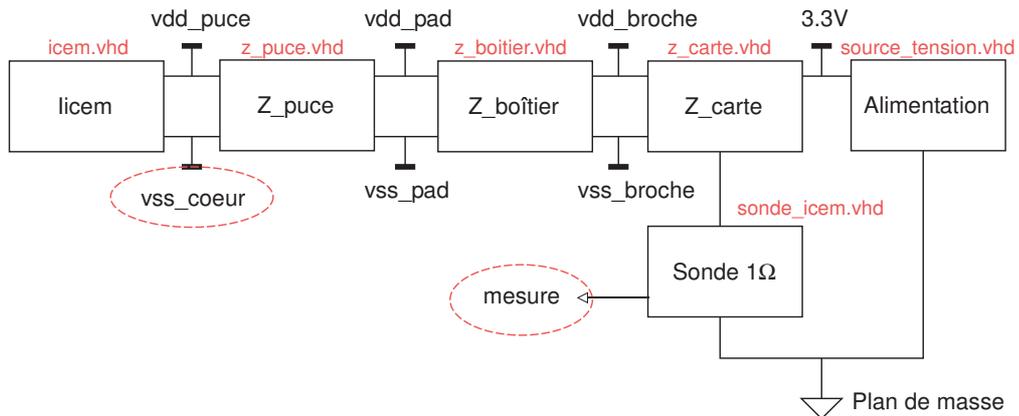


Fig. 3.31: Architecture du modèle ICEM de l'oscillateur en VHDL-AMS

servira notamment de noeud d'injection pour la modélisation du couplage substrat. Les simulations temporelles du modèle sont effectuées dans l'environnement mixte *Advance-MS*.

La comparaison dans les domaines fréquentiels (Fig. 3.33) et temporels (Fig. 3.32 et 3.22, page 111) des tensions aux bornes de la résistance de shunt obtenues par mesure 1Ω et simulation du modèle comportemental complet montrent que ce dernier est consistant pour toutes les fréquences de fonctionnement de l'oscillateur. Les écarts observés entre mesures et simulations

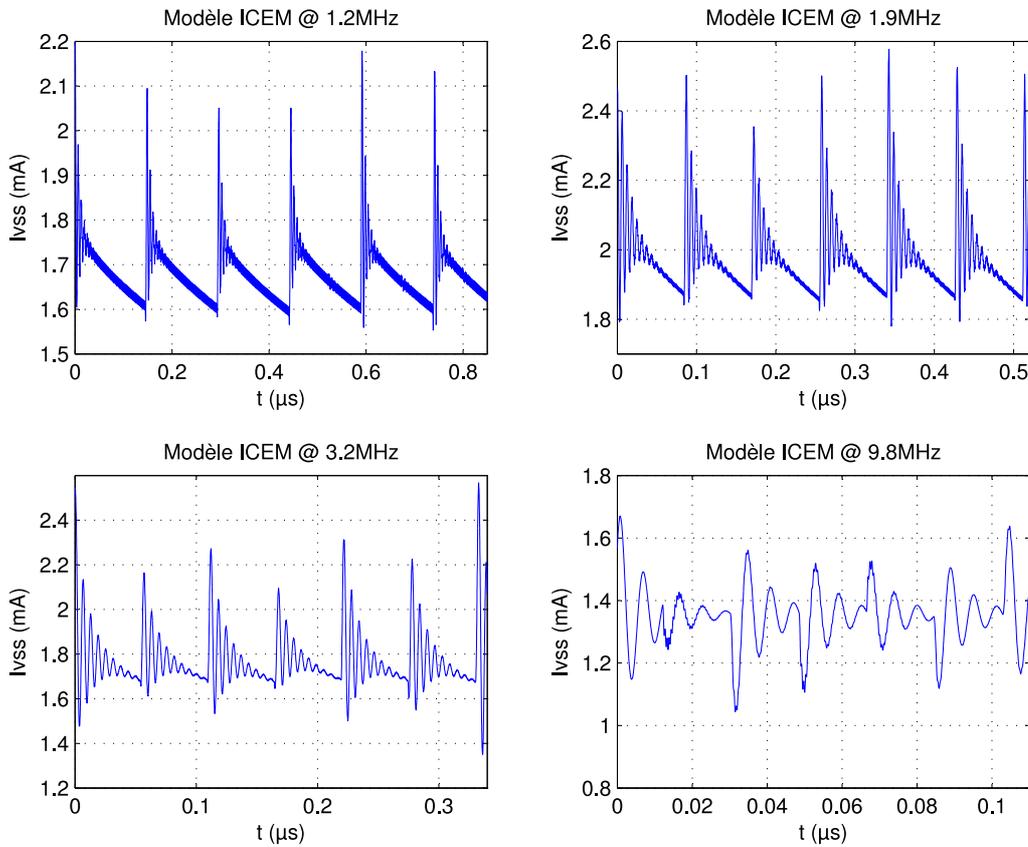


Fig. 3.32: Simulation du modèle ICEM de l'oscillateur pour toutes ses fréquences de fonctionnement

peuvent provenir de l'incertitude sur l'extraction des résistances parasites des interconnexions principalement au niveau du silicium et de l'architecture du modèle. Ces résistances distribuées sur l'ensemble des interconnexions de puissance de chaque cellule standard sont effet prises en compte de manière globale par le modèle. Il montre notamment un amortissement plus important des oscillations induites par le phénomène de résonance à 167MHz.

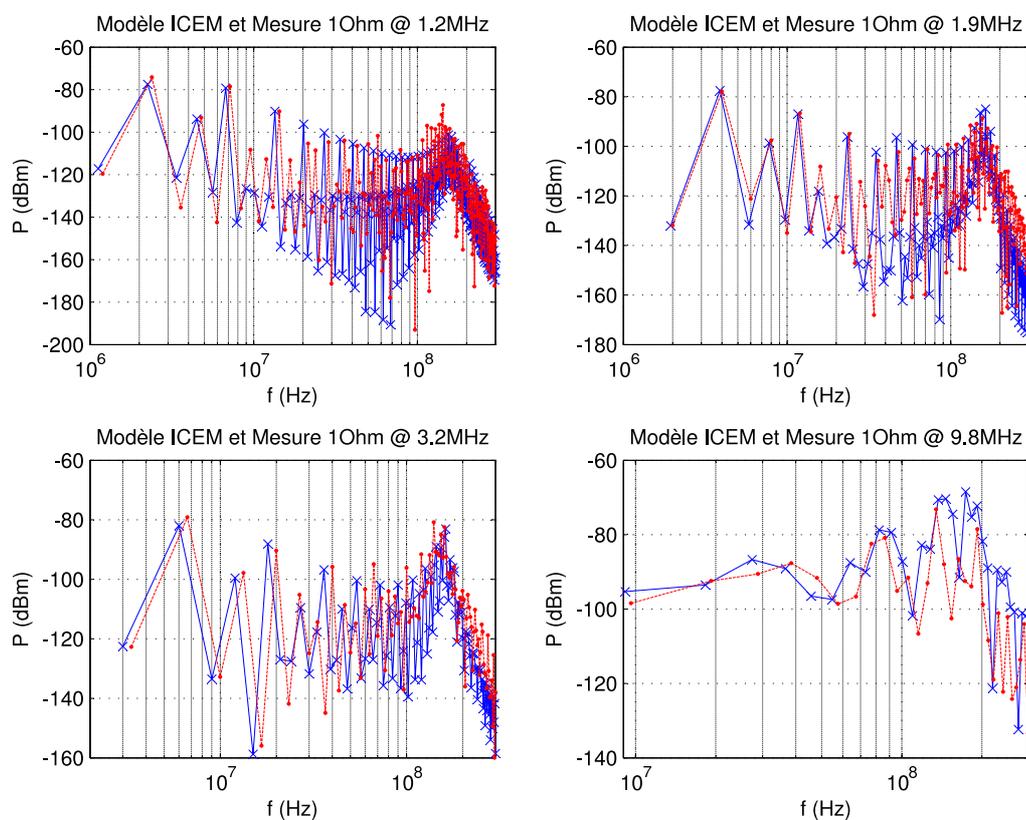


Fig. 3.33: Comparaison dans le domaine fréquentiel des mesures 1Ω (×) et des simulations (·) du modèle ICEM de l'oscillateur

La librairie dédiée que nous avons développée ne prenant en compte qu'une partie des capacités parasites extraites par DIVA, le modèle montre aussi un léger écart au niveau des fréquences de fonctionnement de l'oscillateur (Fig.3.33).

La qualité du modèle montre que les approximations géométriques faites pour la modélisation du réseau passif d'interconnexion (fils de *bonding*, boîtier, pistes du circuit imprimés) sont tout à fait acceptables pour notre application.

Nous avons donc confirmé dans cette partie la possibilité d'établir et d'implémenter en VHDL-AMS, à partir d'outils de simulations existants, un modèle prédictif d'émission conduite d'un circuit numérique sur ses rails d'alimentation.

Comme nous l'avons vu, cette démarche de modélisation doit cependant, pour être pertinente, s'accompagner d'une analyse rigoureuse du circuit dans son environnement. La modélisation maîtrisée, menée en ce sens, des fils de *bonding*, du boîtier PGA84 et du circuit imprimé nous servira de base pour la modélisation électrique du substrat. L'aspect haut niveau du modèle ICEM ne permet pas, cependant, d'avoir une compréhension au niveau porte de l'émission de bruit du circuit.

Afin de comprendre les relations de cause à effet entre le fonctionnement du circuit et son spectre d'émission conduite, nous avons choisi de développer un outil d'analyse simple basé sur les formes d'onde du courant de commutation des circuits numériques.

3.3.2.4 Approche analytique de l'émission conduite de l'oscillateur

L'analyse par enveloppe spectrale est communément utilisée dans les investigations de couplage électromagnétique pour identifier à la fois la source de perturbation et le phénomène de couplage. Les signaux communément rencontrés en électronique numérique sont de formes trapézoïdales, triangulaires ou sinusoïdales (redressées ou non) et ils présentent des enveloppes spectrales dont les harmoniques impaires ont des amplitudes supérieures ou égales aux amplitudes paires.

Nous avons donc choisi dans notre étude de mener une analyse analytique des formes d'onde du courant de commutation de notre oscillateur afin d'en comprendre le spectre d'émission particulier montrant des harmoniques paires d'amplitudes supérieures à celles des harmoniques impaires. Notre analyse se base sur l'étude des coefficients de Fourier du courant consommé par l'oscillateur que nous modélisons par un train d'impulsions triangulaires.

La forme d'onde du courant consommé par l'oscillateur peut en effet être simplifiée pour notre plage de fréquence d'analyse en une suite d'impulsions triangulaires symétriques de même polarité traduisant la commutation des trois étages inverseurs de fin de ligne plus fortement chargés (Fig.3.22, page 111). Le délai entre ces pics de commutation est donc équivalent à deux cent fois celui d'un seul étage dans sa configuration de charge et l'amplitude de chaque impulsion dépend de la charge capacitive des étages de fin de ligne.

Nous considérons, étant donné le routage de l'oscillateur et pour simplifier l'analyse, que l'étage de la ligne 1 génère des pics de commutation de plus forte amplitude que les deux autres dont nous considérons les amplitudes égales. Nous aboutissons donc au modèle de la figure 3.34 avec :

- A , l'amplitude des pics de commutations des étages des lignes 2 et 3 ;
- K , un coefficient multiplicateur traduisant l'écart d'amplitude des pics de commutation de la ligne 1 ;
- t_m , les temps de montée et de descente des pics de commutation ;
- t_d , le temps séparant deux pics ;
- T , la période du train d'impulsion (période de l'oscillateur).

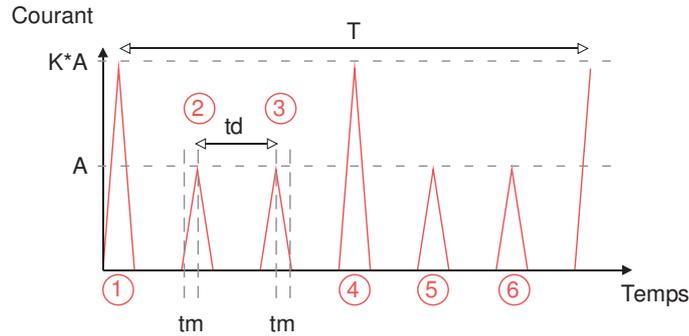


Fig. 3.34: Modèle analytique simplifié du courant conduit par l'oscillateur sur ses rails d'alimentation

Le coefficient de Fourier à l'ordre n d'une impulsion triangulaire d'amplitude A peut se formuler ainsi :

$$\alpha_n = \frac{2}{T} \left[\int_{t_d}^{t_d+t_m} (at + b_1) e^{-jn\omega t} dt + \int_{t_d+t_m}^{t_d+2t_m} (-at + b_2) e^{-jn\omega t} dt \right]$$

$$\alpha_n = 2At_m \left[\left(\cos(n\omega t_d) - n\omega t_m \sin(n\omega t_d) \right) + j \left(\sin(n\omega t_d) - n\omega t_m \cos(n\omega t_d) \right) \right] \quad (3.5)$$

avec :

- $a = \frac{A}{t_m}$
- $b_1 = -a \cdot t_d$
- $b_2 = a \cdot (t_d + 2t_m)$
- $\omega = \frac{2\pi}{T}$ la pulsation en $rad.s^{-1}$
- n l'ordre (harmonique) du coefficient

l'équation 3.5 étant obtenu par développement limité d'ordre 2 au voisinage de 0 des fonctions trigonométriques dépendant de la variable $n\omega t_m$. Cette approximation est valable jusqu'à $n = 100$ à 1 MHz, la valeur maximale de t_m étant voisine de 1ns. Une simplification supplémentaire valable jusqu'à $n = 20$ consiste à négliger les termes facteurs de $n\omega t_m$ (Eq. 3.6).

$$\alpha_n = 2Atm \cdot e^{j(n\omega t_d)} \quad (3.6)$$

Ainsi, le coefficient de Fourier du train d'impulsion est donné par 3.7 avec $t_d = T/6$ par définition. Nous avons choisi de placer, dans ce cas, la première impulsion à l'origine des temps ($t_d = 0$) et de considérant que les impulsions 1 et 4 sont issues des commutations du dernier étage de la ligne 1.

$$\begin{aligned} \alpha_n^{Train} &= 2Atm \left(K + e^{j(n\omega t_d)} + e^{2j(n\omega t_d)} \right. \\ &\quad \left. + K \cdot e^{3j(n\omega t_d)} + e^{4j(n\omega t_d)} + e^{5j(n\omega t_d)} \right) \\ \alpha_n^{Train} &= 2Atm \left(K + e^{j\frac{n\pi}{3}} + e^{j\frac{n2\pi}{3}} + K e^{jn\pi} + e^{j\frac{n4\pi}{3}} + e^{-j\frac{n\pi}{3}} \right) \quad (3.7) \end{aligned}$$

On constate donc grâce à cette expression analytique valable jusqu'à l'ordre 20 que les coefficients de Fourier des impulsions triangulaires constituant le train d'impulsion ont des arguments multiples de $\frac{\pi}{3}$. De plus, le fait que les impulsions 1 et 4 soient séparées de $3 \cdot t_d$ induit l'annulation des ordres impairs des coefficients de Fourier de chaque impulsion. Ceci se voit bien sur la figure 3.35 qui trace les coefficients de Fourier de chaque impulsion et la résultante pour le train d'impulsion complet en coordonnées polaires jusqu'à l'ordre 6 dans le cas où K est supérieur à 1. Le coefficient de Fourier du train d'impulsion global, somme des coefficients des impulsions de 1 à 6, est tracé sous la forme d'une flèche noire. On note un maximum pour l'harmonique 6 que l'on retrouve en mesure pour certaines fréquences de fonctionnement de l'oscillateur. Cette étude qualitative montre que l'approximation triangulaire des formes d'onde du courant consommé est valable pour notre application.

Nous avons donc choisi de développer un outil de prédiction et de compréhension du spectre d'émission de circuits numériques à partir de la saisie du train d'impulsion triangulaire du courant de commutation obtenu par

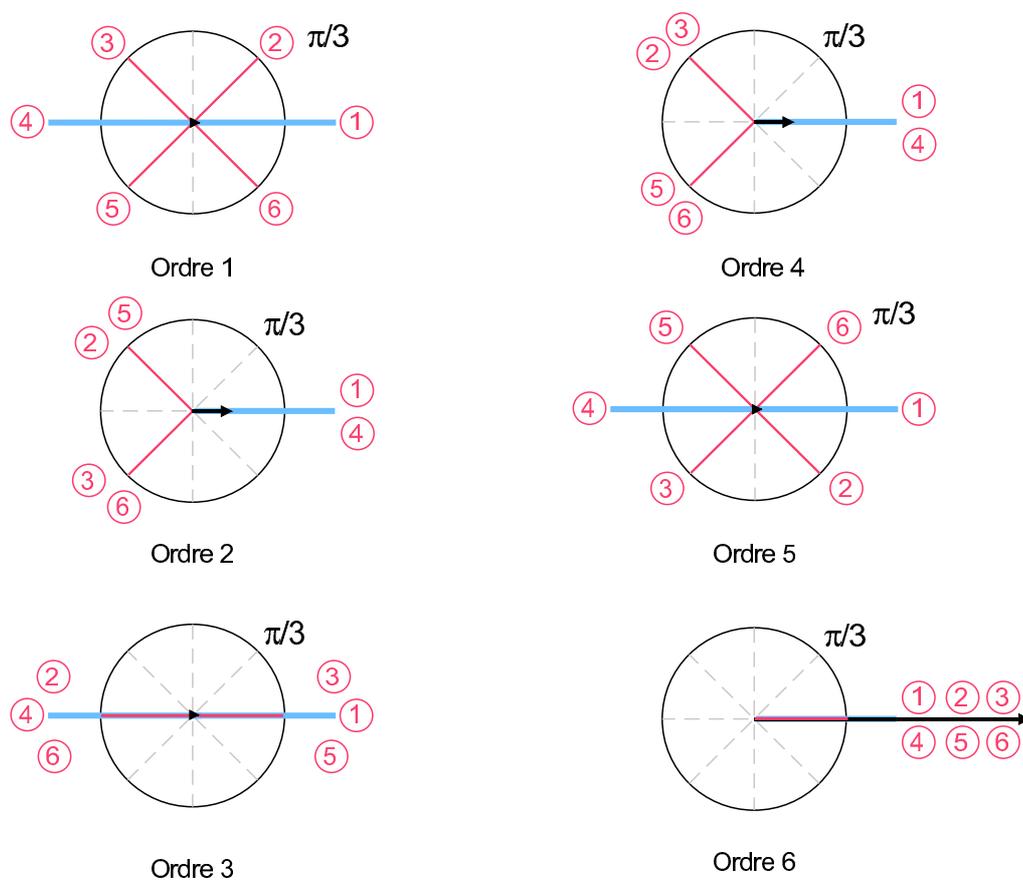


Fig. 3.35: Tracé des coefficients de Fourier des impulsions constituant la forme d'onde approchée du courant consommé par l'oscillateur

simulations transitoires. Il utilise principalement les algorithmes de transformée de fourier rapide (FFT) et de calculs d'intégrale disponibles dans *Matlab* pour fournir à l'utilisateur à la fois le spectre mais aussi les coefficients de Fourier associés au train d'impulsion saisi. Cet outil se présente sous la forme d'une interface *Matlab* et permet (Fig. 3.36 et 3.37) :

1. la configuration du train d'impulsion (nombre d'impulsions, période, période d'échantillonnage) ;
2. la configuration de chaque impulsion triangulaire (amplitude, temps de montée, de descente, délai par rapport à l'impulsion précédente) ;
3. la tracé temporel du train d'impulsion et de son spectre évalué par transformée de Fourier rapide (« FFT ») ;
4. l'application d'un filtre « LC » du premier ordre au du train d'impulsion relatif à l'impact des impédances parasites du réseau d'alimentation ;
5. le calcul et le tracé en coordonnées polaires des coefficients de Fourier de chaque impulsion et du train d'impulsion complet pour la compréhension de l'enveloppe spectrale.

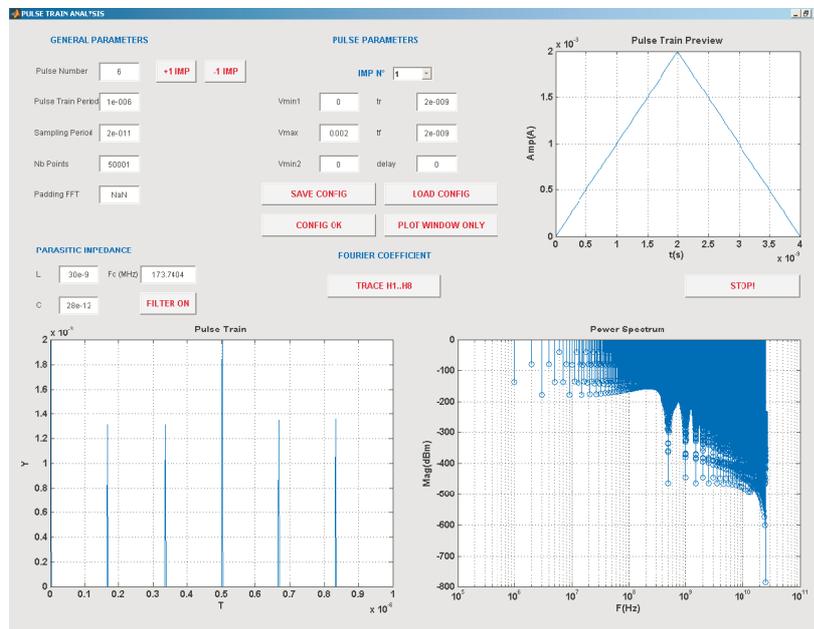


Fig. 3.36: Interface de prédiction et de compréhension du spectre d'émission, cas de l'oscillateur à 9.8MHz

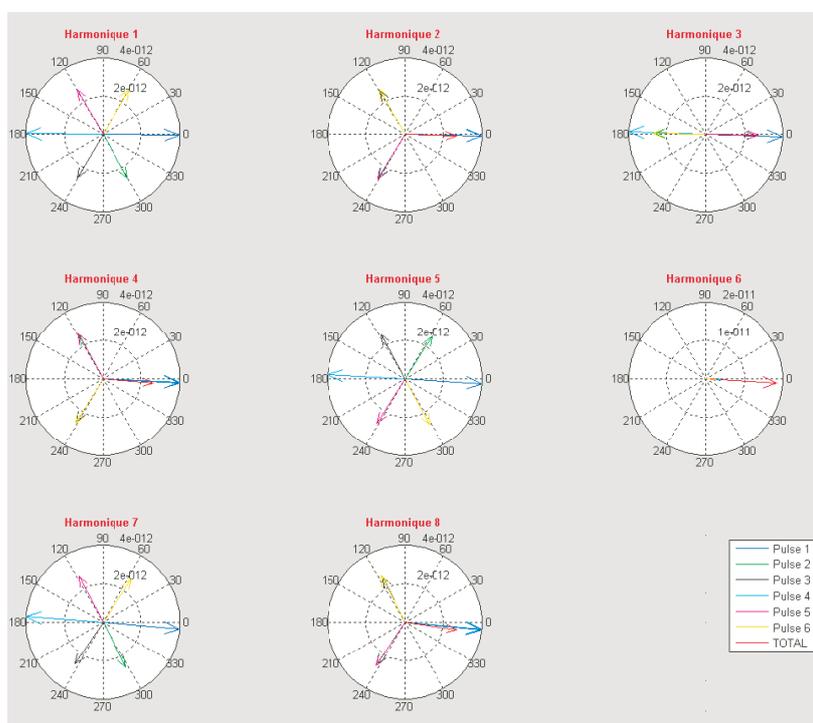


Fig. 3.37: Tracé des coefficients de Fourier de chaque impulsion et du train complet pour les huit premières harmoniques de l'oscillateur à 9.8MHz

3.3.3 Modélisation ICEM étendue au couplage substrat

La modélisation électrique du substrat s'appuie sur les informations capitalisées lors de la campagne de caractérisation de l'environnement carte et boîtier des circuits TEST5 et TEST6. L'évaluation des impédances parasites du substrat a été menée en confrontant, comme pour la modélisation ICEM de l'oscillateur, les résultats de mesure (paramètres S, DC, C(V)) avec des simulations ADS voire SILVACO ou autres outils d'extraction et les données du fondeur pour la technologie *AMS0.35 μ m*.

3.3.3.1 Extraction des impédances du substrat : difficultés expérimentales

Des motifs de test consistant en une série de contacts substrats placés à différentes distances les uns des autres avaient été intégrés sur des circuits de test fabriqués en technologie « bulk », « epi 7 » et « epi 14 » pour caractériser le comportement résistif de ces différents substrats (Fig. 3.38). Les

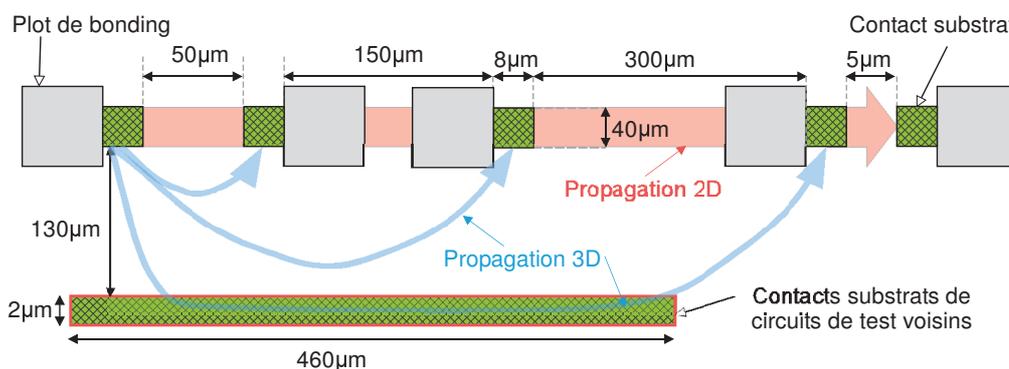


Fig. 3.38: Structure de test pour la mesure des résistances du substrat

résultats de mesure de résistances sont présentés figure 3.39. Ces mesures permettent de retrouver les caractéristiques de la propagation du courant dans les diverses technologies de substrat énoncées section 2.1.2, page 60 et observées lors des mesures transimpédance du couplage substrat sur les véhicules TEST5 et TEST6. La résistance du substrat « bulk » est supérieure à celle du substrat « epi 14 », elle-même supérieure à celle du substrat « epi 7 » pour les distances supérieures à $5\ \mu\text{m}$.

La résistance des trois types de substrat est très proche pour une distance de $5\ \mu\text{m}$ ce qui semble indiquer que le dopage de la zone épitaxiée

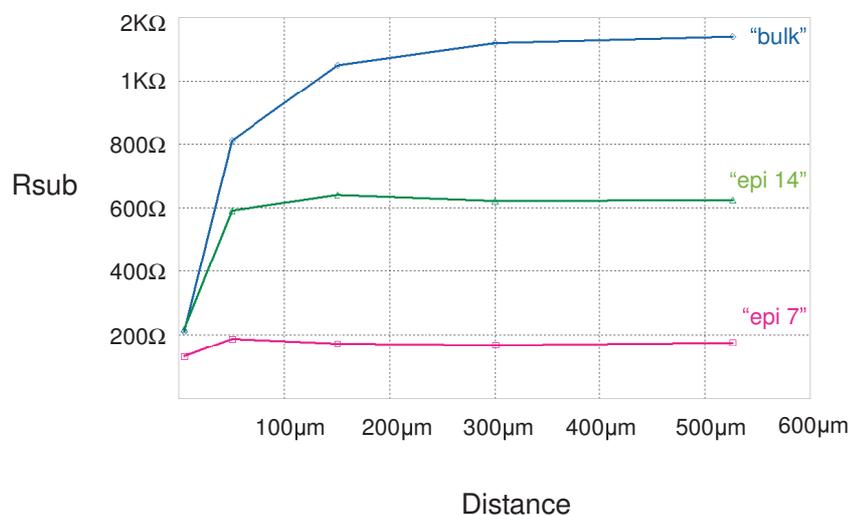


Fig. 3.39: Mesures de résistances substrat sur les trois technologies de substrat

est équivalent à celui du substrat « bulk », le courant circulant majoritairement, dans ce cas, dans la couche épitaxiée des substrats « epi 14 » et « epi 7 ». On note de plus dans ce cas, un écart de résistance entre les deux technologies épitaxiées, ce qui semble indiquer que la couche épitaxiée est plus fortement dopée pour les substrats « epi 7 ».

La résistance du substrat croît ensuite avec la distance jusqu'à $50\ \mu\text{m}$ pour les circuits épitaxiés puis devient constante traduisant, à partir de cette distance, la propagation du courant dans la couche conductrice P+ en profondeur. La résistance alors mesurée correspond à la résistance d'accès verticale depuis chaque contact jusqu'à la couche fortement dopée. En faisant l'approximation d'un dopage constant dans la couche épitaxiée (résistivité constante) et en négligeant les résistances d'accès aux plots de mesure et celle du substrat P+, on obtient une résistivité de $0.9\ \Omega\text{cm}$ pour le substrat « epi 7 » et de $1.3\ \Omega\text{cm}$ pour le substrat « epi 14 ».

Ces faibles résistivités s'expliquent par la présence du bloc de contacts substrats voisins de nos structures de test qui modifie les chemins de courant. Son effet se manifeste aussi pour la technologie « bulk » où la résistance semble atteindre une valeur de saturation alors que la propagation du courant se concentre, dans ce cas dans la couche supérieure fortement dopée du substrat pour tous les cas de figure, laissant supposer une évolution quasi linéaire de la résistance avec la distance.

L'effet de saturation de la résistance pour cette technologie est visible à partir de $150\ \mu\text{m}$, distance du même ordre de grandeur que celle séparant

nos plots de test du bloc de contacts substrat. A partir de cette distance, les chemins de courant entre nos points de test seront courbés latéralement pour atteindre le bloc de contacts, chemin de plus faible impédance.

Des simulations physiques en environnement SILVACO nous ont permis, pour la technologie « bulk », de vérifier l'impact de ce bloc de contacts substrat (Fig. 3.40). La figure (Fig. 3.41) illustre les résultats de mesure et

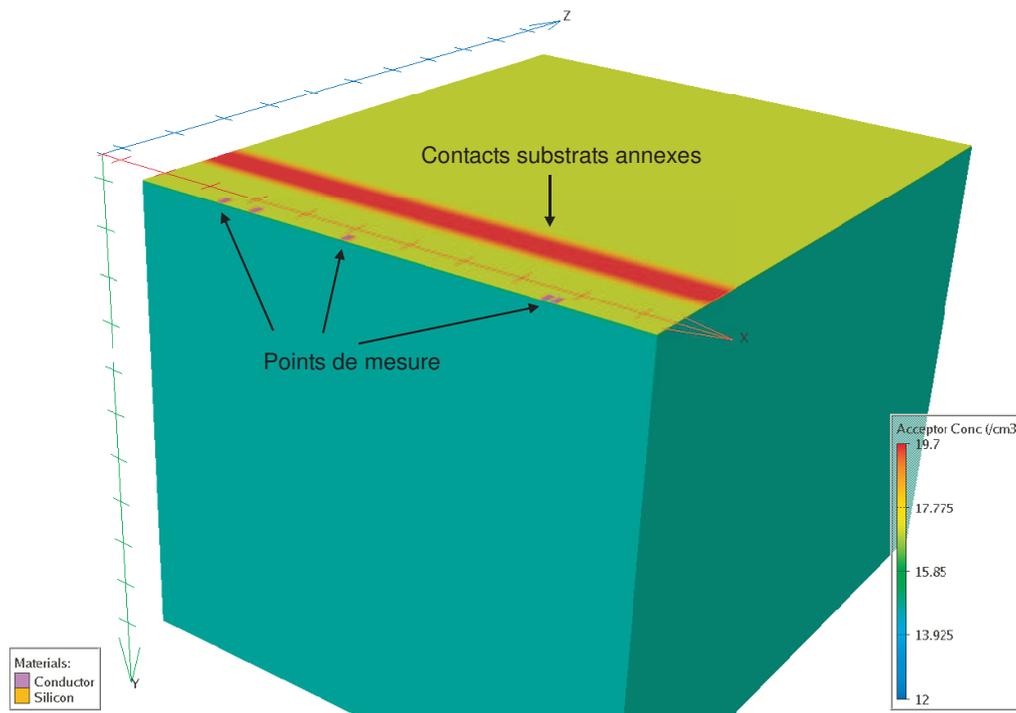


Fig. 3.40: Structure pour les simulations physiques

de simulation de la résistance DC du substrat avec (3D) et sans prise en compte (2D) du bloc de contact voisin. Dans le cas de la simulation 2D la densité de courant fournie par le simulateur est divisée par la largeur des contacts ($40\mu\text{m}$).

Les résultats de simulation 3D montrent une très bonne convergence vis-à-vis des mesure uniquement en technologie « bulk » dont le profil de dopage est parfaitement maîtrisé. Les incertitudes concernant les profils de résistivité obtenus par mesure de *spreading résistance* pour les technologies épitaxiées induisent des écarts de plus de $7\text{dB}\Omega$ entre les simulations et les mesures. Cette phase de caractérisation électrique du substrat montre a quel point il est complexe d'extrapoler des résultats de mesure ou de simulation

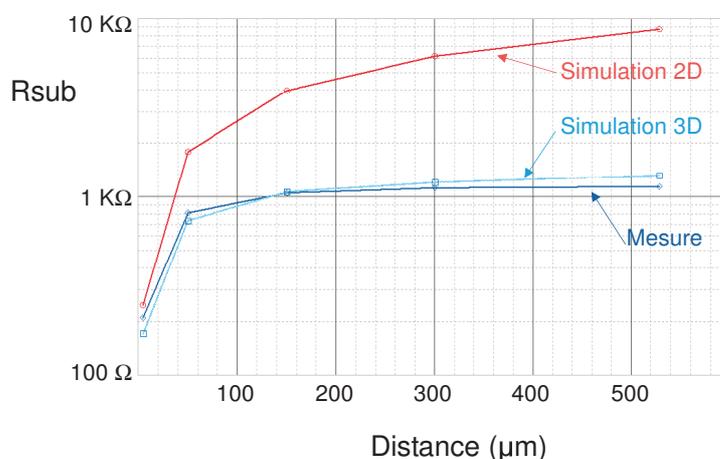


Fig. 3.41: Mesures et simulations 2D et 3D de la résistance du substrat en technologie "bulk"

issus de structures de test isolées pour le cas réel d'un circuit ou les ports substrats sont multiples et répartis sur l'ensemble de la surface de la puce.

Les simulations en 3 dimensions des circuits TEST5 et TEST6 étant impossible à réaliser dans l'environnement SILVACO, les modèles électriques deux dimensions du substrat que nous proposons dans la suite du document sont principalement obtenus par mesure entre les différents ports substrats et par ajustement empirique des impédances unitaires.

3.3.3.2 Modélisation électrique du couplage substrat

Le modèle électrique du couplage substrat entre le noeud d'injection de l'oscillateur et la photodiode BigPhd des circuits TEST5 et TEST6 sont présentés figure 3.42. L'effet des anneaux de garde induisant une propagation isotrope des courants de substrat, les capacités des anneaux de garde NWELL sont issues des modèles fournis par le fondeur en prenant en compte leur dimension totale. Les impédances des réseaux RC de chaque « région » du substrat ont été obtenues en partitionnant, comme pour le modèle du boîtier, les mesures et simulations entre les différents ports. Il est cependant impossible de décorréler totalement les mesures, chaque port étant connecté à ses voisins par le substrat. La démarche expérimentale suivie est développée en annexe A.

La photodiode et ses anneaux de garde sont notamment dupliqués (Fig. 3.1, page 87 et Fig. 3.42 (a)) et nous supposons que les ports substrats associés à ces anneaux sont court-circuités.

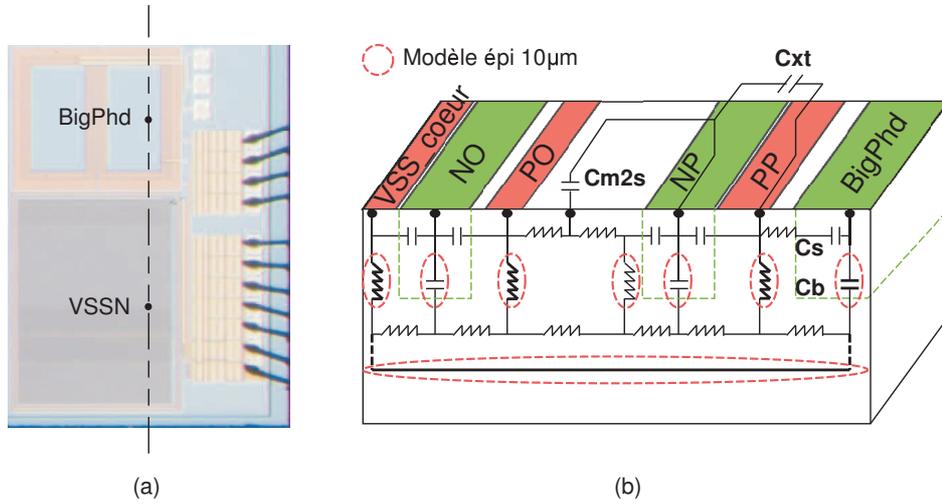


Fig. 3.42: Microphotographie et vue en coupe des circuits TEST5

La capacité C_{m2s} correspond à la capacité, extraite à partir de la vue placée routée du circuit, entre les anneaux de garde optiques (anneau de métal de bas niveau et de grande dimension), connectés aux anneaux NWELL des photodiodes, et le substrat.

La capacité C_{xt} extraite aussi par DIVA est la capacité de couplage entre les rails de métal routant les anneaux P+ et NWELL des photodiodes.

Alors que le modèle complexe complet illustré figure 3.42 (b) est à définir pour le substrat « bulk » qui prend en compte à la fois la propagation en surface et en profondeur du substrat [21], un modèle simplifié est aisément obtenu pour la technologie « epi 10 » pour laquelle les chemins de courant se propagent principalement dans la profondeur du substrat peu résistif. Ce modèle ne prend en compte que les résistances verticales depuis les ports jusqu'à la zone de substrat fortement dopée considérée équipotentielle (Fig. 3.42 (b), éléments entourés en pointillés). Ce modèle électrique relativement simple surestime le couplage substrat notamment à haute fréquence et il est nécessaire de lui ajouter les ports substrats annexes identifiés par les mesures champ proche (Cf. section 3.2.3.2, page 103). Ces contacts substrat annexes étant répartis sur l'ensemble de la puce, il est complexe de modéliser les chemins de couplage les liant à nos structures de test (Fig. 3.43). Nous avons choisi de les connecter directement au noeud d'injection par des résistances dont les valeurs sont issues de mesures statiques.

Le tableau 3.4 donne les valeurs des résistances DC mesurées entre les différents ports substrat ohmiques pour les circuits TEST5 en technologie « bulk » et « epi 10 ». Les valeurs des capacités de jonction totales équiva-

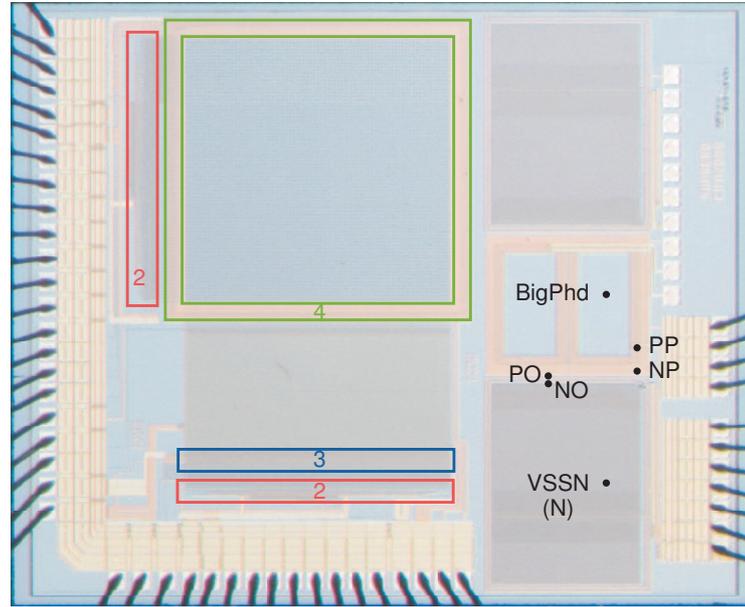


Fig. 3.43: Répartitions des principaux ports substrat sur les circuits TEST5

lentes des anneaux de garde NWELL NO et NP sont respectivement $5.8 pF$ et $7.8 pF$ en technologie « bulk » et $11.7 pF$ et $15 pF$ en technologie « epi 10 » en polarisation DC $3.3 V$. L'architecture du modèle complet du cou-

Circuit	R_{N-PO}	R_{N-PP}	R_{N-2}	R_{N-3}	R_{N-4}	R_{PO-PP}	R_{PP-4}
bulk	72	243	102	126	103	207	218
epi 10	16.3	22.9	10	21.2	20.3	24.5	218

Tab. 3.4: Résistances du substrat obtenues par mesure sur les circuits TEST5 « bulk » et « epi 10 »

plage substrat codé en *VHDL-AMS* est présenté figure 3.44. Il est constitué :

- du modèle ICEM complet de l'oscillateur incluant les interconnexions du boîtier et les sources de polarisation (Fig. 3.31) ;
- du modèle électrique du substrat associé à ses ports d'entrée / sortie ;
- du modèle des interconnexions du boîtier connectant les ports à l'environnement circuit imprimé
- du bloc de polarisation des anneaux de garde ;
- du modèle SPICE du circuit transimpédance dédié.

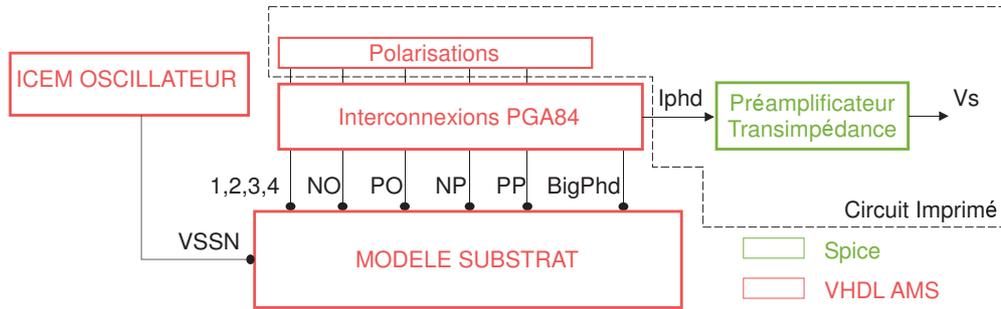


Fig. 3.44: Architecture du modèle VHDL-AMS de couplage substrat pour les véhicules TEST5 et TEST6

L'environnement du circuit imprimé est modélisé par les impédances parasites des pistes routant les tensions VDD Garde (3.3V) à destinations des anneaux NWEELL, le plan de masse est supposé idéal.

Le modèle SPICE du circuit transimpédance dédié est basé sur les sous-circuits des amplificateurs opérationnels OPA657 fournis par *Texas-Instruments* et est compilé comme une entité VHDL analogique. Tous ces sous-ensembles sont intégrés dans un modèle VHDL-AMS de haut niveau.

3.3.3.3 Validation du modèle et stratégies de garde

Les simulations du modèle montrent une bonne corrélation avec les mesures transimpédance pour tous les types de circuit. Les sauts de tension observés sont relatifs à l'amplification des appels de courants induits par le couplage substrat à la photodiode par les circuits transimpédance. Leurs constantes de temps dépendent à la fois de l'interaction entre les impédances de la photodiode, du boîtier et de la capacité de compensation du premier étage amplificateur et des performances des amplificateurs opérationnels utilisés (bande passante, slew rate).

Les formes d'onde obtenues figure 3.45 correspondent à des transitoires sur le photocourant de l'ordre de la dizaine de microampères, sur des temps de transition de 2.8ns (moitié de la pseudo-période des perturbations injectées par l'oscillateur dans le substrat). Le décalage temporel observé entre la mesure et la simulation (Fig. 3.45) provient des imperfections du modèle d'émission (cf. 3.3.2.3, page 117).

On note de plus que les mesures sont bruitées par des oscillations à 170MHz. Ceci illustre bien la présence d'un phénomène de couplage magnétique entre les fils de *bonding*, mis en évidence par les mesures en champs proche et non pris en compte dans cette version du modèle. La comparaison des spectres des transitoires de courants obtenus par simulation de nos

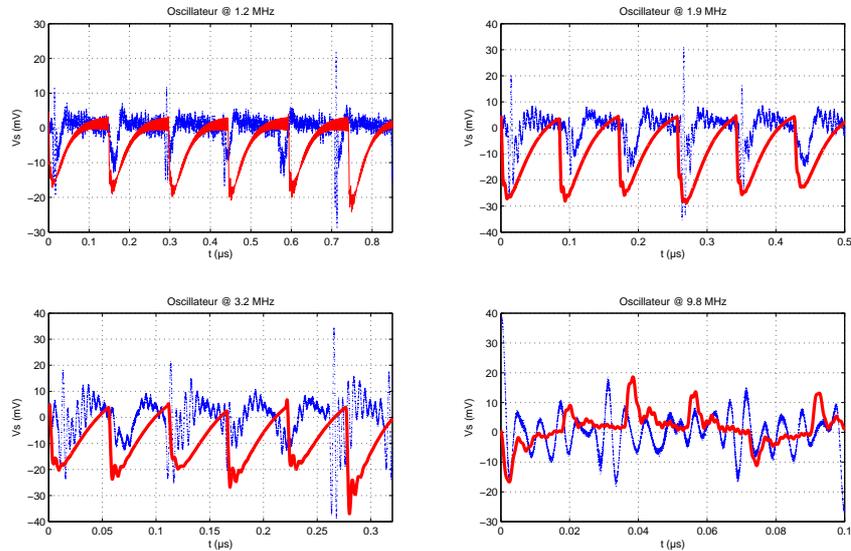


Fig. 3.45: Comparaison des mesures transimpédance (bleu) et des simulations (rouge) du modèle VHDL AMS pour le circuit en technologie "epi 10"

structures de test pour les deux technologies de substrat révèle une atténuation moyenne du bruit pour la technologie « bulk » de 20dB contre 15dB observé en mesure.

La figure 3.46 montre les atténuations du couplage de bruit par le substrat obtenues grâce à la simulation du modèle, en polarisant à la masse des anneaux de garde P+ du le circuit « bulk ». Pour chacun des cas représenté, l'atténuation est le rapport d'amplitude du courant couplé à la photodiode sans structure de garde et lorsque l'anneau de garde considéré est mis à la masse. On retrouve bien que l'anneau de garde de la photodiode est le plus efficace et qu'un maximum d'atténuation est obtenue par la polarisation commune des deux anneaux. On note aussi que l'atténuation apportée par les anneaux de garde diminue avec l'augmentation de la fréquence, les inductances parasites des interconnexions devenant prépondérantes. L'efficacité des structures de garde est moindre pour la technologie épitaxiée, comme on a pu l'observer en mesure (Fig. 3.46). On ne note pas non plus d'atténuation du bruit de substrat par la polarisation des anneaux de garde NWELL

D'une manière générale, l'efficacité des anneaux de garde est surestimée par le modèle. Ceci peut provenir du fait que seule une partie des chemins de courant est prise en compte, qu'aucun couplage magnétique entre inter-

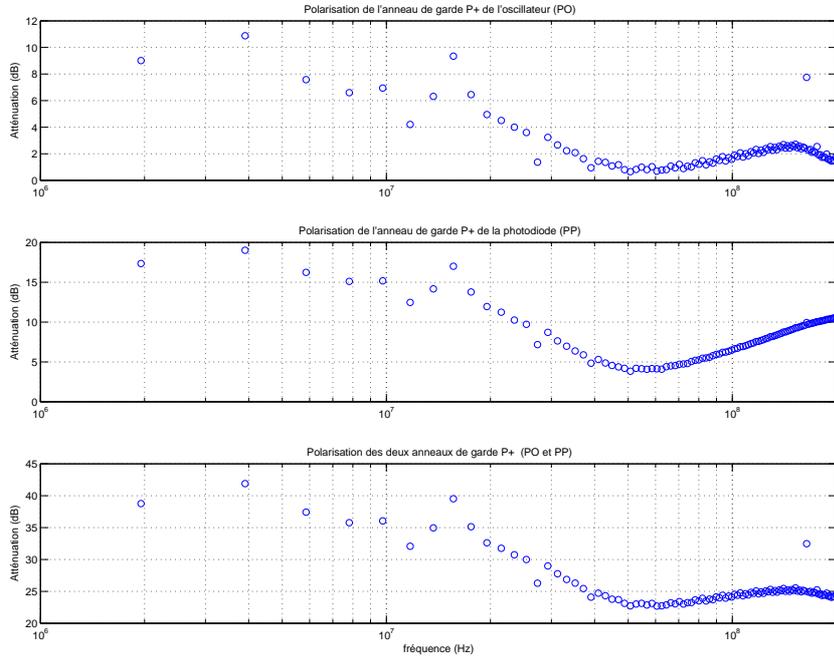


Fig. 3.46: Atténuation du courant couplé par le substrat à la photodiode BigPhd en technologie "bulk"

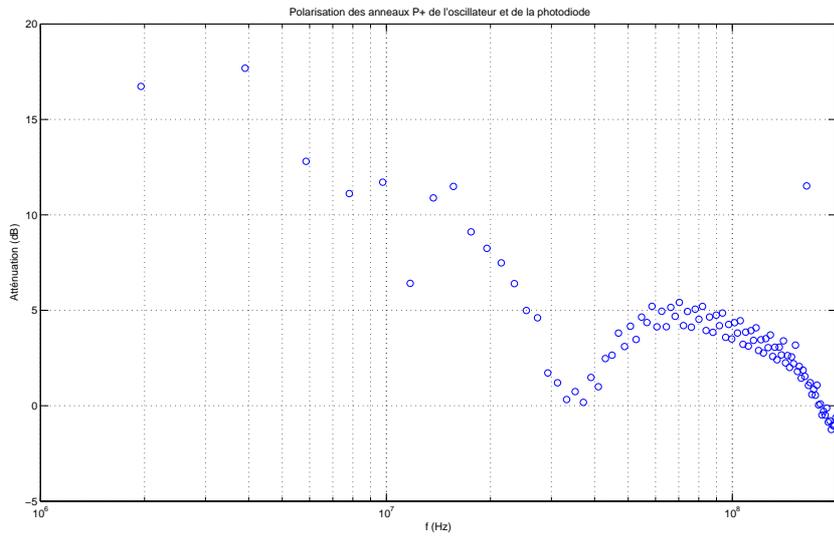


Fig. 3.47: Atténuation du courant couplé par le substrat à la photodiode BigPhd en technologie "epi 10"

connexions n'est modélisé et que le plan de masse polarisant les anneaux P+ est idéal.

La bonne caractérisation de l'environnement électrique de la puce est primordial dans l'étude du bruit de substrat. Des simulations du modèle ne prenant pas en compte les impédances parasites des interconnexions des anneaux de garde révèlent en effet des atténuations de l'ordre de 80dB.

Le compromis entre la précision et la simplicité du modèle est acceptable. Son haut niveau d'abstraction a pour avantage de réduire fortement le temps de simulation qui est de l'ordre d'une vingtaine de seconde avec une résolution temporelle de 100ps sur une période de 2μs.

3.3.3.4 Conclusion

Nous avons mis en évidence, analysé et modélisé dans ce chapitre le couplage de bruit par le substrat entre un circuit numérique de faible puissance fonctionnant à basse fréquence et des photodétecteurs de types et de dimensions différentes. Le phénomène prépondérant d'injection de bruit dans le substrat étant le couplage ohmique du bruit d'alimentation, l'extension de la méthodologie ICEM pour l'étude du bruit de substrat a été utilisée et validée. L'efficacité de ce modèle réside à la fois dans la précision de modélisation de la source de bruit et des interconnexions de chaque port substrat au monde extérieur. L'obtention des impédances entre les différents ports du substrat reste l'élément critique de cette méthodologie. L'obtention d'un modèle totalement prédictif nécessite à la fois de connaître avec précision les données technologiques des procédés de fabrication et d'utiliser des outils à la fois efficaces et adaptés aux environnements réels des circuits microélectroniques. La réalisation de cette étude permet de dégager les conclusions suivantes.

- Un modèle capacitif de valeur constante peut être considéré pour traduire la réception du bruit de substrat par la photodiode ;
- L'utilisation d'anneaux de garde P+ offre une bonne isolation des circuits sur substrat résistif s'ils sont placés à la fois au niveau de la source de bruit et du circuit victime (leur effet est faible en technologie épitaxiée) ;
- L'utilisation d'anneaux NWELL pour le bruit de substrat est inutile pour les domaines de fréquence que nous considérons ³ ;
- Le routage des structures de garde depuis le silicium jusqu'au circuit imprimé influe grandement sur leurs performances ;

³Ce type de structure est souvent utilisée dans les imageurs CMOS où ils jouent un rôle de garde optique.

- La bonne compréhension des phénomènes de couplage et de la topologie du circuit est nécessaire pour établir un modèle simplifié du couplage substrat dont tous les ports ohmiques doivent être pris en compte ;
- Les substrats épitaxiés, ayant une susceptibilité accrue au bruit de substrat, aggravent les performances de bruit en mode rayonné des circuits intégrés ;

Bibliographie

- [1] IEC : INTERNATIONAL ELECTROTECHNICAL COMMISSION, « Integrated circuits - Measurement of electromagnetic emissions, 150KHz à 1GHz - part4 : Measurement of conducted emissions,1 Ω /150 Ω direct coupling method », Apr. 2002.
- [2] IEC : INTERNATIONAL ELECTROTECHNICAL COMMISSION, « Integrated circuits - Measurement of electromagnetic emissions, 150KHz to 1GHz - part2 : Measurement of radiated emissions,TEM-cell method », Jan. 2004.
- [3] H. JOHNSON, *High Speed Digital Design : a handbook of blackmagic*. Prentice-Hall ECS Professional, first éd., Apr. 1993.
- [4] M. MARDIGUIAN, *Controlling Radiated Emissions by Design*. Springer, second éd., Dec. 2000.
- [5] J. FLUKE, *Controlling Conducted Emissions by Design*. Springer, second éd., Jan. 1991.
- [6] ANALOG DEVICES®, *18-Bit, 1.25 MSPS PulSAR® ADC, AD7643 Datasheet*, 2006.
- [7] K. A. T. NAKURA, M. Ikeda, « Feedforward active substrate noise cancelling technique using power supply di/dt detector », in *Symposium on VLSI Circuits Digest of Technical Papers*, p. 284–287, 2005.
- [8] M.BADAROGLU, P. WAMBACQ, G. V. D. PLAS, S. DONNAY, G. GIENLEN et H. D. MAN, « Impact of technology scaling on substrate noise generation mechanisms », *IEEE 2004 custom integrated circuit conference*, Jun. 2004.
- [9] C. S. CC WANG, IL Fujimori, « Characterization of cmos photodiodes for imager application », in *IEEE Workshop on Charge Coupled Device and Advanced Image Sensors*, p. 76–79, 1999.

-
- [10] X. ARAGONÈS, J. L. GONZÀLEZ et A. RUBIO, *Analysis and solutions for switching noise coupling in mixed signal ICs*. Kluwer academic publishers, 1999.
- [11] A. S. H. J. QUARESMA, P.M. Santos et E. SICARD, « A methodology for extracting unknown integrated circuit process parameters », in *IEEE International Conference on Electronics, Circuits and Systems*, vol. 1, p. 84–88, Dec 2005.
- [12] K. M. F. T. TSUKUDA, « Approaches to reducing digital-noise coupling in CMOS mixed-signal lsis », *IEEE Tran. Fundamentals*, Feb 1997.
- [13] L. FORBES, B. FICQ et S. SAVAGE, « Resonant forward-biased guard ring diodes for suppression of substrate noise in mixed-mode CMOS circuits », *IEEE electronic letters*, vol. 31, p. 720–721, 1995.
- [14] B. VRIGNON, S. D. BENDHIA, E. LAMOUREUX et E. SICARD, « Characterization and modeling of parasitic emission in deep submicron CMOS », *IEEE transactions on electromagnetic compatibility*, vol. 47, May. 2005.
- [15] E. SICARD, A. BOYER et A. TANKIELUN, « On the prediction of near-field microcontroller emission », in *EMC 2005 Proceedings : International symposium on electromagnetic compatibility*, vol. 3, p. 695–699, 2005.
- [16] M. BADAROGLU, M. V. HEIJNINGEN, V. GRAVOT, S. DONNAY, H. J. D. MAN, G. G. E. GIELEN, M. ENGELS et I. BOLSENS, « High level simulation of substrate noise generation from large digital circuits with multiple supplies », in *IEEE DATE*, p. 326–330, 2001.
- [17] X. QUI, G. WANG, Z. YU et R. DUTTON, *On-chip inductance modeling and RLC extraction of VLSI interconnects for circuit simulation*, 2000.
- [18] D. BROOKS, *PCB Impedance control : Formulas and Resources*, 1998.
- [19] KYOCERA®, *PGA84 Package Datasheet*. Consulté le 20/9/2006.
- [20] R. PERDRIAUX, *Méthodologie de prédiction des niveaux d'émission conduite dans les circuits intégrés, à l'aide de VHDL-AMS*. Thèse doctorat, Université Catholique de Louvain, 2004.
- [21] M. PFOST, H.-M. REIN et T. HOLZWARH, « Modeling substrate effects in the design of high-speed si-bipolar ic's », *IEEE J. Solid-State Circuits*, vol. 31, 1996.

Chapitre 4

Etude du bruit de substrat dans le cas d'un imageur CMOS standard

Les techniques de mesure et de modélisation présentées dans le chapitre précédent seront mise en oeuvre dans ce chapitre pour mener l'étude complète du couplage de bruit par le substrat dans le cas d'un imageur CMOS complet.

Nous présenterons dans un premier temps les objectifs de cette étude qui a donné lieu à la conception d'un circuit dédié dont nous expliciterons l'architecture.

Une analyse du bruit d'alimentation du circuit sera ensuite menée pour aboutir au modèle ICEM complet des circuits numériques le constituant que nous étendrons au couplage substrat.

Enfin l'effet du bruit de substrat sur la réponse de l'imageur sera abordé de manière qualitative.

4.1 Objectifs de l'étude et dispositif expérimental

Après avoir identifié les circuits numériques agresseurs et évalué l'impact du bruit de substrat sur le processus de photodétection, il nous était indispensable d'appréhender les niveaux de bruit effectivement injectés dans le substrat lors du fonctionnement d'un capteur CMOS standard.

La mise en oeuvre d'un imageur CMOS nécessitant divers signaux et circuits appartenant à des domaines d'horloge différents (cf. Chapitre 1,

page 33), nous avons aussi cherché à évaluer l'impact de chaque agresseur sur la quantité de bruit injecté.

Il était enfin nécessaire d'évaluer l'amplitude et la répartition spatiale du bruit de substrat au niveau de la matrice de pixel pour mieux appréhender son impact sur la qualité de l'image.

4.1.1 Le véhicule de test 128TEST7

Nous avons conçu, pour les besoins de cette étude, un circuit imageur CMOS dédié basé sur une architecture matricielle de 128×128 pixels photodiode 3T au pas de $12\mu m$ en technologie AMS0.35 μm (Fig. 4.1) sur substrat résistif (« bulk ») et épitaxié (« épi 10 »). Nous présenterons dans un premier temps l'architecture du circuit et rappellerons le fonctionnement des organes de base d'un circuit imageur.

4.1.2 Architecture interne du circuit

Le véhicule 128TEST7 se compose de blocs standards dans l'architecture des capteurs CMOS et de circuits dédiés à notre étude (Fig. 4.2 et 4.4).

Les précautions de conception énoncées dans le chapitre 3 ont été suivies pour ce circuit complet dont les blocs de *pads* numériques et analogiques ainsi que les alimentations sont séparés afin d'éviter au maximum des phénomènes de *crosstalk* entre interconnexions métalliques.

4.1.2.1 Les circuits standards

Ils se composent du séquenceur, des décodeurs ligne et colonne, du circuit de lecture et de la matrice de pixel. Le séquenceur a pour fonction de générer les signaux nécessaires à la lecture de la matrice (Fig. 4.4) :

- Les vecteurs d'adresse de 7 bits aux décodeurs ligne (Y_i) et colonne (X_j);
- Le signal de remise à zéro (RST, an anglais *Reset*) des photodiodes décodé au niveau ligne comme nous le verrons par la suite ;
- Les signaux d'échantillonnage de la tension de sortie des pixels (SHR et SHS) ;

et ceux nécessaires pour l'acquisition vidéo du signal de sortie du capteur :

- le signal de synchronisation ligne ou horizontale (SYNCH) ;
- le signal de synchronisation image ou verticale (SYNCV) ;
- le signal de commande pour la conversion analogique/numérique (STC), la conversion étant effectuée en externe dans notre cas.

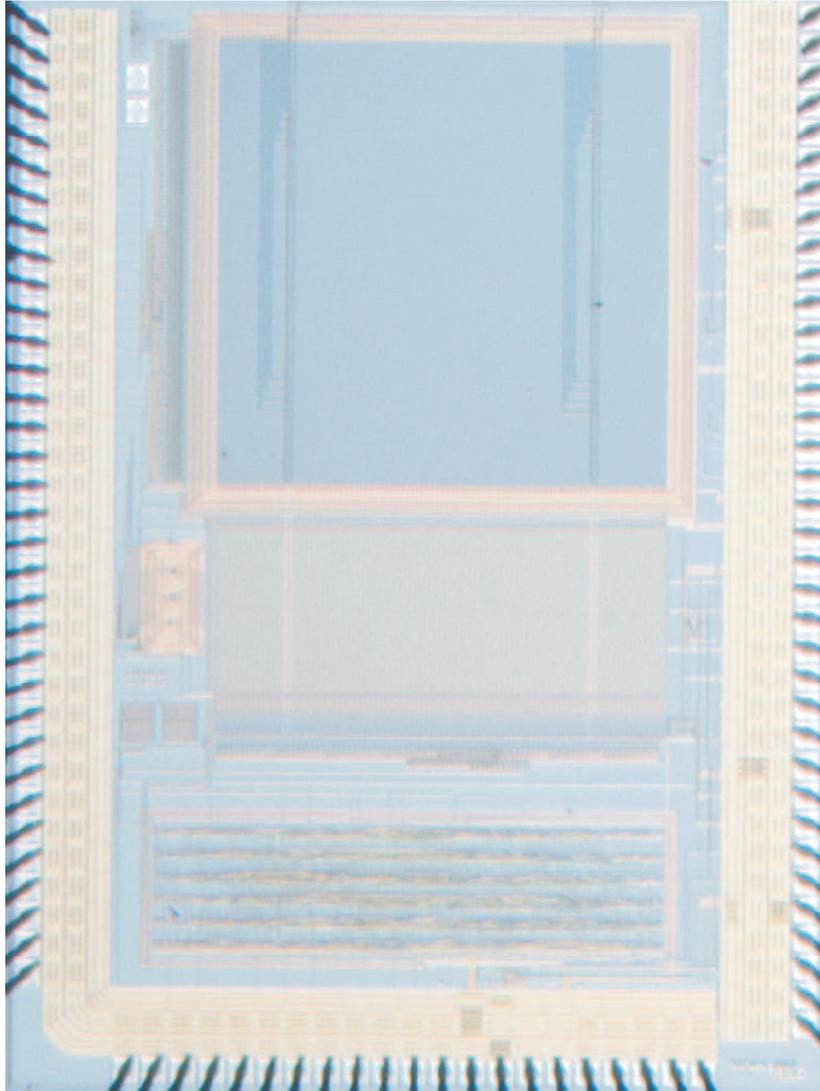


Fig. 4.1: Microphotographie du circuit 128TEST7

Le séquenceur est une machine d'états configurable par protocole I2C dont la cadence de fonctionnement maximale, assurée par une horloge externe, est 50MHz. La matrice peut être adressée par un circuit externe afin d'évaluer

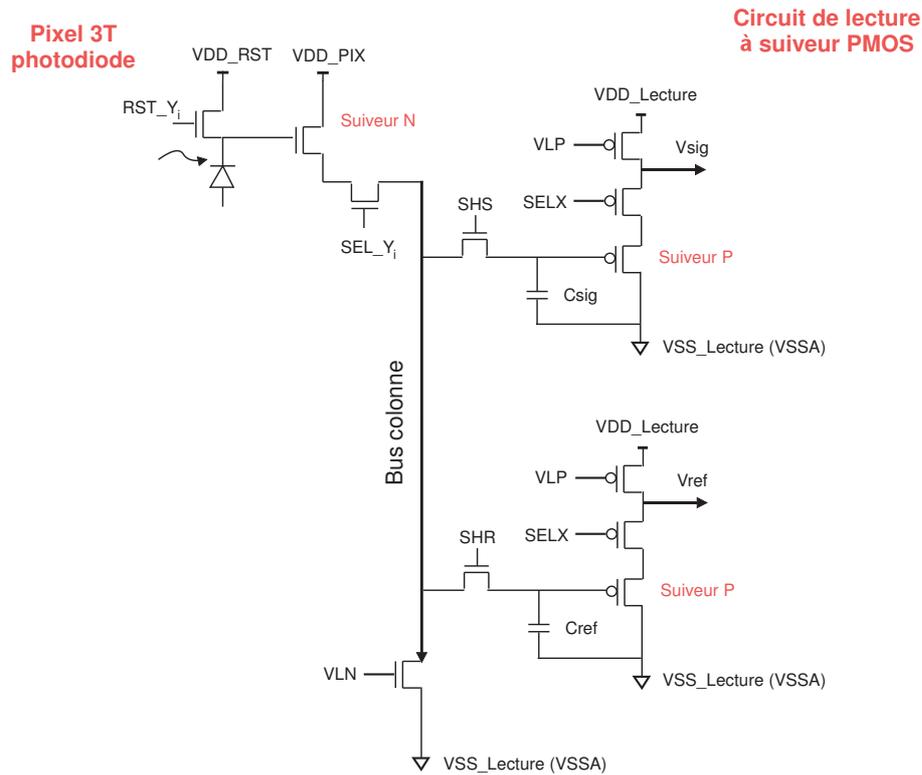


Fig. 4.3: Vue schématique du pixel et des circuits de lecture du véhicule 128TEST7

l'impact de l'intégration du séquenceur sur le bruit d'alimentation, nous nous sommes laissés la possibilité par conception de lire la matrice à l'aide d'un circuit externe (mode séquençement externe). Il est donc possible de désactiver le séquenceur et de fournir aux décodeurs, à la logique d'accès et aux circuits de lecture les signaux de contrôle nécessaires (séquenceur désactivé).

Il est aussi possible de désactiver les sorties du séquenceur pour évaluer la part des commutations internes générées par le fonctionnement du séquenceur sur le bruit d'alimentation (mode séquenceur seul).

Le décodeur ligne génère les signaux de sélection ligne SEL_Y_i et de remise à zéro des photodiodes RST_Y_i à destination des pixels de la ligne i à partir des vecteurs d'adresse Y_i et du signal de *reset* RST fournis par le séquenceur.

Les niveaux de signal (après intégration), respectivement de référence (ou niveau de *reset*) des pixels de la ligne i , sont ensuite échantillonnés dans les capacités de stockage de chaque circuit de lecture colonne par l'intermédiaire des signaux respectivement SHS et SHR.

Le décodeur colonne fournit enfin les signaux de sélection SEL_X_j aux circuits de lecture colonne. Ces derniers délivrent ensuite successivement les signaux échantillonnés de chaque pixel aux circuits extérieurs par l'intermédiaire des broches signal (V_{sig}) et référence (V_{ref}).

Ceci rappelle la présence de deux domaines d'horloge dans les capteurs CMOS, la cadence ligne et la cadence colonne ou cadence pixel (en anglais *Pixel Rate*) qui conditionne directement le débit de données de l'imageur.

Afin de pouvoir décorrélérer l'impact de chaque circuit numérique sur le bruit d'alimentation, il est possible de désactiver les sorties des décodeurs ligne et colonne. Dans ce mode de fonctionnement, la logique d'accès du pixel et des circuits de lecture est inactive.

Les pixels 3T photodiodes intègrent un transistor de sélection recevant le signal de sélection ligne, un transistor de *reset* pour la mise à la référence de la photodiode. Le suiveur intra pixel est constitué du transistor source commune et de la source de courant colonne contrôlée par la tension VLN (Fig. 4.3).

Le transistor de *reset* et le suiveur du pixel sont polarisés par deux alimentations distinctes, respectivement VDD_RST et VDD_Pix .

Le suiveur de sortie se compose d'un suiveur de type PMOS pour s'adapter à la dynamique du signal délivrée par le pixel et d'un transistor de sélection recevant la commande SEL_X_j .

La source de courant du suiveur colonne est polarisée par la tension $VDD_Lecture$, le transistor suiveur, la source de courant colonne et les capacités d'échantillonnage étant référencés à la masse analogique $VSS_Lecture$ que nous appellerons par la suite VSSA.

4.1.2.2 Les circuits dédiés

Deux colonnes de pixels nommés BDS pour (bruit de substrat) ont été intégrés dans la matrice de pixel afin de pouvoir mesurer les niveaux de bruit de substrat au sein même de la matrice pendant le fonctionnement du circuit. Ils sont sélectionnés par un décodeur dédié (Décodeur Pixels BDS) et leur signal de sortie est lu sans échantillonnage par deux circuits de lecture.

L'architecture des pixels et des circuits de lecture est identique à celles des pixels standards (Fig. 4.3). Ainsi la susceptibilité de ces circuits vis à vis du bruit de substrat est représentative de celle des circuits standards. Seule

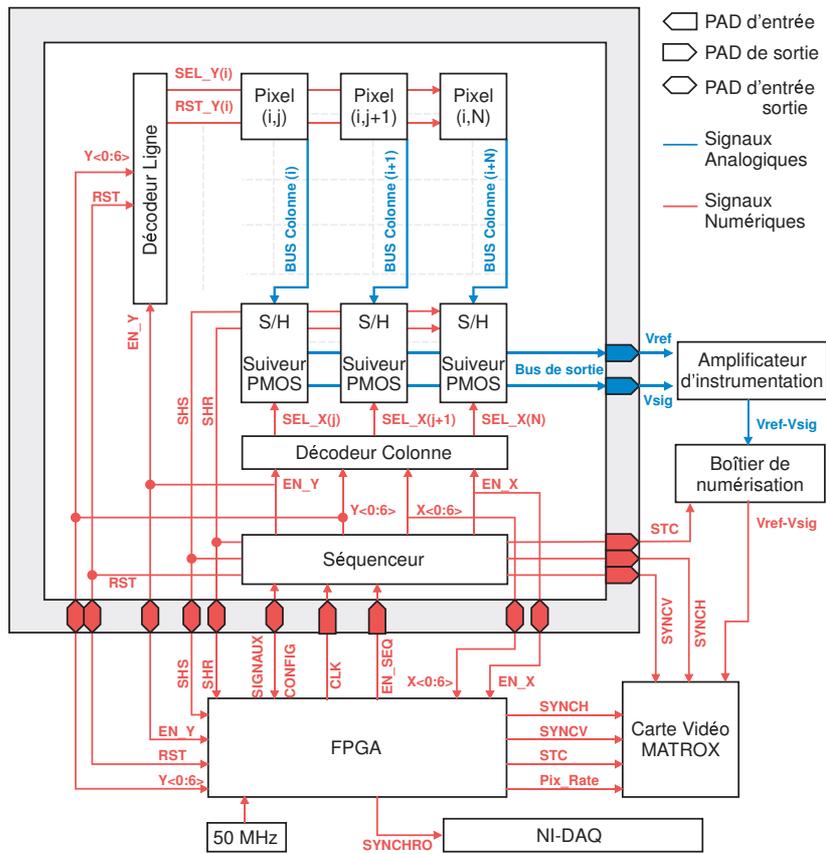


Fig. 4.4: Vue synoptique du circuit 128TEST7

la bande passante et le gain des circuits BDS relativement aux variations du potentiel de substrat ont été optimisés.

Des détecteurs de courant d'alimentation ont aussi été intégrés, dans la perspective de l'étude de l'intégrité des alimentations analogiques du pixel, du circuit de lecture. Ils permettront aussi d'affiner l'étude du bruit d'alimentation des circuits numériques (séquenceur et des décodeurs).

Une source de bruit, constituée de 10 lignes d'inverseurs, chacune composée de 40 inverseurs, a pour fonction de générer des perturbations asynchrones à la lecture de la matrice dans la perspective d'émuler le fonctionnement d'un processeur externe.

Enfin le bloc de *pads* d'entrée/sortie numériques dispose de *buffers* bidirectionnels pour être compatible à la fois avec le mode de séquençement interne et le mode de séquençement externe. Leur « sens » est configurable par un signal externe.

4.1.3 Environnement électrique et mise en oeuvre du circuit TEST7

L'environnement de mesure du circuit 128TEST7 se compose d'une carte de test étendant les précautions relatives à l'intégrité des signaux et de plusieurs interfaces d'acquisition (Fig. 4.5). Nous avons conçu un circuit imprimé 6 couches organisé comme suit :

- couche 1 : face composant, connecteurs et plans de masse ;
- couche 2 : plans d'alimentations ;
- couche 3 : signaux numériques ;
- couche 4 : plans de masse ;
- couche 5 : signaux analogiques ;
- couche 6 : face circuit TEST7 et plan de masse.

Il supporte à la fois (Fig. 4.4) :

- le capteur CMOS TEST7 ;
- un circuit logique programmable (FPGA pour *Field Programmable Gate Array*) SPARTAN 3 (Xilinx) assurant les fonctions de séquençement externe et de synchronisation ;
- un amplificateur d'instrumentation composé d'amplificateurs opérationnels discrets pour le conditionnement du signal vidéo ;
- un bloc de régulateurs délivrant les tensions d'alimentations aux divers circuits ;
- des connecteurs d'entrée-sortie pour l'interfaçage avec les appareils de mesure et les cartes d'acquisitions (carte vidéo Matrox ou National

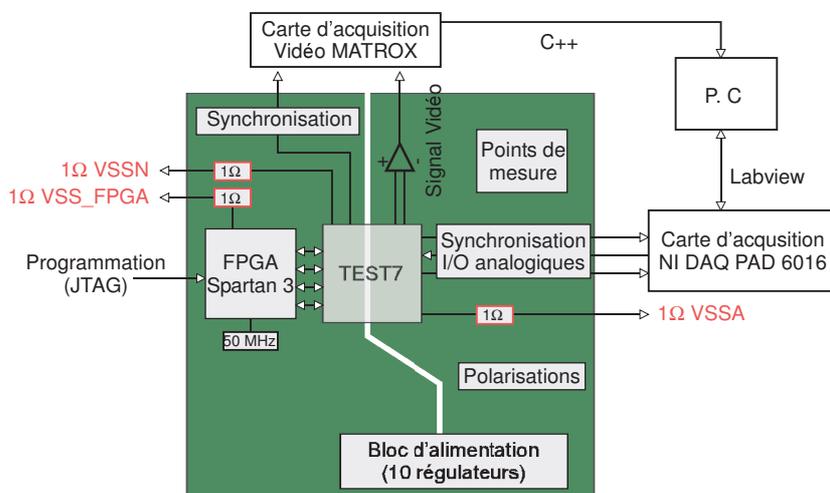


Fig. 4.5: Vue synoptique de la carte TEST7

Instrument pour la mise en oeuvre capteurs de courant intégrés dans le circuit TEST7.

Les tensions d'alimentation des différents circuits sont délivrées par des régulateurs linéaires contrairement aux stratégies d'alimentation utilisées pour les FPGA à base de régulateurs à découpage pour générer le moins de commutation possible sur la carte. Les alimentations numériques sont préférentiellement routées par plans afin de réduire les inductances parasites du réseau d'alimentation numérique du circuit et du FPGA.

Toutes les alimentations sont routées sur le même plan et toute superposition de signaux, alimentations et plans de masse analogiques et numériques a été évitée. La stratégie adoptée pour le découplage des tensions d'alimentation du FPGA est issue de [1] et des données constructeurs et recommandations issues de la littérature pour le circuit TEST7 et l'amplificateur d'instrumentation. Nous avons préservé le routage en étoile des plans de masse qui sont court-circuités au niveau du bloc de régulateurs afin de confiner les chemins de retour des courants de commutation dans le plan de masse numérique.

Diverses sondes de mesure 1Ω ont été réalisées pour mesurer les courants de retour sur les broches de masse numériques (VSSN) et analogiques (VSSA) du circuit TEST7 mais aussi sur la broche de masse du FPGA commune à tous ses circuits internes (coeur logique, broches de configuration, circuits d'entrée/sortie). Ceci permettra d'évaluer l'impact des perturba-

tions induites par le FPGA sur le fonctionnement du circuit numérique et sur l'intégrité des mesures.

4.2 Etude du bruit d'alimentation

Nous essaierons dans une première partie de dégager les point clefs qui nous permettrons de modéliser le bruit d'alimentation des circuits numériques du circuit TEST7.

4.2.1 Environnement électrique

Les mesures 1Ω VSS_FPGA et VSSN montrent qu'il y a couplage conduit du bruit d'alimentation entre les deux circuits.

En effet, le plancher de bruit de VSS_FPGA augmente dans le cas ou le séquenceur est activé et qu'il délivre ses sorties (Fig 4.6). Dans ce cas, les

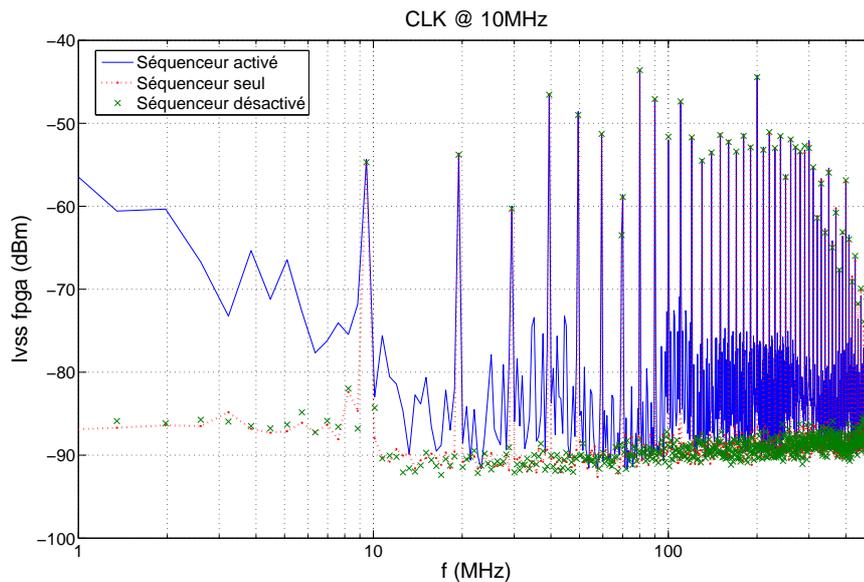


Fig. 4.6: Mesure 1Ω VSS_FPGA en mode séquenceur interne à 10MHz sur substrat résistif

signaux de lecture de la matrice sont reçus via les circuits d'entrée sortie de la puce par le FPGA dont les broches correspondantes sont en haute impédance car non utilisées. On ne note aucune modification de l'allure spectrale du bruit de masse du FPGA dans les configurations séquenceur

seul, séquenceur désactivé ou lorsque nous forçons les pads bidirectionnels en entrée.

Le couplage de bruit d'alimentation entre le FPGA et la puce TEST7 se fait donc par les circuits d'entrées sorties des deux composants qui court-circuitent en transitoire leurs alimentations respectives, l'alimentation numérique du circuit TEST7 polarisant à la fois les circuits numériques, tous les étages de « buffers » d'entrée/sortie et leurs protections contre les décharges électrostatiques.

La comparaison des mesures 1Ω VSS_FPGA et VSSN en séquençement interne montre de plus que les enveloppes spectrales des courants mesurés sont distinctes quelle que soit la fréquence de fonctionnement du séquenceur (Fig. 4.7). Seules les harmoniques de l'oscillateur externe à 50MHz sont présentes sur le spectre de VSSN aux faibles fréquences de fonctionnement, leurs amplitudes est ensuite inférieure à celles émises par le circuit ($F_{CLK} > 3\text{MHz}$). On note enfin une atténuation du bruit d'alimentation numérique du circuit

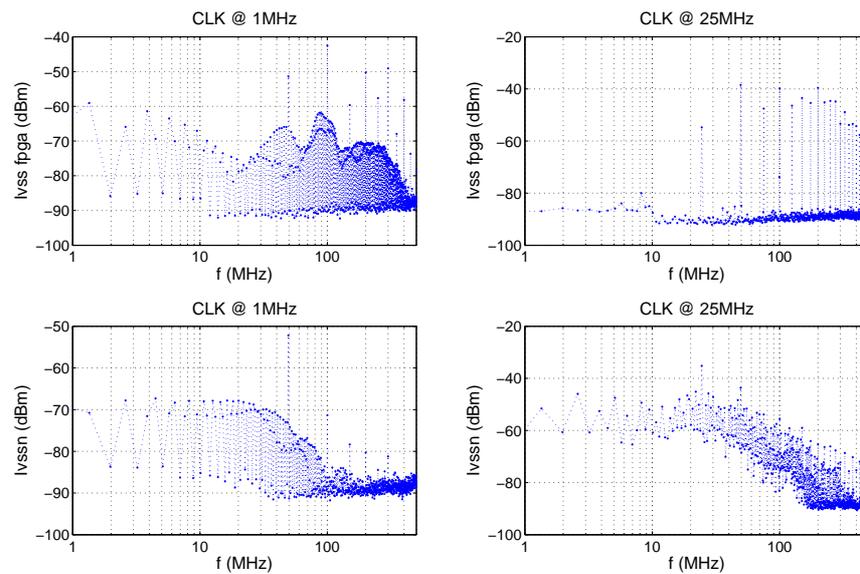


Fig. 4.7: Mesures 1Ω sur les broches VSS_FPGA et VSSN sur substrat résistif

TEST7 de 20dB en mode séquençement externe par rapport au séquençement interne (Fig. 4.8), le FPGA générant plus de bruit d'alimentation dans ce mode de fonctionnement. Ce constat reste vrai lorsque les circuits d'entrée/sortie bidirectionnels sont forcés en entrée (Cf. section 4.2.2, Fig. 4.9).

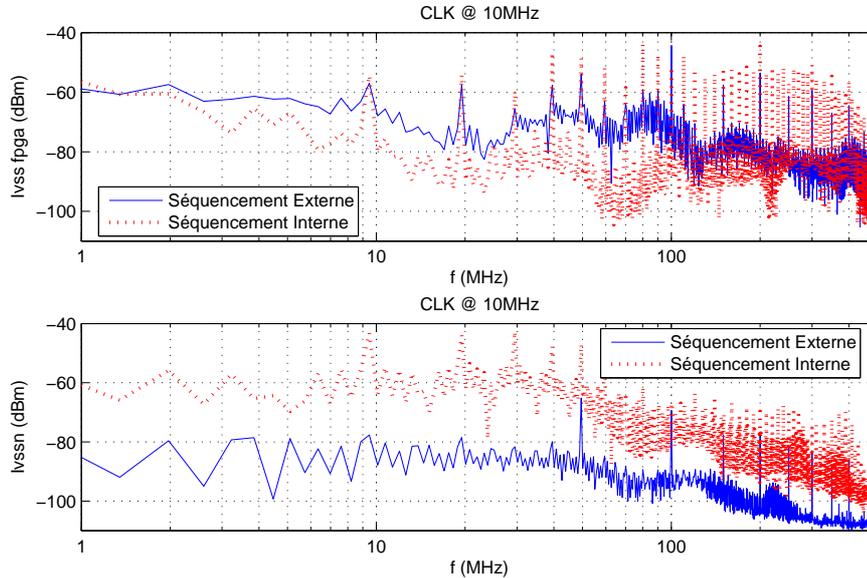


Fig. 4.8: Bruit d'alimentation du FPGA et du circuit TEST7 sur substrat résistif en séquencement interne (buffers bidirectionnels en sortie) et externe

Nous avons montré que notre environnement de mesure est adapté à l'étude des émissions conduites du circuit sous test malgré l'intégration d'un composant numérique bruyant sur le circuit imprimé. Le plan de masse numérique servant de référence aux deux sondes 1Ω VSS_FPGA et VSSN pourra donc être considéré comme idéal pour la modélisation ICEM.

De plus nous avons mis en évidence que l'intégration de fonctions numériques peut constituer une limitation des performances des capteurs CMOS et que les circuits d'entrée/sortie jouent un rôle important sur le bruit d'alimentation généré.

4.2.2 Eléments d'analyse pour la modélisation ICEM

4.2.2.1 Impact des circuits d'entrée/sortie

Il a été montré que les circuits d'entrée/sortie numériques jouent un rôle non négligeable sur le bruit d'alimentation des circuits intégrés [2].

Nous devons considérer dans notre circuit l'impact des *buffers* d'entrée et de sortie relatifs au fonctionnement standard d'un imageur, c'est à dire ceux routant les signaux d'horloge (CLK) et de synchronisation vidéo (STC, SYNCH, SYNCV), et des buffers bi-directionnels utilisés spécialement pour notre étude.

Les figures 4.9 (a) et (b) illustrent l'impact de la commutation des *buffers* bidirectionnels sur le bruit d'alimentation de notre circuit. L'échelle de

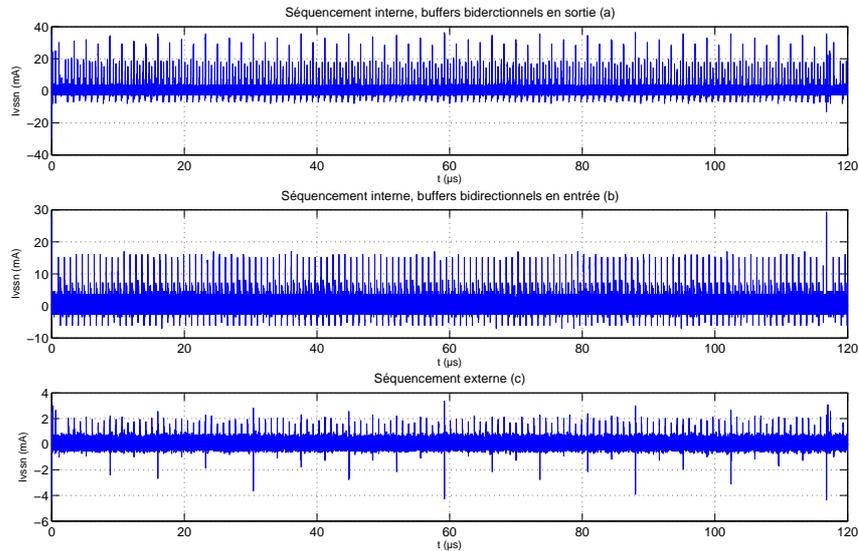


Fig. 4.9: Mesure temporelle du bruit d'alimentation du circuit TEST7

temps ici représentée correspond au temps de lecture d'une ligne ($117\mu s$) pour une fréquence d'horloge de 10MHz. On constate que la désactivation de l'étage de sortie des buffers bidirectionnels uniformise et diminue de moitié les amplitudes crête à crêtes des pics de courant mesurés sur la masse numérique.

Les principaux pics de courant d'amplitude variable et dont la période est de 900ns (Fig. 4.9 (a)) correspondent aux N ($N \leq 7$) changements d'état simultanés du vecteur d'adresse colonne induisant la commutation simultanée des sorties du séquenceur, des décodeurs et des buffers bidirectionnels. L'aspect uniforme de l'amplitude des courants mesurée figure 4.9 (b) semble montrer que les commutations des *buffers* d'entrée (CLK) et de sortie (STC, SYNCH, SYNCV) masquent celles des circuits numériques internes.

La période des pics de courant, est identique à la cadence pixel (*Pixel Rate*) donc liée au débit vidéo du capteur.

La comparaison entre les figures 4.9 (b) et (c) confirme que même dans le cas d'un fonctionnement standard (échange des signaux d'horloge et de synchronisation), l'intégration du séquenceur induit un bruit d'alimentation supérieur. Dans ce cas, le bruit mesuré correspond à la fois à la commutation

des buffers d'horloge et de sortie ainsi qu'au fonctionnement du séquenceur et des décodeurs.

4.2.2.2 Impact du fonctionnement des circuits numériques

Les nombreuses configurations de fonctionnement des circuits numériques de séquençage et de décodage nous ont permis d'isoler les circuits et signaux ayant un impact prépondérant sur le bruit d'alimentation.

Le maximum de bruit est obtenu dans la configuration où le séquenceur délivre ses sorties aux décodeurs et au FPGA (buffers bidirectionnels en sortie). La désactivation des sorties des décodeurs lignes et colonnes (EN_X et EN_Y à 0) n'a aucun impact sur l'amplitude du bruit conduit et ceci pour toutes les fréquences de fonctionnement (Fig. 4.10 (a)). L'analyse des

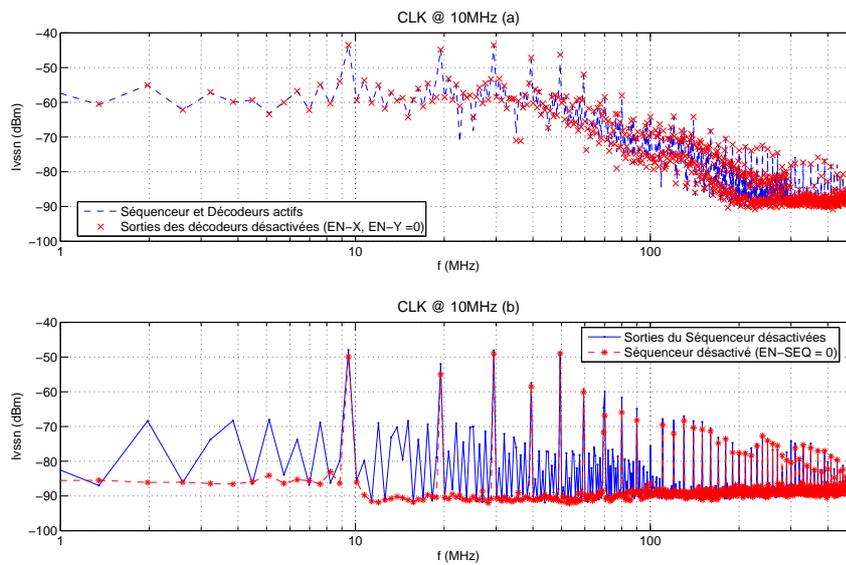


Fig. 4.10: Impact des divers circuits numériques sur le bruit d'alimentation du circuit TEST7

décodeurs ligne et colonne d'architecture similaire (1 parmi 128), montre que la génération des termes intermédiaires de décodage, par le premier étage du décodeur, implique des portes logiques fortement dimensionnées et un routage complexe sur de grandes distances (Fig. 4.11). Leurs commutations simultanées, sous l'effet des changements d'états des bits du vecteur d'adresse) sont donc susceptibles de masquer celles successives des derniers étages plus fortement chargés, le signal de désactivation des sorties n'intèr-

nant que tardivement en regard de la propagation des signaux de commande dans les décodeurs (Fig. 4.12).

La charge du décodeur ligne correspond aux capacités équivalentes des rails de métal de 1.5mm de long routant les signaux de sélection (SEL_Y) et de remise à zéro (RST) associées aux capacités MOS des transistors de la logique d'accès. Celle des décodeurs ligne est plus faible autant en termes de dimensions de routage que du nombre de transistors adressés, seul les deux transistors de sélection colonne (X) de chaque suiveur étant activés.

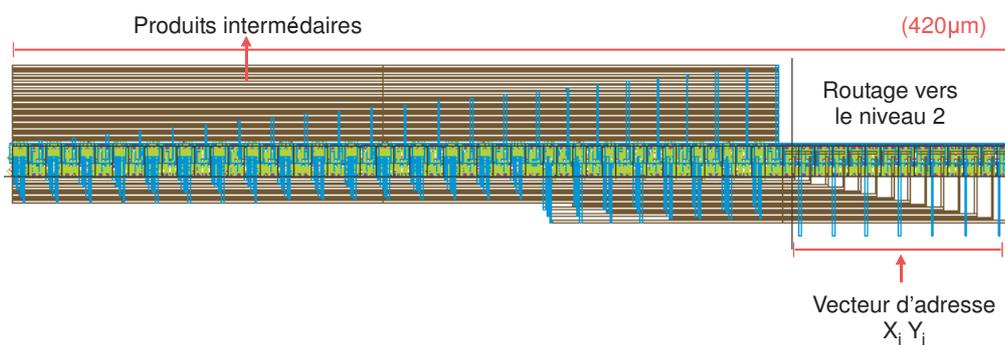


Fig. 4.11: Premier étage des décodeurs ligne et colonne

La désactivation des sorties du séquenceur (*séquenceur seul*) diminue le bruit d'alimentation du circuit d'autant plus que les circuits d'entrée/sortie bidirectionnels sont configurés en sortie (Fig. 4.10 (b)).

Dans cette configuration :

- le bruit d'alimentation propre au séquenceur est diminué (désactivation des *buffers* de sortie du séquenceur chargés par les rails de métal et les étages d'entrée des décodeurs) ;
- le bruit d'alimentation des décodeurs est supprimé ;
- le bruit d'alimentation des buffers bi-directionnels et de sortie (STC, SYNCV, SYNCH) est supprimé.

Le fonctionnement du séquenceur induit une augmentation du plancher de bruit et l'on note, figure 4.10 (b), l'impact de la commutation du buffer d'horloge dont le bruit d'alimentation est mesuré alors que le séquenceur est désactivé (son arbre d'horloge n'étant pas sollicité dans ce cas).

4.2.2.3 Simulations

Nous avons réalisé des simulations temporelles mixtes analogiques/numériques de nos circuits dans l'environnement Advance-MS. L'architecture

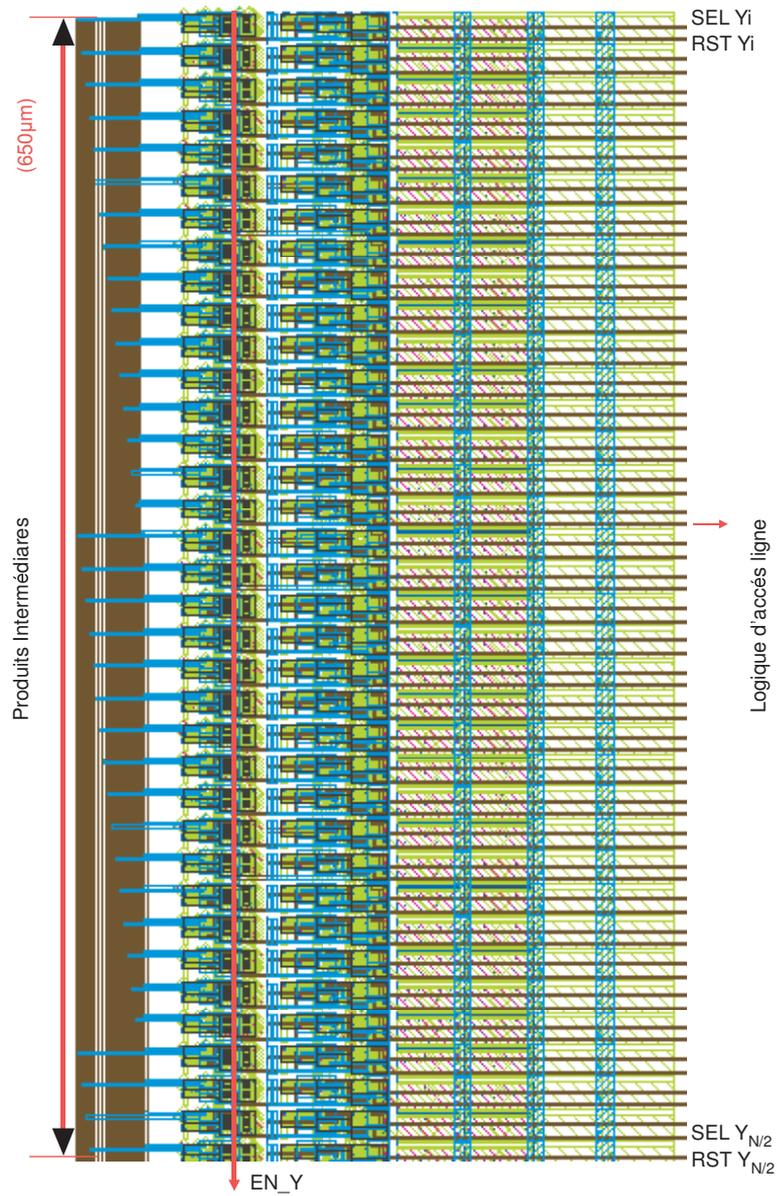


Fig. 4.12: Deuxième étage du décodeur ligne (Y)

du circuit simulé est illustrée figure 4.13 afin d'identifier plus précisément les principaux appels de courant des différents circuits. Le bloc de configuration nécessaire pour l'initialisation et le cadencement du séquenceur est codé en VHDL.

Les vues rétro-annotées capacitatives du séquenceur et des décodeurs tiennent compte de leurs charges respectives (interconnexions métalliques, étage d'entrée des *buffers* bidirectionnels et de sortie) et chaque sous bloc est doté de sa propre alimentation pour pouvoir visualiser séparément son courant d'alimentation.

La description mixte de ces circuits est intégrée dans une « netlist » SPICE de haut niveau et l'interface entre le bloc de configuration numérique et le séquenceur est formalisée par des convertisseurs numériques et analogiques. Les temps de montée et de descente de ces convertisseurs ont été ajustés d'après les données constructeurs du FPGA concernant les temps de transition des « buffers » d'horloge. Le bloc de *pads* numérique n'a pu être intégré dans ces simulations, la description de certains éléments constitutifs (diodes de protection ESD) n'étant pas supportée par l'outil (Advance-MSS) permettant de générer la *netlist* spice du circuit complet. Nous avons consi-

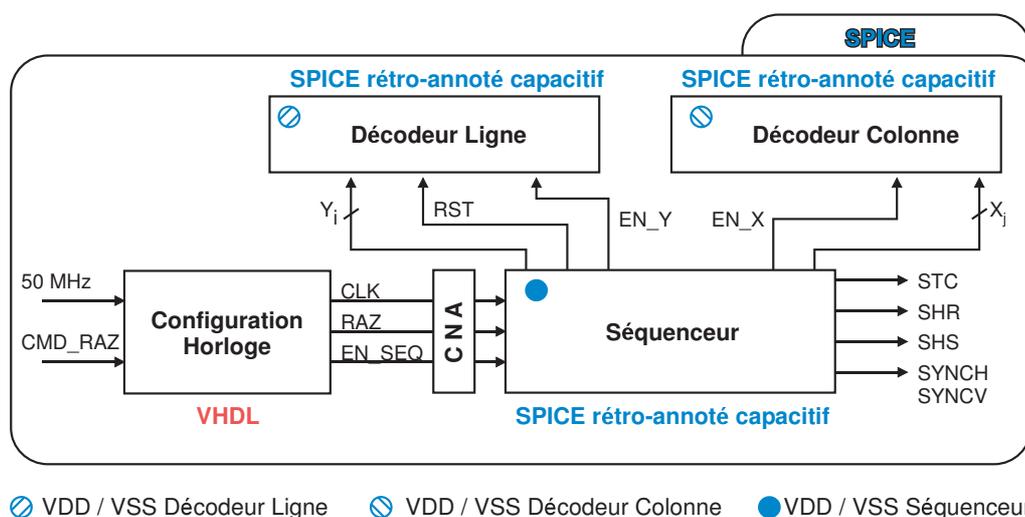


Fig. 4.13: Architecture de la simulation mixte des circuits TEST7

déré pour cette analyse le cas de la lecture fenêtrée de 5 par 5 pixels sur la plage d'adresse ligne et colonne 60 à 64 (Fig. 4.14). Ceci permet de réduire le temps de simulation et d'observer tous les appels de courant n'appartenant pas, spécialement pour les adresses lignes, au même domaine d'horloge dans le cas de la lecture complète de la matrice.

4.2.3 Bilan

Les résultats de simulation obtenus confortent les hypothèses émises section 4.2.2.2 et permettent de dégager les points suivants (Fig. 4.14).

- Le séquenceur génère des appels de courant sur les front montants du signal STC, sur les fronts montant et descendant de l'horloge et à chaque changement d'état des vecteurs d'adresse ligne (Y) et colonne (X).
- Le décodeur colonne génère des appels de courants pour tout changement du vecteur d'adresse en entrée X, d'autant plus important que le nombre de changements d'état est grand.
- Le décodeur ligne, plus fortement chargé, génère des appels de courant lors de la commutation du vecteur d'adresse en entrée Y (de la même manière que le décodeur colonne) et des signaux de sélection SEL_Y_i et de remise à zéro (RST , RST_i).

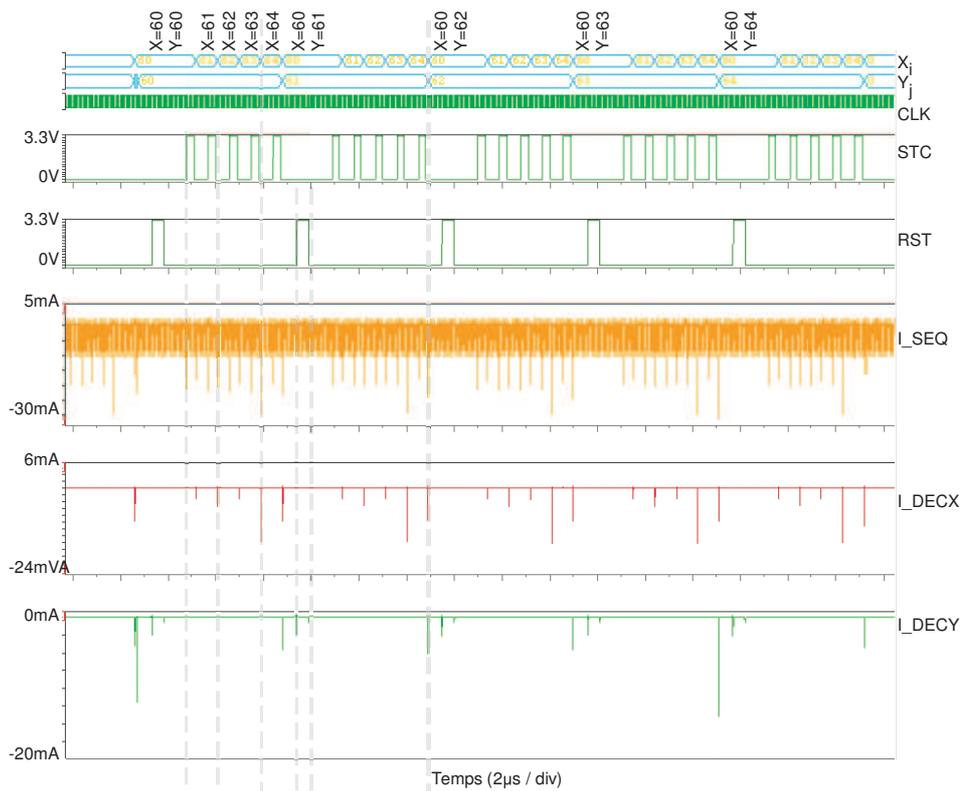


Fig. 4.14: Simulation mixte des blocs numériques du circuit TEST7

4.3 Modélisation ICEM étendue du circuit TEST7

Les simulations optimisées par le simulateur ELDO-MACH de l'architecture mixte illustrée figure 4.13 ont des temps d'exécution élevé (8 heures pour la simulation en lecture fenêtrée dont les résultats sont présentés figure 4.14. La co-simulation de circuits niveau transistor rétro-annotées et de blocs VHDL rend par exemple la phase d'initialisation du séquenceur, inutile pour la modélisation ICEM, relativement longue. Ces simulations ne sont donc pas adaptées à la modélisation ICEM des circuits numérique en fonctionnement standard, c'est à dire pour la simulation du bruit émis lors de la lecture d'une ou de plusieurs images.

Nous avons donc choisi, comme au chapitre précédent, de développer un modèle ICEM comportemental en VHDL-AMS de nos blocs numériques.

4.3.1 Méthodologie

Contrairement au cas du chapitre 3, les évènements de commutation sont synchrones à la lecture de la matrice (activité du séquenceur et des décodeurs). Ceci nous a conduit à aborder la modélisation ICEM par l'analyse des évènements de commutation à l'image de la technique proposée par *Nagata et al.* [3]. La méthodologie de modélisation est illustrée figure 4.15. Les

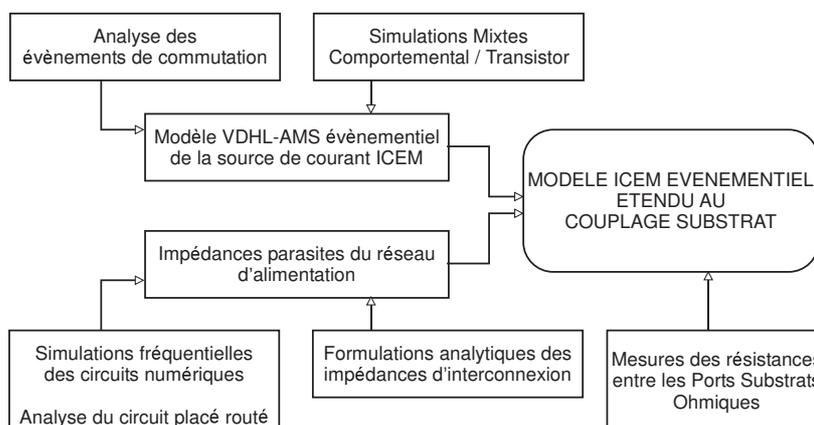


Fig. 4.15: Méthodologie de modélisation ICEM événementielle

évènements de commutation identifiés pour chaque circuit orientent à la fois l'architecture de son code VHDL-AMS (définition de l'interface, des paramètres de son architecture) et les simulations temporelles niveau transistor pour l'extraction des formes d'onde associées à chaque évènement.

Les formes d'onde des courants de commutation issues des simulations temporelles mixtes sont modélisées sous forme triangulaire dont on extrait manuellement les amplitudes et les temps de transition qui serviront de paramètre au modèle comportemental de la source de courant. Cette approximation triangulaire a été choisie pour simplifier l'architecture du modèle, la technique utilisant la lecture des fichiers de sortie des simulations temporelles induisant ici un grand nombre de fichiers et des problèmes de synchronisation. De plus cette simplification des formes d'onde, dont la pertinence a été démontrée lors du chapitre précédent, est communément utilisée pour modéliser les formes d'onde du courant consommé par les circuits numériques [4], [5]. Elle se justifie de plus dans notre étude par l'allure de l'enveloppe spectrale du bruit d'alimentation montrant des harmoniques d'amplitude constante et une atténuation à -40dB/décade à partir de 50MHz rappelant celle d'un train d'impulsion triangulaire de largeur à mi-hauteur voisine de 7ns [6], page 10 à 15.

Devant l'impossibilité de simulation des *pads* d'entrée sortie dans l'environnement mixte utilisé, nous avons extrait les stimuli issus des simulations temporelles du séquenceur et des décodeurs (amplitude, temps de transition) pour les appliquer à une vue rétro annotée capacitive des pads dont la simulation temporelle nous permet d'extraire les formes d'onde des courant de commutation.

Enfin nous mettons à profit les techniques d'extraction employées dans le chapitre précédent pour l'estimation du réseau d'alimentation numérique depuis la puce jusqu'au circuit imprimé.

Les principaux ports substrat capacitifs étant constitués par les caissons N dont la capacité équivalente au substrat est obtenues par simulation fréquentielle des vues rétro-annotées, nous avons choisi de ne considérer que les ports ohmiques au substrat dont nous évaluons les résistances de proche en proche par des mesures statiques.

Les modèles ICEM de chaque bloc numérique sont ensuite associés pour former le modèle ICEM complet du circuit.

4.3.2 Le modèle ICEM étendu

L'architecture du modèle ICEM étendu est présentée figure 4.16. L'analyse du bruit d'alimentation réalisée paragraphe 4.2.2 nous a permis d'identifier les événements générant les appels de courant de chaque sous ensemble numérique.

Le code VDHL-AMS des différentes sources de courant s'appuie sur celui du générateur d'impulsion périodique proposé par *R. Perdriaux* [4] modifié pour la prise en compte des événements selon les deux algorithmes illustrés

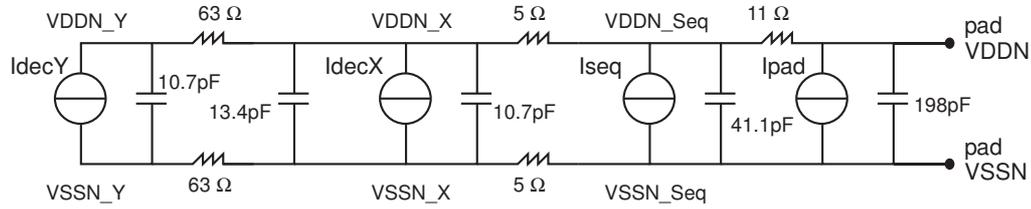


Fig. 4.16: Architecture du modèle ICEM complet (sources de courant et capacités silicium)

figure 4.17. Dans notre première version du modèle, chaque source possède son détecteur d'évènement (adresse ou autre). Ainsi nos sources de courant ICEM événementielles se composent de :

- Iseq : une source de type « adresse » sur les deux vecteurs d'adresse associée à une source de type « évènement » sur les fronts montant et descendant des signaux d'horloge (CLK) et de `start_convert` (STC)
- IdecX : une source de type « adresse » sur le vecteur d'adresse colonne
- IdecY : une source de type « adresse » sur le vecteur d'adresse ligne et une source de type évènement sur les fronts montant et descendant du signal de remise à zéro (RST)
- Ipad : une source de type « adresse » sur les deux vecteurs d'adresse associée à n sources de type évènement sur les fronts montant et descendant de l'horloge (CLK), du signal de remise à zéro (RST) et du signal `start_convert` (STC)

Afin de pouvoir couvrir l'ensemble des évènements de commutation du circuit relatifs à la lecture d'une image, nous avons exécuté les simulations suivante :

- lecture de tous les pixels de la première ligne (adresse Y_1, X_1 à X_{128})
- lecture de tous les pixels de la première colonne (adresse Y_1 à Y_{128}, X_1)
- mode séquenceur seul
- lecture fenêtrée, les sous-circuits étant polarisés par la même source de tension

Les formes d'onde ainsi obtenues nous permettent de traduire le comportement complet des circuits numériques en terme de bruit d'alimentation, la dernière simulation nous permettant de valider l'hypothèse de somme des contributions de chaque circuit.

Les temps de transitions des pics de courants relevés lors des simulations mixtes temporelles sont comprises entre 300ps et 2.3ns. Les amplitudes des courants générés par le bloc de *pad* numérique dont les *buffers* bidirectionnels sont configurés en sortie sont jusqu'à un ordre de grandeur supérieures à

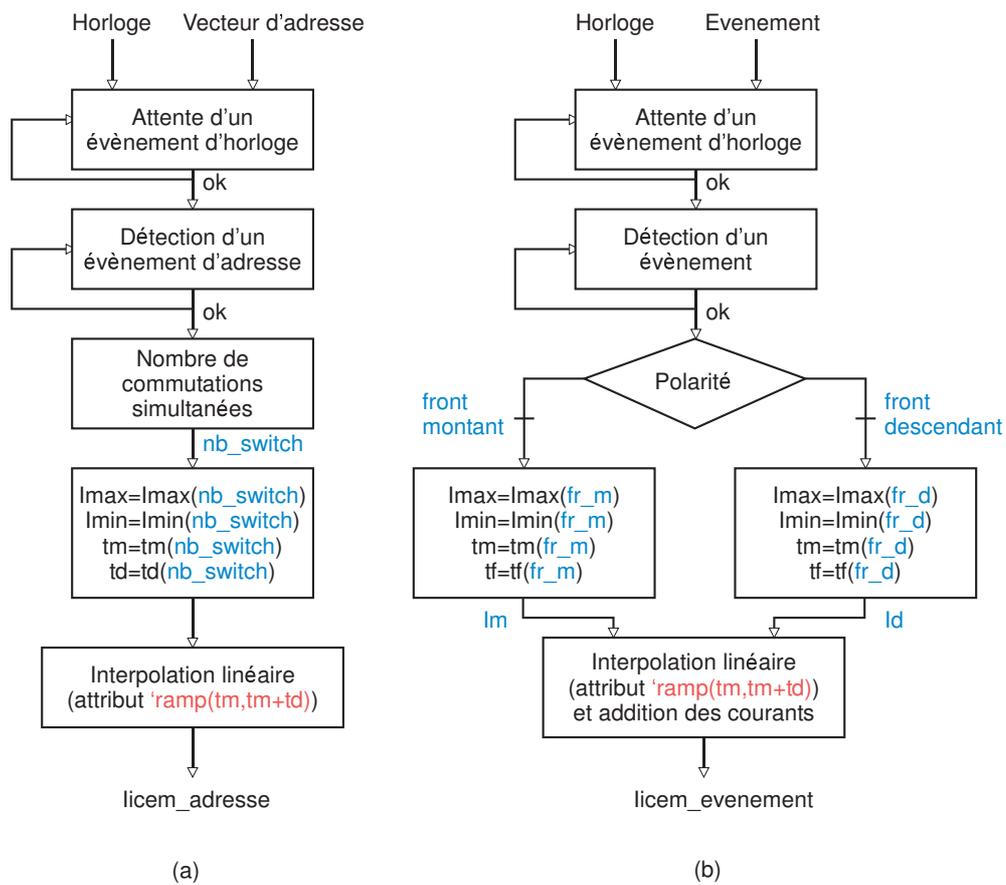


Fig. 4.17: Algorithmes de base pour la modélisation VHDL-AMS des sources de courant ICEM

celles des courant des autres blocs (Fig. 4.18). Les résistances des rails d’ali-

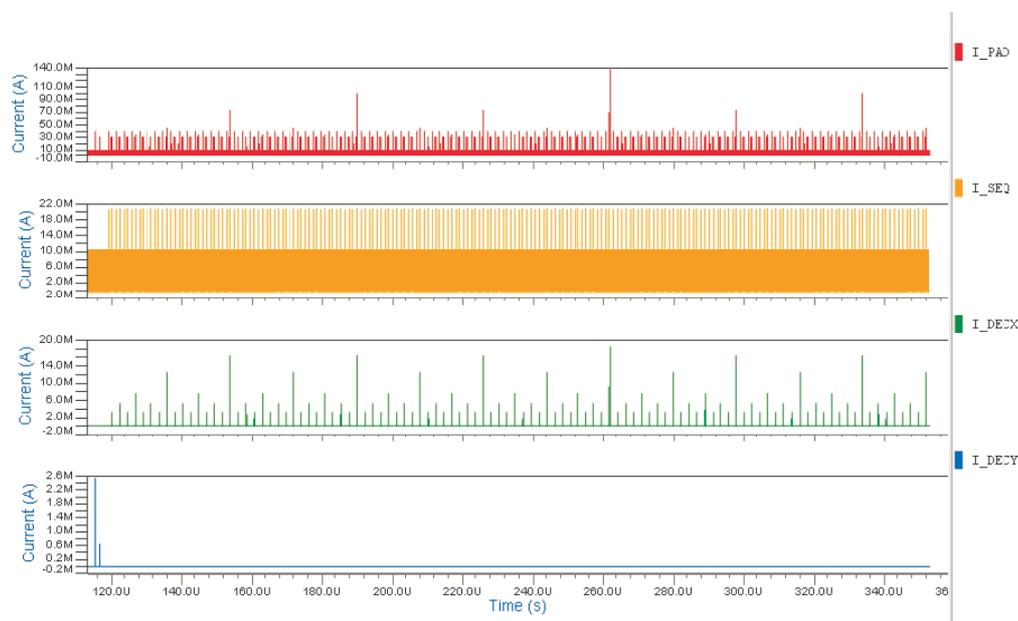


Fig. 4.18: Formes d’onde des courants des sources ICEM des blocs numériques

mentation sont relativement importantes du au fait que l’acheminement des alimentations est fait en série sur le circuit depuis les pads jusqu’au décodeur ligne. La capacité supplémentaire entre les sources de courant des deux décodeurs est celle de la source de courant asynchrone que nous n’activons pas dans notre cas.

La forte capacité équivalente du groupe de pads numériques est du au fait que les alimentations numériques polarisent l’ensemble des alimentations du groupe de pad (étages d’entrée et de sortie, protections ESD). Ce modèle est complété par celui des interconnexions du substrat et du boîtier (Fig. 4.19). Le modèle électrique des interconnexions du boîtier est le même que pour le PGA84. Il est issu des formulations empiriques validées dans le chapitre précédent et employées dans le cas d’un boîtier céramique PGA144. Le couplage par mutuelle inductance entre les fils de bonding et les pistes du leadframe ne sont pris en compte que pour le réseau d’alimentation numérique dont les interconnexions sont directement voisines.

Les ordres de grandeurs des impédances parasites du boîtier sont du même ordre de grandeur que celles obtenues pour le boîtier PGA84. Ceci vient du fait que les rapport des dimensions entre puces et boîtiers sont équivalents et que le routage du leadframe des deux boîtiers est comparable étant donné le rapport des dimensions entre la taille de la cavité et la

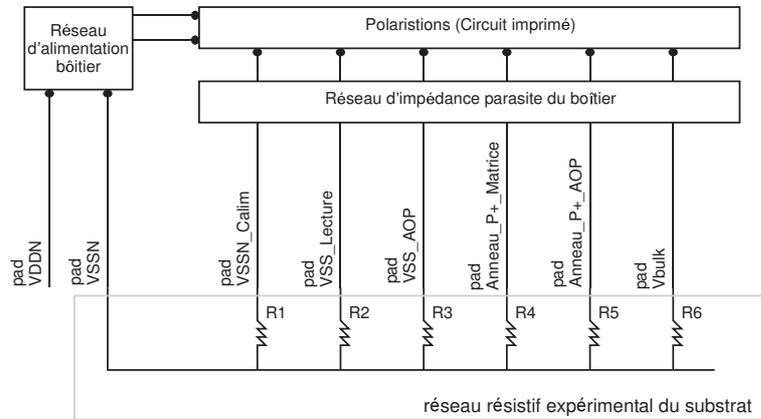


Fig. 4.19: Modèle électrique équivalent du substrat et des interconnexions du boîtier

taille du boîtier. Le boîtier PGA144 utilise en effet 3 couronnes de broches, réduisant ainsi la dimension des pistes du leadframe.

Enfin l'environnement électrique du circuit imprimé est considéré idéal, les alimentations et références étant routés par des plans. Les valeurs des résistances du substrat mesurées sont consignées tableau 4.1. Les ports sub-

Circuit	$R1$	$R2$	$R3$	$R4$	$R5$	$R6$
bulk	23.8Ω	53.4Ω	112.2Ω	42.3Ω	71.2Ω	364Ω
epi 10	10Ω	17.3Ω	48.1Ω	9.6Ω	12.1Ω	268.4Ω

Tab. 4.1: Résistances DC du substrat obtenues par mesure statiques sur les circuits TEST7 « bulk » et « epi 10 »

strats indiqués correspondent à :

- **VSSN_Calim** : contacts de masse des capteurs de courant d'alimentation et de l'anneau de garde P+ du séquenceur
- **VSS-Lecture** : contact de masse des sources de polarisation des suiveurs intra-pixel et des suiveurs colonne (la broche correspondantes est routée à la sonde 1Ω VSSA)
- **VSS-AOP** : contact de masse des amplificateurs suiveur intégré dans les capteurs de courant d'alimentation (mis à la masse)
- **VSS_Anneau_P+_Matrice** : anneau de garde P+ de la matrice de pixels
- **VSS-Anneau-P+AOP** : anneau de garde P+ des amplificateurs suiveurs des capteurs de courant d'alimentation (mis à la masse)
- **VSS_bulk** : contacts substrats des pixels de mesure du bruit de substrat

La forte densité d'interconnexions métalliques sur la puce amoindrit les écarts de résistance mesurés entre certains ports substrat (notamment entre VSSN et VSS_bulk) sur les substrats résistifs et épitaxiés. Les résistances obtenues entre chaque port dépend principalement de la taille des contacts et de leur éloignement (cas du substrat résistif).

4.4 Validation du modèle et analyse du couplage de bruit par le substrat

Les signaux servant de stimuli au modèle ICEM complet sont fournis par les blocs VHDL du circuit de configuration et du séquenceur. Le code VHDL du séquenceur est celui développé lors de la conception du circuit TEST7 (Fig. 4.20). Les ports de sortie du modèle ICEM sont les sondes 1Ω

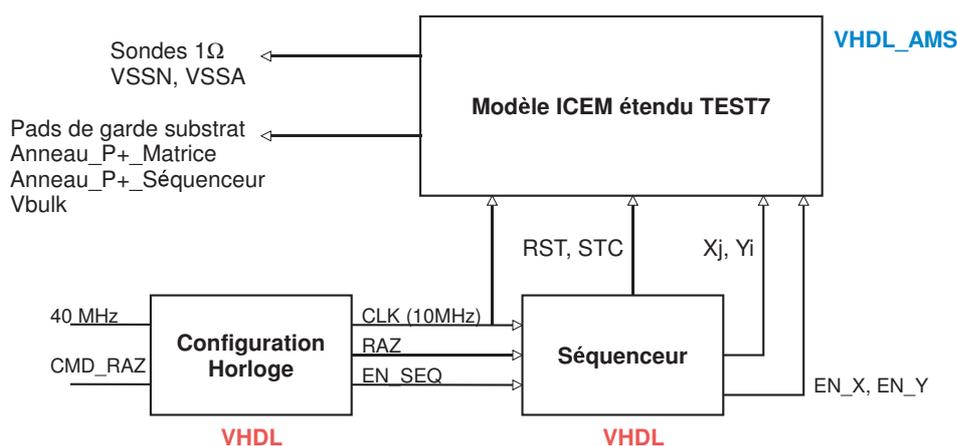


Fig. 4.20: Architecture de la simulation comportementale du modèle ICEM étendu du circuit TEST7

numériques et analogiques et les *pads* connectés aux anneaux de garde P+ de la matrice et du séquenceur. Ainsi, il est possible de visualiser directement le bruit d'alimentation mesuré dans l'environnement circuit imprimé et de polariser par l'intermédiaire du banc de test les deux anneaux de garde P+.

4.4.1 Simulations et résultats

Les résultats de simulation du modèle ICEM étendu au substrat seront tout d'abord présentés. Nous formulerons ensuite quelques remarques concernant la pertinence du modèle.

4.4.1.1 Résultats

La figure 4.21 illustre le cas où les buffers bidirectionnels sont pris en compte et sont configurés en sortie. On constate, en comparaison aux me-

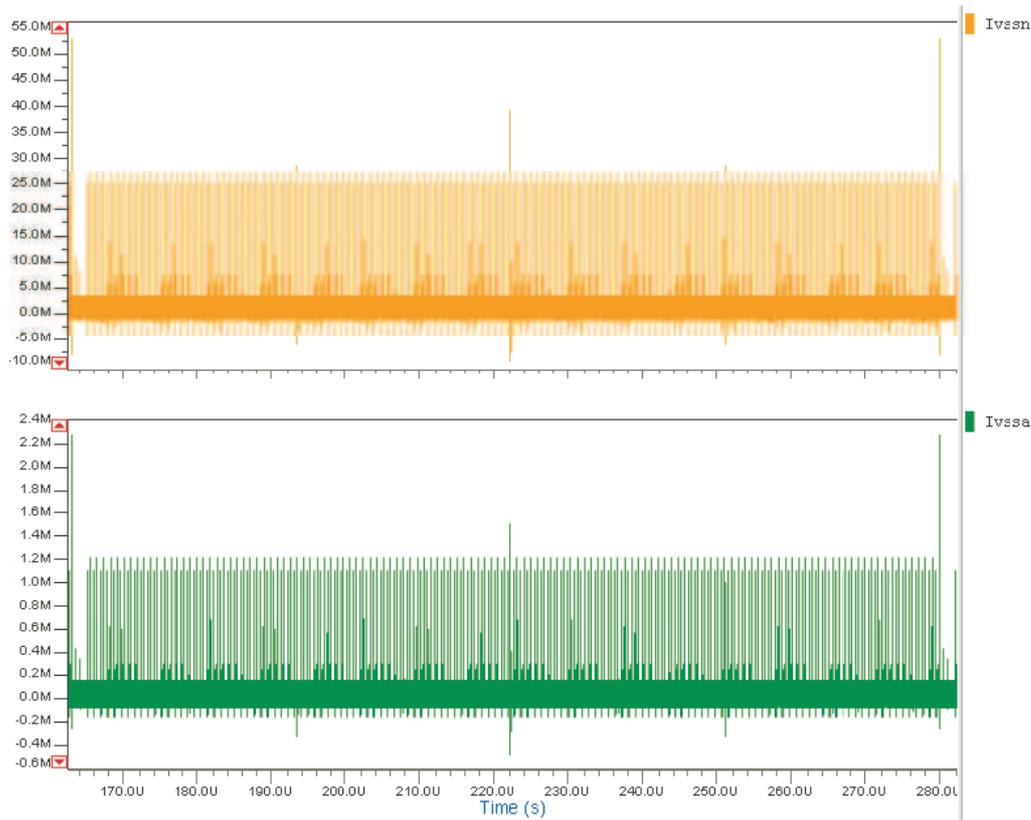


Fig. 4.21: Résultats de simulation du modèle ICEM complet sur substrat résistif avec les buffers bidirectionnels en sortie

sures 1Ω associées (Fig. 4.22), que les pics de courant induits par les changements d'état des vecteurs d'adresse sont fortement sur évalués. L'amplitude des pics de tensions sur la sonde 1Ω VSSN, images des courants de commutations issus du changement d'état des signaux d'horloge et de commande de conversion (STC) sont aussi supérieurs en simulation de quelques millivolts (25.8mV en simulation contre 20mV en mesure).

Ces erreurs peuvent être attribuées à la méthode d'évaluation des pics de courant du bloc de pad numérique qui a été faite en deux temps et a induit des incertitudes notamment au niveau des temps de transition des signaux et aux effets de charge.

On observe de la même manière des écarts entre la simulation et la mesure sur la sonde VSSA 1Ω lorsqu'aucune structure de garde n'est polarisée.

L'hypothèse concernant les erreurs de modélisation du bloc numérique d'en-

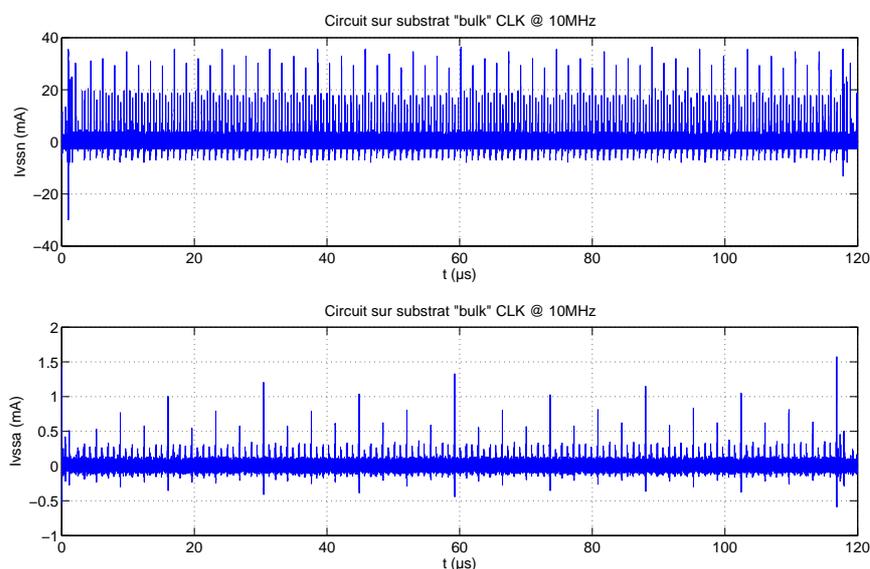


Fig. 4.22: Mesures 1Ω VSSN et VSSA sur le circuit TEST7 en technologie résistive (aucune structure de garde polarisée)

trée/sortie est vérifiée ici. La forme d'onde obtenue par simulation montrant des pics de courant d'amplitude constante alors que la mesure révèle des amplitudes distinctes en réponse aux multiples variations du vecteur d'adresse et aux événements sur les signaux d'horloge et de commande de conversion. Ceci est correctement modélisé par l'ensemble séquenceur/décodeur (Fig. 4.18, page 163) mais est masqué par le modèle imprécis d'émission du groupe de pads numériques.

Les temps de transition des impulsions sont cependant correctement modélisés et caractérisent le comportement de filtrage du boîtier et de la capacité sur silicium du groupe de pad numérique relative au réseau d'alimentation numérique et au routage du port substrat analogique `VSS_Lecture`. Ils sont en effet du même ordre de grandeur en simulation et en mesure compte tenu de l'imprécision des mesures et de la résolution temporelle des simulations effectuées. Ils se situent dans la gamme de 5 ns à 9 ns et correspondent bien à l'estimation faite par l'analyse de l'enveloppe spectrale des mesures 1Ω (Fig. 4.23 et 4.24). Les mesures et simulations temporelles révèlent de plus un phénomène de résonance très amorti au voisinage de 40 MHz que nous n'avons pas visualisés par les mesures en fréquence. L'absence de phénomènes oscillatoires forts dans ce cas précis, contrairement au cas des circuits TEST5 et TEST6, provient à la fois des fortes résistances séries

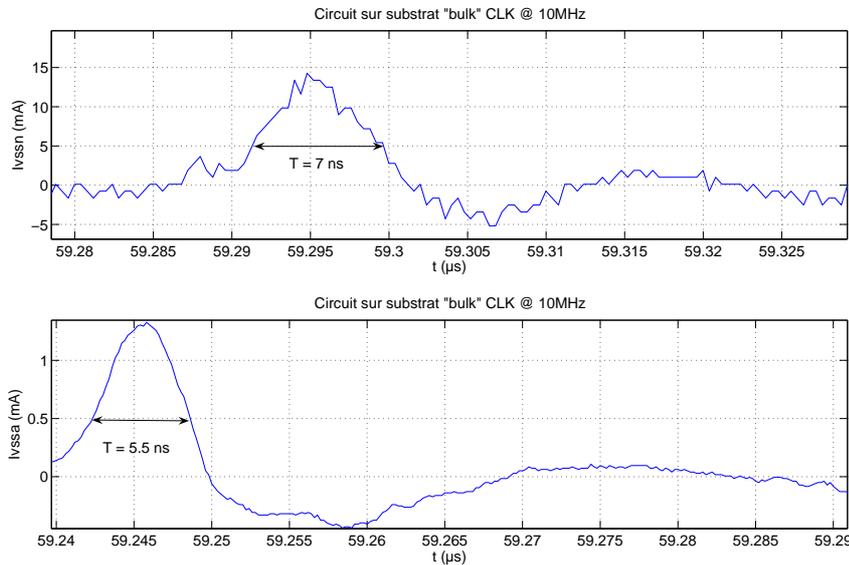


Fig. 4.23: Temps de transitions des pics de courant des mesures 1Ω VSSN et VSSA en technologie résistive

des rails métalliques d'interconnexion du réseau d'alimentation induisant un amortissement conséquent et d'un phénomène de découplage localisé.

Les fortes capacités vues entre les noeuds VDDN et VSSN au niveau silicium jouent le rôle de capacités de découplage, d'autant plus que les appels de courants des différents blocs appartiennent à des domaines d'horloge différents (cas du décodeur ligne) ou ne sont pas parfaitement synchrones. La présence de la capacité équivalente de la source de bruit asynchrone non utilisée, décrite section 4.1.2.2 améliore de plus l'effet de découplage. Dans ce cas, les appels de courants des divers blocs sont assurés par les capacités équivalentes des circuits ne commutant pas et le rôle des inductances parasites des fils de *bonding* est ainsi amoindri. C'est la raison pour laquelle la diminution excessive de la taille des fils de *bonding* n'a pas d'impact sur l'émission conduite des circuits intégrés [7]. Il est donc indispensable de considérer à la fois les capacités équivalentes des circuits ayant ou non une activité de commutation pour modéliser correctement l'émission conduite des circuits intégrés [8].

La modélisation du substrat épitaxié est correctement prise en compte par le modèle ICEM étendu. La simulation du modèle sur substrat épitaxié révèle en effet, en comparaison à celle du modèle sur substrat résistif, des niveaux de bruit supérieurs sur la sonde 1Ω VSSA de 5 à 10dB. Cependant le modèle substrat simple utilisé ne permet pas de modéliser rigoureusement les

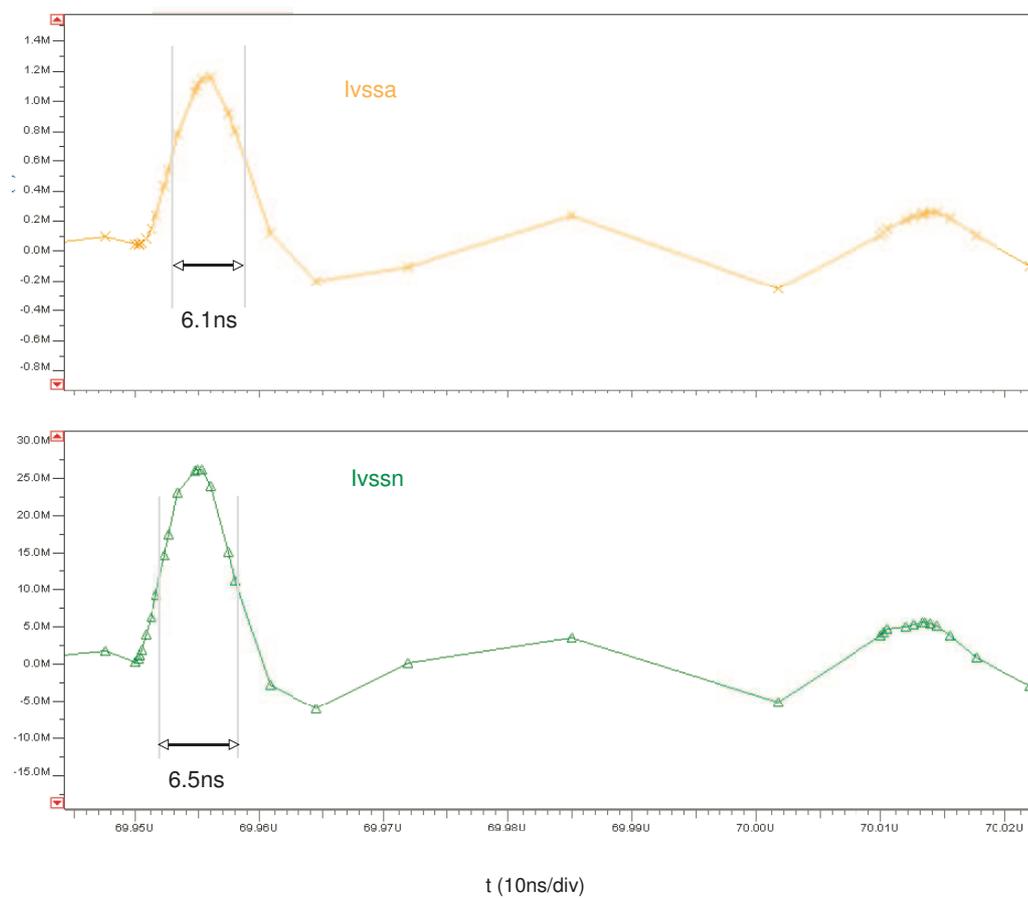


Fig. 4.24: Temps de transition des pics de courant simulés sur les sondes 1Ω VSSA et VSSN

effets de réduction de bruit des anneaux de garde principalement parce qu'il ne tient compte ni de l'arrangement géométrique des circuits ni des ports substrats capacitifs des anneaux de garde NWELL/P dans le cas du substrat résistif. Un résultat surprenant ici est de constater que les atténuations apportées par la polarisation des anneaux de garde ohmique du séquenceur et de la matrice sont équivalentes pour les deux circuits.

4.4.1.2 Remarques

Les résultats obtenus par la simulation de notre modèle respectent les ordres de grandeurs des échelles d'amplitudes moyennes et de temps observées en mesure. Il permet, par conception, de simuler les émissions de bruit de l'ensemble des circuits numériques conduites à la fois sur leurs rails d'alimentation et par le substrat dans le cas concret de la lecture complète d'une image avec des temps de simulations courts (1 image 128×128 pixels est simulée en 1 heure pour un signal d'horloge de 10MHz).

Il reste cependant perfectible pour une meilleure prise en compte des niveaux de bruit injectés par les circuits numériques et du transport du bruit dans le substrat. Des simulations au niveau transistor de tous les circuits numériques pourront par exemple être effectuées pour améliorer le modèle d'émissions des circuits d'entrée sortie. Sa mise en oeuvre est cependant laborieuse car elle nécessite de générer manuellement les signaux de configuration du séquenceur.

L'utilisation des capteurs de courants d'alimentations sur puce apportera de plus une meilleure vision des amplitudes et des temps de transition mis en jeu. Les contraintes de synchronisation associées à la non maîtrise des temps de latence de la carte d'acquisition ne nous ont pas permis d'exploiter les résultats obtenus.

La description électrique du modèle nécessite d'être complétée pour pouvoir modéliser l'impact des anneaux de garde. La complexité du circuit rend cependant impossible une campagne de mesure de paramètres S car il est difficile d'isoler les impédances entre les ports substrats considérés. Le modèle ICEM étendu au bruit de substrat permet donc de caractériser le couplage de bruit par le substrat entre un bloc de circuits numériques et un circuit sensible. Son aspect macro modèle ne permet pas de rendre compte des arrangements géométriques des circuits et rend donc quasi impossible la bonne caractérisation des anneaux de garde dans un circuit complexe.

L'atténuation équivalente des anneaux de garde ohmiques peut provenir des valeurs des résistances équivalentes du substrat vues en mesure statiques entre les ports VSSN, VSSN_Calim, Anneau_P+_Matrice du même ordre de grandeur pour les deux technologies. Ceci souligne encore une fois le rôle

des interconnexions et du placement routage du circuit pour le couplage de bruit par le substrat.

De plus en supposant les plans de masse non idéaux (impédance équivalente non nulle), des variations de potentiels induites par les courants de retour numériques et analogiques auraient pour effet de modifier la polarisation du substrat via les différents contacts ohmiques et donc les chemins de couplage au niveau du silicium. Ainsi, la polarisation des anneaux de garde dans le cas du substrat épitaxié conducteur aurait pour effet de court-circuiter, par le substrat, les deux plans considérés comme équipotentiels. La conception du circuit imprimé est fondamentale dans les problématiques d'intégrité du signal et il serait intéressant d'estimer, dans le futur, l'impact de diverses topologies de routage des masses sur le bruit d'alimentation et le bruit de substrat.

4.4.2 Impact sur la qualité de l'image, perspectives

Les mesures $1\ \Omega$ sur la broche VSSA des circuits TEST7 ont montré que du bruit d'alimentation numérique se couplait à la référence des circuits analogiques (source de courant colonne et suiveur PMOS). De plus, il a été noté que le modèle ICEM étendu au couplage substrat modélisait ce couplage en ne prenant en compte que les courant de commutations des circuits numériques. Or, la broche VSSA constitue aussi le chemin de retour des courants consommés par l'activation des suiveurs colonne des circuits de lecture colonne. Cependant, aucune atténuation du bruit n'a été notée sur la mesure $1\ \Omega$ VSSA par la désactivation des sorties du décodeur colonne (Fig. 4.3).

Ceci montre que les appels de courant générés par la sélection des pixels et des suiveurs PMOS de chaque colonne sont négligeables comparés à ceux induits par le bruit d'alimentation numérique et couplés par le substrat aux contacts ou anneaux de garde P+ des circuits analogiques connectés à la broche VSSA.

Les enveloppes spectrales des bruits mesurés sur les sonde VSSN et VSSA sont d'ailleurs similaires, notamment pour le circuit sur substrat épitaxié pour lequel l'amplitude du bruit de masse analogique est supérieur de 5 à 10dB (Fig.4.25 et 4.26). Ceci peut s'expliquer à la fois par la meilleure conduction du bruit par le substrat et aussi par des couplages rayonnés (Cf. Chapitre 3, page 94). La mise en oeuvre des pixels « bruit de substrat » intégrés dans la matrice n'a pas permis de quantifier les niveaux de bruit effectivement reçus au sein de la matrice photosensible, particulièrement à cause de leur susceptibilité vis à vis du bruit de masse, leur référence étant commune à celle des circuits de lecture standards.

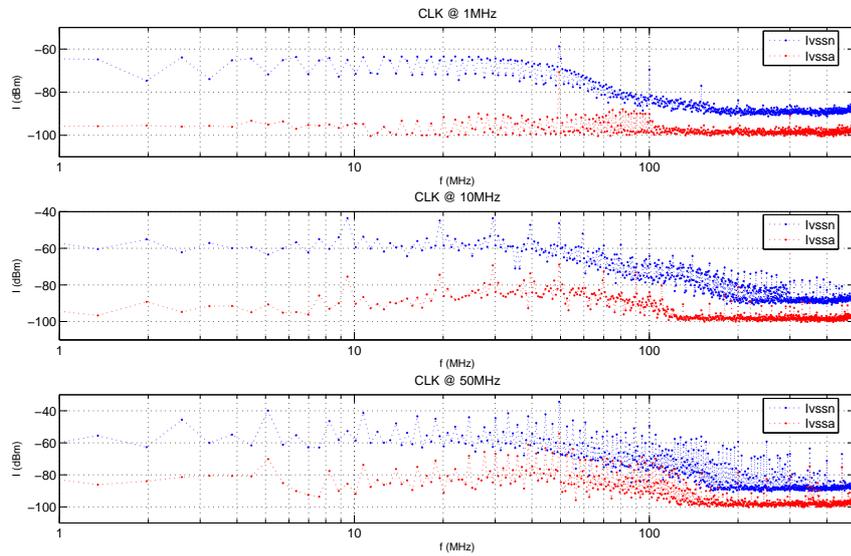


Fig. 4.25: Mesures 1Ω sur les broches de masse numériques et analogiques sur substrat "bulk"

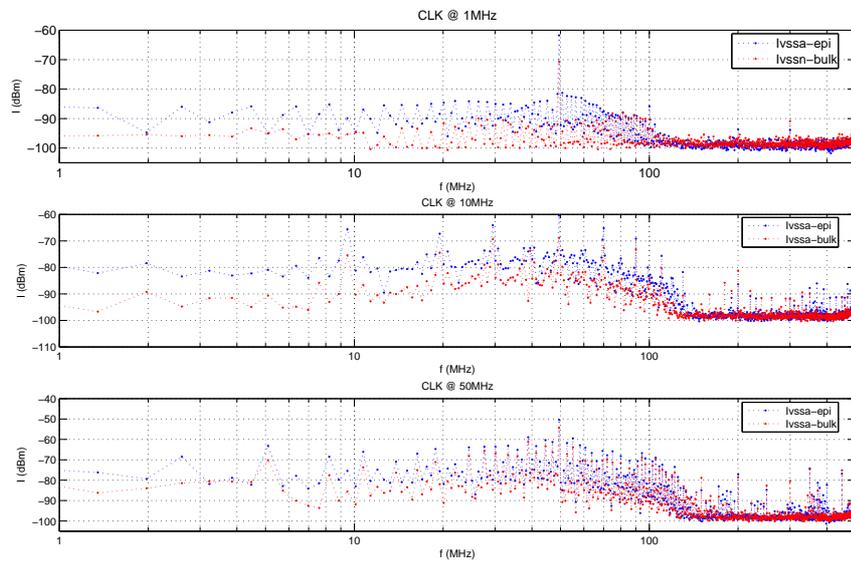


Fig. 4.26: Mesures 1Ω sur la broches de masse analogique des circuits sur substrats résistif et épitaxié

L'architecture de ces circuits (pixel et circuit de lecture) est identique à celle présentée figure 4.3. Contrairement aux circuits standards, le circuit de lecture colonne est toujours activé et le signal est lu en continu (absence d'échantillonnage). De plus, la tension d'entrée du transistor suiveur est une tension continu délivrée par une broche dédiée.

Les niveaux de bruit mesurés par ces pixels sont donc révélateurs des perturbations effectivement couplées à l'ensemble suiveur intra-pixel/suiveur colonne pendant la lecture de la matrice.

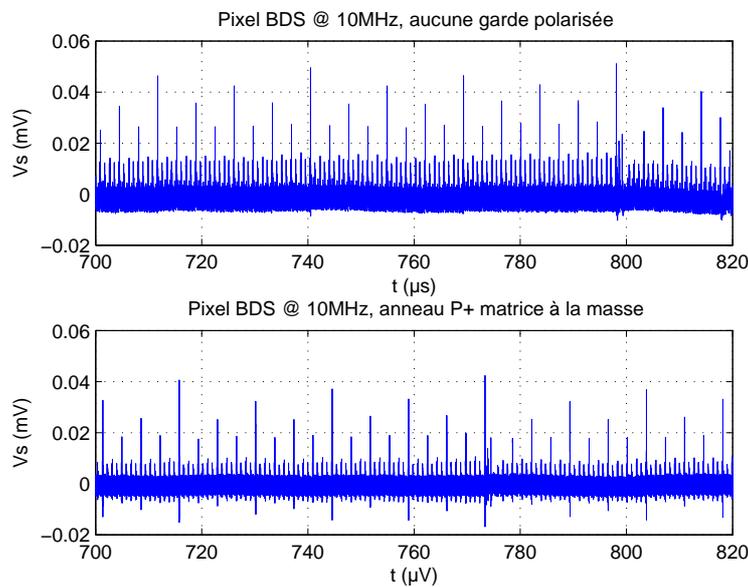


Fig. 4.27: Tension de sortie d'un pixel bruit de substrat (technologie "bulk")

On note figure 4.27 et 4.28 que plus de bruit est couplé aux pixels pour la technologie épitaxiée pour laquelle l'anneau de garde de la matrice est moins efficace.

La polarisation à la masse des contacts substrats des pixels BDS par la broche V_{bulk} ne permet pas d'atténuer le bruit couplé. Ceci s'explique par le fait que ces contacts, de faible dimension et peu nombreux ont une résistance au substrat de plus de 200Ω pour les deux technologies de substrat.

Les pixels BDS ont été répartis en 16 points de la matrice en déclinant leur architecture notamment par l'utilisation de polarisations VDD_{Pix} dédiées mais aucune différence notable sur le signal de sortie n'a été observée.

Ainsi, il s'avère que le niveau de bruit couplé est identique quelque soit la position du pixel dans la matrice. Ceci semble montrer que le potentiel de substrat est uniforme sur toute la surface de la matrice, mettant en

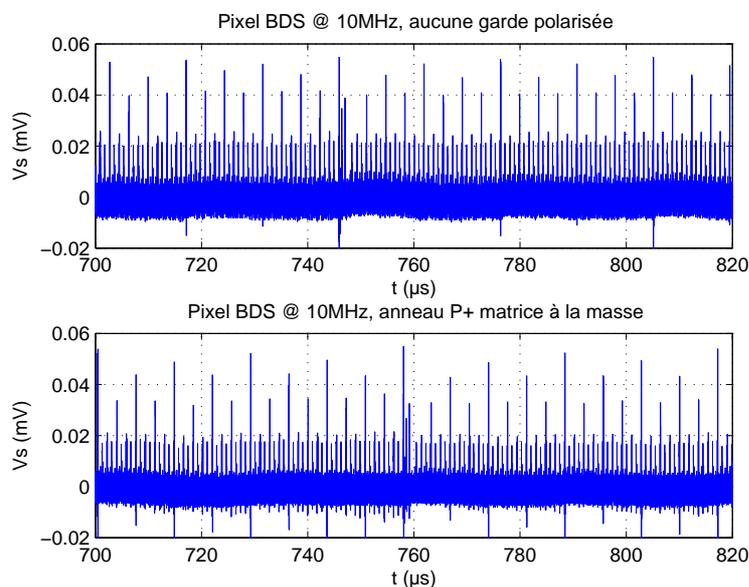


Fig. 4.28: Tension de sortie d'un pixel bruit de substrat (technologie "epi10")

avant le rôle de relais vis à vis du bruit de substrat de l'anneau de garde `Anneau_P+_Matrice`.

Cette étude montre que le signal de sortie du pixel est bruité bien que nous ne puissions identifier clairement les mécanismes. L'intégrité du signal du pixel semble donc dépendre son instant d'échantillonnage, vis-à-vis des perturbations générées.

Cependant, nous n'avons noté aucune altération de l'image fournie par le capteur selon la polarisation des anneaux de garde et ceci pour les deux technologies de substrat. Une image issue du capteur est illustrée figure 4.29. On note sur cette image l'effet du courant de substrat généré par le transistor suiveur du pixel BDS sélectionné en bas à gauche de l'image l'ionisation par impact qui décharge les photodiodes des pixels voisins. Des images obtenues en obscurité en séquençement interne ne montrent aucune signature de bruit spatial. Les acquisitions effectuées ne révèlent pas de bruit fixe de pixel que nous pensions observer par l'effet substrat du transistor suiveur intra-pixel.

De même aucune modification de l'uniformité de réponse en obscurité n'a été révélée par les différentes configurations d'anneau de garde (Fig. 4.30 et 4.31).

Ceci semble montrer que l'architecture des capteurs d'image CMOS standard a une bonne immunité vis-à-vis du bruit de substrat et notamment par le procédé de lecture différentielle échantillonné, le signal aux bornes de la

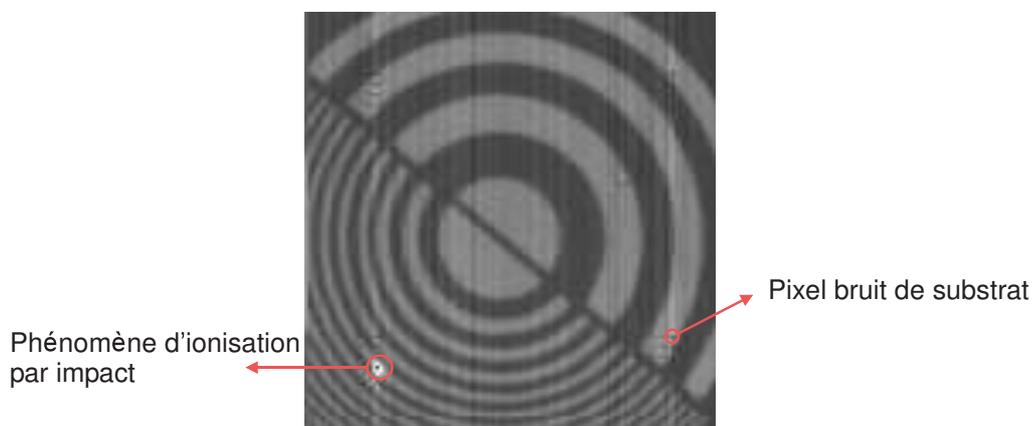


Fig. 4.29: Image d'une mire prise avec le circuit 128TEST7

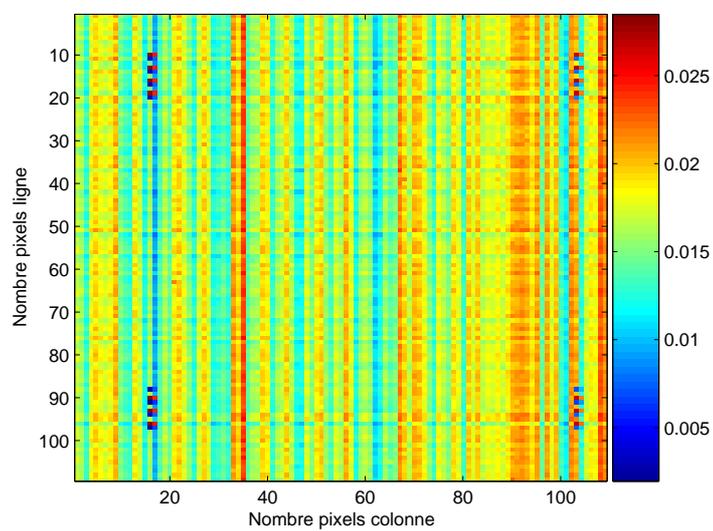


Fig. 4.30: Réponse en obscurité du capteur en technologie "bulk" en mode séquençement interne (tous les anneaux de garde polarisés)

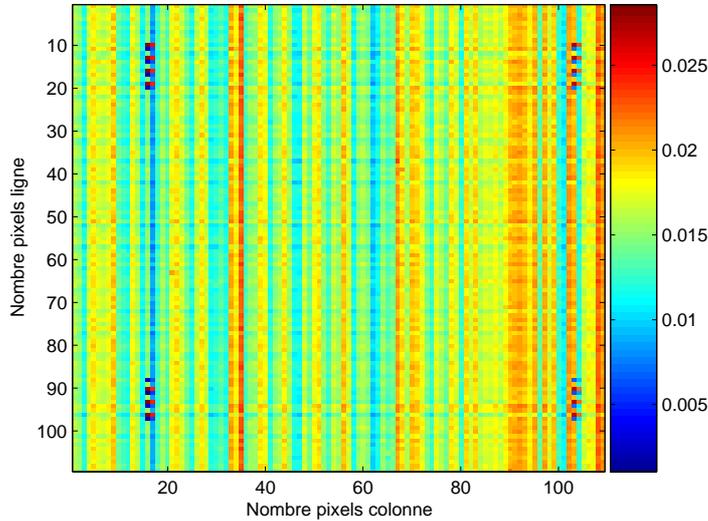


Fig. 4.31: Réponse en obscurité du capteur en technologie "bulk" en mode séquençage interne (aucun anneaux de garde polarisé)

photodiode étant de plus échantillonné en période « calme », vis-à-vis des évènements de commutations des circuits numériques. Cette conclusion rejoint *Loiaz et al.* qui ne fait cependant qu'une appréciation subjective de la qualité de l'image.

Il serait donc nécessaire de réaliser des caractérisations électro-optique complètes des deux circuits dans les différents mode de séquençage afin de pouvoir décorrélérer l'impact de chacun des bruits (électronique et interférences électromagnétiques) sur l'image. De même une étude du rapport signal à bruit du signal de sortie du capteur pourrait être menée notamment en modifiant les instants d'échantillonnage du signal et de la référence.

Bibliographie

- [1] A. LESEA et M. A. XILINX® , *Powering Xilinx FPGAs*, 2002.
- [2] M. BADAROGLU, M. V. HEIJNINGEN, V. GRAVOT, S. DONNAY, H. J. D. MAN, G. G. E. GIELEN, M. ENGELS et I. BOLSENS, « High level simulation of substrate noise generation from large digital circuits with multiple supplies », in *IEEE DATE*, p. 326–330, 2001.
- [3] M. NAGATA et A. IWATA, « Substrate noise simulation technique for analog-digital mixed lsi design », *IEICE Transaction Fundamentals*, vol. E82-A, p. 271–278, 1999.
- [4] R. PERDRIAUX, *Méthodologie de prédiction des niveaux d'émission conduite dans les circuits intégrés, à l'aide de VHDL-AMS*. Thèse doctorat, Université Catholique de Louvain, 2004.
- [5] N. MONTEMEZZO, E. O. ans S. BUSO, G. MENEGHESO, A. NEVIANI et G. SPIAZZI, « Brokaw bandgap suceptibility to rf interferences : measurement and analysis », in *EMC Europe : International Symposium on Electromagnetic Compatibility*, p. 900–905, 2006.
- [6] M. MARDIGUIAN, *Controlling Radiated Emissions by Design*. Springer, second éd., Dec. 2000.
- [7] O. VALORGE, « Bruit d'alimentation et couplage par le substrat dans les circuits mixtes », *Manuscrit de thèse*, p. 33–34, 2006.
- [8] M. BADAROGLU, P. WAMBACQ, G. V. D. PLAS, S. DONNAY, G. GIELEN et H. D. MAN, « Impact of techonology scaling on substrate noise generation mechanisms », *IEEE 2004 custom integrated circuit conference*, Jun. 2004.

Cette page est laissée blanche intentionnellement

Conclusion et perspectives

L'intitulé « Caméra sur Puce » notamment énoncé par E. R. Fossum [1] en 1997 dans sa revue des architectures et des performances des capteurs CMOS est en passe d'être supplanté par celui de « Caméra sur Puce *Intelligente* » (en anglais *Smart Vision Sensor*). Ceci se traduit en effet par l'émergence de multiples travaux dédiés à l'intégration de fonctions annexes à la capture de l'image au voisinage et parfois même à l'intérieur de la matrice de pixels.

Le fort potentiel d'intégration intrinsèque de la technologie CMOS allié aux optimisations des procédés de fabrication pour les applications opto-électroniques promet, comme nous l'avons vu dans le premier chapitre, un avenir certain aux capteurs d'image CMOS. Leur architecture spécifique leur permet de plus d'être adapté, de manière standard, aux applications à haute cadence de fonctionnement. Ceci étant en accord avec l'évolution de la demande en terme de résolution et de débit vidéo.

La forte densité d'intégration et l'augmentation de la cadence de fonctionnement des capteurs CMOS mettent cependant en avant les problèmes d'interférence électromagnétiques, et notamment le couplage de bruit de substrat. Les mécanismes de base du bruit de substrat ainsi que les techniques de modélisation et de garde communément employées dans le cadre des circuits mixtes ont été détaillés, dans le chapitre 2.

Après avoir identifié les sources de bruit et les circuits victimes dans le cas particulier des imageurs CMOS, nous avons montré, au chapitre 3, comment le bruit de substrat généré par un circuit numérique de faible consommation et fonctionnant à relativement basse fréquence pouvait dégrader la réponse d'une photodiode lue en mode courant.

Cette étude a, en effet, révélé que des transitoires de courant de forte amplitude pouvaient être induits sur le photocourant de la photodiode par le couplage ohmique du bruit d'alimentation du circuit numérique au substrat, d'autant plus pour les substrats épitaxiés. L'utilisation de substrats épitaxiés pour les applications optoélectroniques s'avère en effet être un sérieux handicap à la fois par la bonne conduction des perturbations injec-

tées, la faible efficacité des structures de gardes disponibles en technologie standard et le couplage de bruit en mode rayonné entre les interconnexions relatives à la mise en boîtier du circuit. Les amplitudes des transitoires de courant observés dépendent principalement de l'amplitude, des temps de transition du bruit d'alimentation et de la capacité équivalente de la photodiode au substrat. Nous avons donc construit et validé un modèle ICEM en langage VHDL-AMS de notre source de bruit (oscillateur en anneau) étendu au couplage de bruit par le substrat. Son élaboration et sa mise en oeuvre ont mis en évidence l'impact du réseau d'impédance depuis le silicium jusqu'au circuit imprimé à la fois sur le bruit d'alimentation du circuit numérique et sur les performances des anneaux de garde pour le couplage substrat. Nous avons fait le constat que la capacité vue entre les rails d'alimentation numériques au niveau des circuits d'entrée/sortie, pourtant peu nombreux, est du même ordre de grandeur que celle équivalente au circuit numérique seul (capacité MOS et capacités de jonction des transistors ; capacité des caissons N). De plus, les impédances du circuit imprimé et du boîtier sont particulièrement importantes. Ceci est critique pour les imageurs CMOS qui ne peuvent profiter des technologies de boîtier peu inductives de type BGA, la face supérieure du circuit devant observer la scène. Nous avons enfin montré que la bonne extraction des impédances du substrat nécessitait à la fois la bonne maîtrise des données technologiques de fabrication, des outils de simulations et des phénomènes de propagation dans le substrat, extrêmement dépendant à la fois de la technologie de substrat employée et du placement routage du circuit pourtant relativement simple dans notre cas. Le compromis entre la simplicité et la précision du modèle établi qui offre des temps de simulation fortement réduits est satisfaisant.

Nous avons ensuite décrit au chapitre 4, l'étude du cas concret d'un imageur CMOS à l'état de l'art de l'intégration sur un véhicule de test dédié, en profitant des efforts méthodologiques et des résultats énoncés précédemment. Nous avons montré que l'intégration des fonctions de séquençement de la matrice de pixel induisait une augmentation conséquente du bruit d'alimentation de l'imageur. Les commutations simultanées des bits des vecteurs d'adresse et des signaux de sortie du circuit ont été identifiés comme les événements prépondérant d'émission de bruit mettant en cause à la fois le dimensionnement des circuits numériques internes et les *buffers* d'entrée/sortie. Le couplage de bruit par le substrat, prépondérant pour la version du circuit sur substrat épitaxié, entre les contacts de masse des cellules standards numériques et les contacts substrats des circuits analogiques de lecture a été mesuré et un modèle ICEM en VHDL-AMS étendu au couplage de bruit par le substrat a enfin été proposé. La simulation de ce modèle, perfectible, a toutefois permis de retrouver les ordres de gran-

deurs des mesures du bruit d'alimentation et du couplage de bruit par le substrat. L'étude qualitative de l'impact du bruit de substrat sur les circuits analogiques a finalement été qualitativement abordée, ne montrant aucune altération de la qualité de l'image. Cependant l'impact prépondérant des circuits d'entrée/sortie risque d'être limitant pour des nouvelles architectures d'imageurs CMOS intégrant la conversion analogique numérique et délivrant ainsi à haute cadence le signal de sortie du capteur par des *buffers* numériques. L'intégration d'un convertisseur analogique/numérique, dont la susceptibilité relativement au bruit de substrat a longuement été étudiée, peut aussi résulter en une réduction du rapport signal à bruit du capteur. Enfin des architectures de circuit numériques à faible courant de commutation (code Gray, logique à commutation de courant) devront être mise oeuvre pour minimiser le bruit d'alimentation par commutations simultanées (*SSN*)

Le choix du langage VHDL-AMS pour la modélisation du bruit de substrat dans les imageurs CMOS s'imposait à la fois par l'aspect mixte analogique/numérique des circuits intégrés mais aussi par la mixité optique/électronique des domaines physiques embrassés par ces circuits. Le modèle ICEM étendu au couplage substrat développé au chapitre 4 a pour principal intérêt de permettre la prise en compte du bruit d'alimentation de l'imageur sur la lecture complète de l'image en des temps très courts. Il ouvre la perspectives de simulations mixtes pour l'étude de l'impact du bruit d'alimentation sur les performances du capteur depuis l'intégration du flux lumineux jusqu'au signal de sortie. Afin de prendre en compte l'effet substrat et le fonctionnement intime des transistors du pixel et des circuits de lecture une vue de type *SPICE* peut être utilisée. Les modèles de la photodiode, des interconnexions métalliques et des impédances du substrat peuvent être ajustés en termes de complexité selon le besoin de la simulation.

L'amélioration de la précision du modèle ICEM étendu au substrat passe à la fois par la bonne maîtrise des impédances du substrat et des courants de commutations internes.

A ce jour la méthodologie la plus fiable et la plus adaptée à l'environnement complet des circuits intégrés semble être l'utilisation de l'outil *Substrate Analyst* associé aux profils de dopages issus de mesures SIMS demandant au client de la fonderie un investissement financier non négligeable à renouveler pour l'utilisation de procédés de fabrications différents.

Une bonne analyse des transitoires des courants d'alimentation et des variations du potentiels de substrat nécessite enfin la conception de détecteurs intégrés. En effet, les signaux à monitorer ayant des temps de transition de plus en plus faible, il est impossible aujourd'hui de pouvoir les mesurer par des systèmes reportés sur l'environnement circuit imprimé à cause de

l'effet de filtrage des boîtiers. Pour la même raison, les détecteurs à temps continu de bandes passantes maximales de 1 à 2 GHz [2] atteignent leurs limites pour les technologies fortement submicroniques. C'est dans cette perspective que nous avons intégré des capteurs de courant d'alimentation différentiels échantillonnés inspirés de ceux développés par *Bendhia et al.* [3]. Le principe de ces capteurs est basé sur l'aspect périodique des événements de commutations rendant reproductible la perturbation conduite sur le rail d'alimentation associé. Ces capteurs permettent ainsi de mesurer la chute de tension aux bornes d'une résistance série placée sur le rail d'alimentation du circuit à l'aide de deux sondes dont le signal d'échantillonnage peut être décalé dans le temps par une cellule de délai contrôlée par deux tensions analogiques. L'intégration de ces capteurs nécessite des précautions de conception afin d'optimiser l'offset global du système et sa bande passante et d'assurer son immunité au bruit d'alimentation et de substrat. Des architectures de détecteurs de courant d'alimentation ont été proposés notamment pour le contrôle des tensions d'alimentation des circuits numériques fortement intégrés [4]. Dans le domaine des circuits mixtes un effort similaire est apporté pour la connaissance en temps réel des caractéristiques (tension d'alimentation, température, paramètres de procédé technologique) des circuits en fonctionnement [5] et des potentiels de substrat [6], [7].

La problématique du bruit de substrat s'inscrit donc pleinement dans le cadre de l'étude de l'intégrité du signal dans les circuits microélectroniques en technologies avancées faisant appel à des techniques de modélisation et de détection en plein essor. Le couplage de bruit par le substrat, pose de plus de nouveaux problèmes de modélisation et de standardisation pour l'étude de la susceptibilité des circuits intégrés dont les techniques d'étude manquent encore de maturité.

Bibliographie

- [1] E. R. FOSSUM, « CMOS image sensors : Electronic camera-on-chip », *IEEE Transactions on Electron Devices*, vol. 44, no. 10, 1997.
- [2] A. SEHGAL, P. SONG et K. A. JENKINS, « On-chip real-time power supply noise detector », in *Solid-State Circuits, 2006 IEEE International Conference Digest of Technical Papers*, 2006.
- [3] S. D. B. DHIA, *Une nouvelle méthodologie de caractérisation de l'intégrité du signal en CMOS submicronique profond*. Thèse doctorat, Institut National des Sciences Appliquées (INSA) de Toulouse, 1998.
- [4] A. MUHTAROGLU, G. TAYLOR et T. RAHAL-ARABI, « On-die droop detector for analog sensing of power supply noise », *IEEE J. Solid-State Circuits*, vol. 39, p. 651–660, 2004.
- [5] V. PETRESCU, M. PELGROM, H. VEENDRICK, P. PAVITHRAN et J. WIELING, « A signal-integrity self-test concept for debugging nanometer cmos ics », in *Solid-State Circuits, 2006 IEEE International Conference Digest of Technical Papers*, p. 2220–2229, 2006.
- [6] M. NAGATA et A. IWATA, « Substrate noise simulation technique for analog-digital mixed lsi design », *IEICE Transaction Fundamentals*, vol. E82-A, p. 271–278, 1999.
- [7] K. NOGUCHI, T. HASHIDA et M. NAGATA, « On-Chip Analog Circuit Diagnosis in Systems-on-Chip Integration », *Solid-State Circuits, 2006 IEEE International Conference Digest of Technical Papers*, 2006.

Cette page est laissée blanche intentionnellement

Annexe A

Extraction des impédances parasites du réseau d'alimentation des circuits TEST5 et TEST6

Nous présentons ici les résultats relatifs à la détermination du réseau d'alimentation des circuits TEST5 et TEST6 et l'évaluation du réseau d'impédance du substrat des circuits TEST5.

A.0.3 Les impédances parasites de la carte de test

Dans notre gamme de fréquence d'analyse, les seules impédances à prendre en compte sont celles du support de test PGA84 et celles des pistes d'alimentations. La sonde 1Ω est en effet placée à moins d'un millimètre de la broche VSS numérique du circuit, nous pouvons donc la considérer idéale au même titre que le plan de masse et les composants passifs en technologie CMS0603. Le support de test de même géométrie que le boîtier PGA84 induit principalement une inductance série supplémentaire sur chaque broche dont la longueur effective, respectivement l'inductance parasite, passe de 4.57mm, respectivement 2.5nH, à 6.14mm, respectivement 3.86nH (cf. formulations A.7 à A.14). La seule à piste à prendre en compte est la piste routant la sortie du régulateur 3.3V à la broche VDD numérique du boîtier. Nous avons utilisé le modèle de la ligne *microstrip* rectiligne sur plan de masse uniforme (Fig.A.1) et considéré l'effet de peau pour évaluer l'ordre de grandeur des impédances parasites de cette piste [1]. Les formulations

analytiques employées sont fournies équations A.1 à A.5.

$$Z_0(\Omega) = \frac{87}{\sqrt{\varepsilon_r + 1.41}} \cdot \ln \left(\frac{5.98 \cdot h}{0.8 \cdot w + t} \right) \quad (\text{A.1})$$

$$C_0(\text{pF} \cdot \text{m}^{-1}) = \frac{26.4(\varepsilon_r + 1.41)}{\ln \left(\frac{5.98 \cdot h}{0.8 \cdot w + t} \right)} \quad (\text{A.2})$$

$$L_0(\text{H} \cdot \text{m}^{-1}) = Z_0^2 \cdot C_0 \quad (\text{A.3})$$

$$R(\Omega \cdot \text{m}^{-1}) = \frac{1}{\sigma \cdot S} \quad (\text{A.4})$$

$$S(\text{m}^2) = (w - 2 \cdot e_{\text{peau}}) \cdot (t - 2 \cdot e_{\text{peau}}) \quad (\text{A.5})$$

avec :

- Z_0 l'impédance caractéristique de la ligne
- C_0 la capacité linéique de la ligne
- L_0 l'inductance linéique de la ligne
- R la résistance linéique de la ligne
- ε_r , la permittivité relative de l'isolant du circuit imprimé
- S , la section efficace de la piste du circuit imprimé en prenant en compte l'effet de peau
- e_{peau} , l'épaisseur de peau dont la formule est donnée A.14, 188

Le modèle électrique présenté figure A.1 est valable dans le cas où la longueur de la ligne est inférieure à $\lambda/10$ avec :

$$\lambda = \frac{c}{f_{\text{max}} \sqrt{\varepsilon_r}} \quad (\text{A.6})$$

où f_{max} est la borne supérieure de la plage de fréquence d'analyse de la ligne. Il est possible de le décomposer en n sous-réseaux si la règle du « $\lambda/10$ » A.6 n'est plus respectée. Nous cherchons à modéliser dans notre cas une ligne en cuivre de 4cm de long, 1.2mm de large et $35\mu\text{m}$ d'épaisseur sur substrat FR4 d'épaisseur 1.6mm et de permittivité relative 4.4. Les formulations A.1 à A.5 donnent dans ce cas une impédance caractéristique de 88.02Ω , une capacité linéique de $62.9\text{pF} \cdot \text{m}^{-1}$ et une résistance linéique de $0.63\Omega \cdot \text{m}^{-1}$. On en déduit un réseau RLC de valeurs respectives $2.52\text{m}\Omega$, 19.4nH et 2.5pF valable d'après (A.6) jusqu'à 358MHz.

A.0.4 La carte de mesure de paramètres S sur boîtier

Cette carte a été développée pour effectuer des mesures flexibles et comparatives sur l'ensemble des broches du boîtier PGA84. Elle se compose de

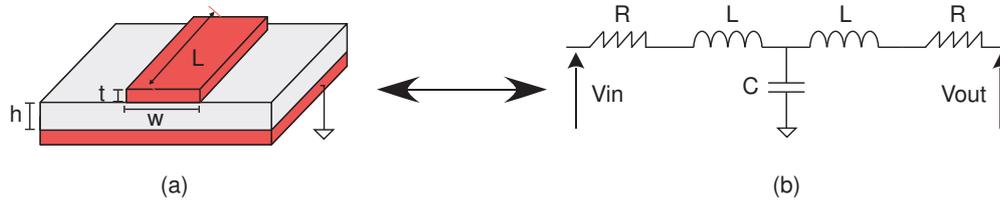


Fig. A.1: Modèle géométrique de la ligne microstrip

deux pistes adaptées 50Ω de 3cm de long en regard sur un plan de masse. Une des extrémité de chaque piste est reliée à un connecteur SMA, l'autre se termine en biseau jusqu'à atteindre l'épaisseur du diamètre d'un câble multibrin en cuivre doté d'une gaine en téflon. Une faible longueur de ce câble est ensuite soudée sur chacune des extrémités en biseau pour pouvoir ensuite être soudé sur les broches du boîtier PGA84 à modéliser (Fig.A.2).

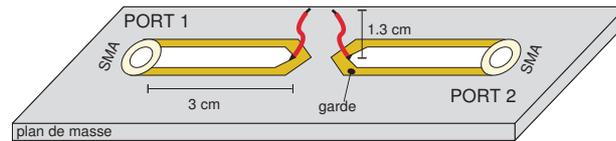


Fig. A.2: La carte de mesure "Paramètres S"

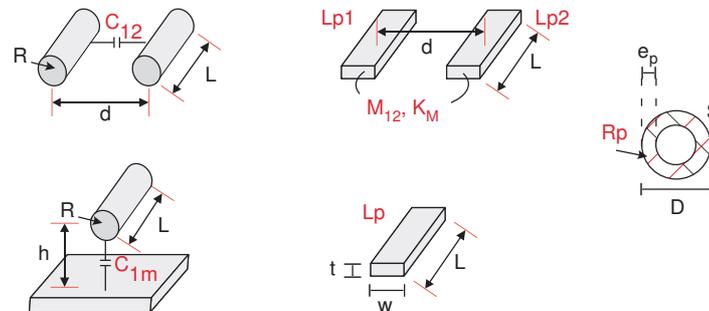


Fig. A.3: Modèles pour le calcul des impédances propres et mutuelles

$$C_{12}(F) = \varepsilon \cdot \frac{\pi \cdot L}{\text{arcCosh}\left(\frac{d}{2 \cdot R}\right)} \quad (\text{A.7})$$

$$C_{1m}(F) = \varepsilon \cdot \frac{2 \cdot \pi \cdot L}{\text{arcCosh}\left(\frac{d}{R}\right)} \quad (\text{A.8})$$

$$L_p(H \cdot m^{-1}) = \frac{\mu_0 \cdot L}{2 \cdot \pi} \cdot \left[\ln\left(\frac{2 \cdot L}{w + t}\right) + \frac{1}{2} + \frac{0.447 \cdot (w + t)}{2 \cdot L} \right] \quad (\text{A.9})$$

$$M_{12}(H \cdot m^{-1}) = \frac{\mu_0 \cdot L}{2 \cdot \pi} \cdot \left[\ln\left(\frac{2 \cdot L}{d}\right) - 1 + \frac{d}{L} \right] \quad (\text{A.10})$$

$$K_M = \frac{M_{12}}{\sqrt{Lp1 \cdot Lp2}} \quad (\text{A.11})$$

$$R_p(\Omega) = \frac{\rho \cdot L}{S} \quad (\text{A.12})$$

$$S(m^2) = \frac{\pi}{2} \cdot (4R \cdot e_p - e_p^2) \quad (\text{A.13})$$

$$e_p = \sqrt{\frac{\rho}{\pi \cdot \mu_0 \cdot \mu_r \cdot f}} \quad (\text{A.14})$$

avec :

- $\varepsilon = \varepsilon_0 \cdot \varepsilon_r$, la permittivité absolue du matériau encapsulant les interconnexions en pF/m (avec $\varepsilon_0 = 8.854187817$ pF/m la permittivité du vide et ε_r la permittivité relative du matériau).
- μ_0 , la permeabilité magnétique du vide ($4\pi \cdot 10^{-7}$) en H/m
- ρ , la résistivité électrique du matériau d'interconnexion en Ω/m
- e_p , l'épaisseur de peau

Le modèle de cette carte en circuit ouvert (Fig.A.4 et A.5) et en court-circuit (Fig.A.6 et A.7) a été obtenu à l'aide des formules empiriques (A.3, A.7 à A.14) à pondérer cependant par le rôle de l'isolant en téflon et les approximations de géométrie. Cette pondération a été effectuée par ajustement des mesures de paramètres S de 40MHz à 1GHz et des simulations issues du logiciel ADS. Le tableau A.1 résume les valeurs des inductances et capacités

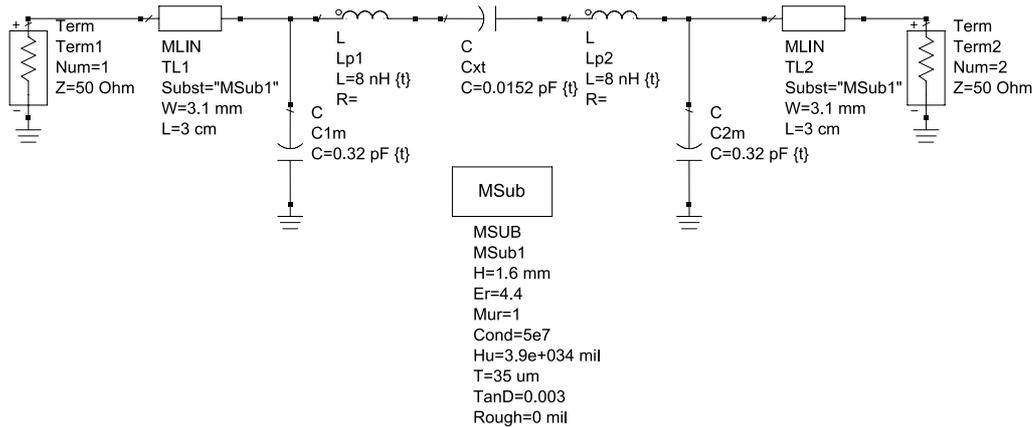


Fig. A.4: Modèle électrique de la carte « paramètres S » en circuit ouvert

obtenues par les formulations empiriques et par simulation. Les calculs des capacités mutuelles, ou des capacités à la masse est effectué pour la portion

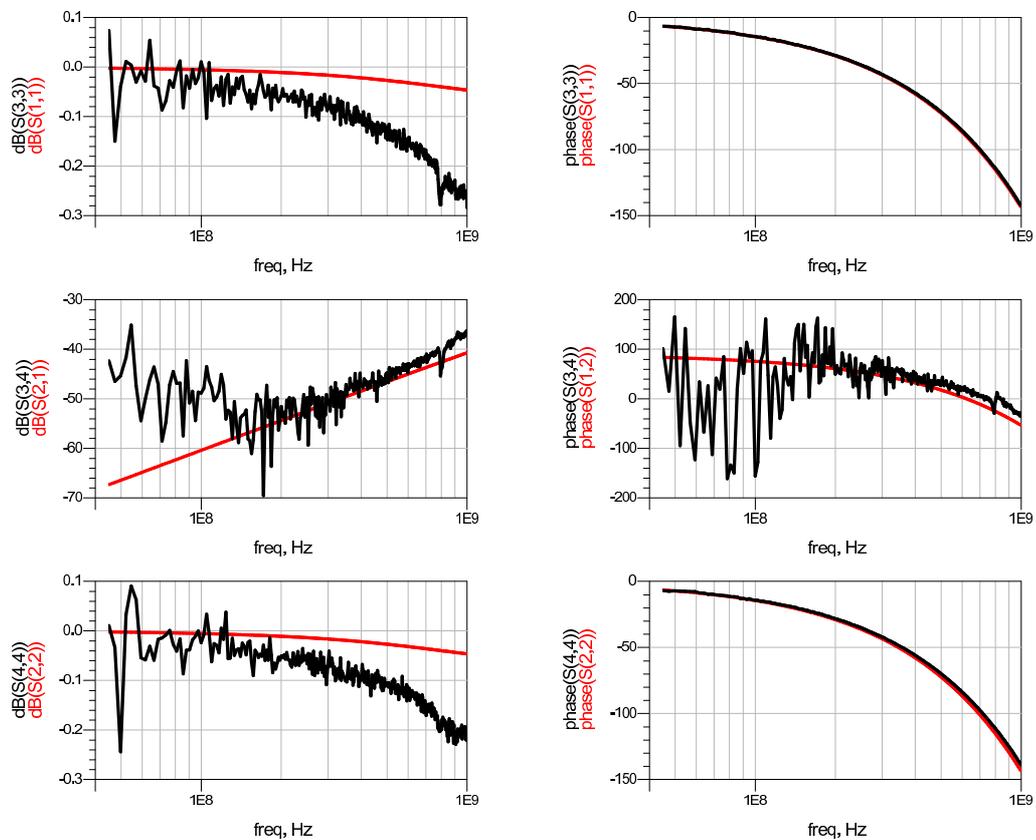


Fig. A.5: Paramètres S simulés (clair) et mesurés (foncé) de la carte « paramètres S » en circuit ouvert

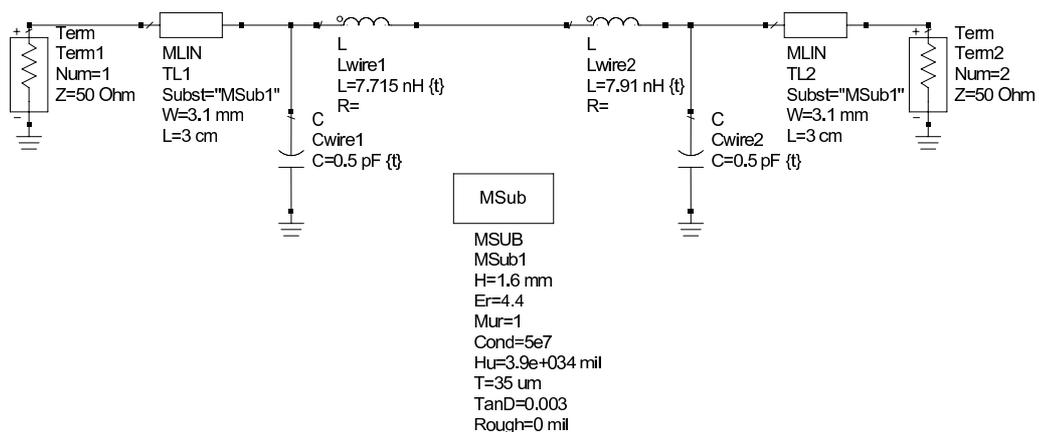


Fig. A.6: Modèle électrique de la carte « paramètres S » en court-circuit

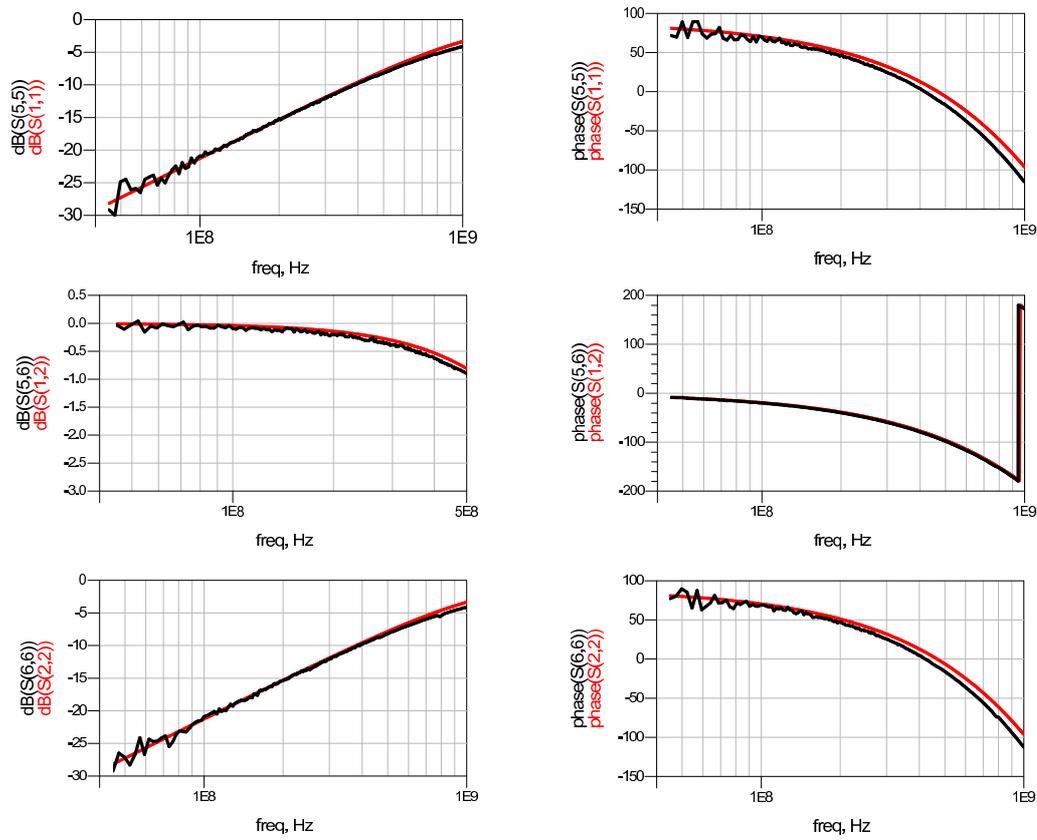


Fig. A.7: Paramètres S simulés (clair) et mesurés (foncé) de la carte « paramètres S » en court-circuit

des conducteurs horizontalement en regard l'un par rapport à l'autre ou par rapport au plan de masse. La distance séparant les conducteurs étant une moyenne de leur écartement sur la longueur considérée. Le diamètre des conducteurs est de 1mm. Pour la capacité à la masse on considère la portion du fil dont la gaine est en contact avec le plan de masse. On trouve bien une valeur supérieure à celle prévue empiriquement en prenant l'air comme isolant mais elle est bien inférieure à celle que l'on obtiendrait en prenant le téflon comme isolant ($\epsilon_r(\text{teflon})=2.1$). De plus la capacité mesurée dans l'air entre les deux conducteurs est bien inférieure à celle attendue. La géométrie de la carte est bien plus complexe que celle des cas simplifiés envisagés (angles des fils de cuivre, connexion verticale des connecteurs SMA, discontinuités au niveau des points de soudure) et les mesures en court-circuit sont très bruitées en basse fréquence jusqu'à 100MHz. La modélisation des pistes adaptées 50Ω issues des paramètres, bien maîtrisés, des substrats utilisés pour la fabrication des cartes est de plus idéalisée car elle ne tient pas compte de leur terminaison en biseau. Le modèle obtenu est consistant sur la gamme de fréquence considérée dans les deux configurations.

Nom	Valeur empirique	Valeur mesurée	Paramètre(s)
C1m	0.21pF	0.32pF	$L = 5\text{mm}, h = 1\text{mm}$
C2m	0.21pF	0.32pF	$L = 5\text{mm}, h = 1\text{mm}$
Cxt	75.6fFpF	15.2fF	$L=8\text{mm}, d_{1-2} = 9.5\text{mm}$
Lp1	8.1nH	8nH	$L=13\text{mm}$
Lp2	8.1nH	8nH	$L=13\text{mm}$

Tab. A.1: Comparaisons de valeurs d'inductances et de capacités calculées et mesurées

A.0.5 analyse du boîtier PGA84

La caractérisation du boîtier PGA84 a été menée en court-circuitant plusieurs paires de plots de soudure des fils de *bonding* (ou *bond-fingers*) adjacents du boîtier afin de balayer l'ensemble des broches (ou *pins*) du circuit. La répartition des broches du boîtier PGA84 est en effet organisée sur 3 couronnes. Les pistes du *leadframe* ont donc des longueurs comprises entre 3mm et 1.2cm selon la position des broches auxquelles elles sont routées. La figure A.8 représente le modèle géométrique simplifié des pistes du *leadframe* (a) et des broches du boîtier PGA84 (b) que nous avons établi et utilisé pour l'extraction de ses impédances parasites à l'aide du gratuitiel FastModel [2]. Les pistes du *leadframe* ne concernant que 12 broches

parmi 84, nous les avons modélisées à part. Nous considérons dans cette description géométrique, des conducteurs en cuivre ($\rho = 16.7\text{n}\Omega/\text{m}$) de sections rectangulaires ($0.508\text{mm}\cdot 0.508\text{mm}$ sur une longueur de 3.3mm pour les broches et de largeur variant de 0.254mm à 0.508mm sur une épaisseur de $50\mu\text{m}$ pour les pistes du *leadframe*) placés dans l'air (ϵ_0, μ_0) pour les broches et dans la céramique ($\epsilon_r = 8.1, \mu_r \approx 1$) pour les pistes du *leadframe*. Le modèle électrique générique de deux broches du boîtier est illustré fi-

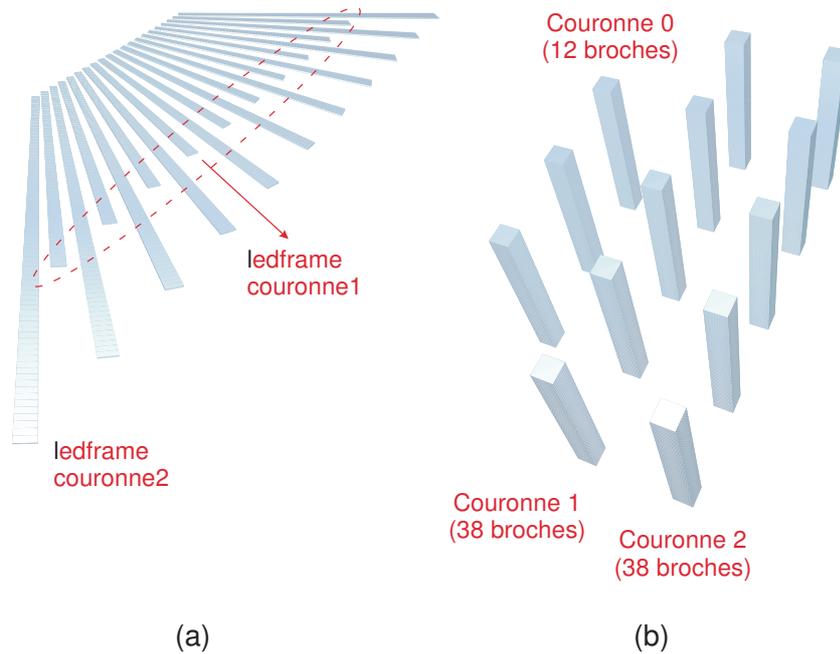


Fig. A.8: Description géométrique des pistes du leadframe et des broches du boîtier PGA84

gure A.10. Les valeurs d'impédances issues de mesures et simulations de paramètres S, de calculs analytiques à l'aide des expressions A.7 à A.14 et de simulations par les solveurs de champs FastHenry et FastCap pour les broches sont données tableau A.2. Elles concernent la paire de broches, respectivement de *bondfingers* adjacents B9-B10, respectivement 64-65 situées dans l'angle de la couronne 1 [3]. Le modèle électrique obtenu par mesure de paramètres S est consistant sur la bande de fréquence de notre application, c'est-à-dire jusqu'à 200MHz (Fig.A.9). Les ordres de grandeur des impédances issues des trois méthodes sont similaires et cette analyse nous permet de simplifier le modèle générique en constatant que les contributions majeures proviennent des inductances propres des broches et des pistes du leadframe et des impédances mutuelles (capacitives et inductives) entre ces

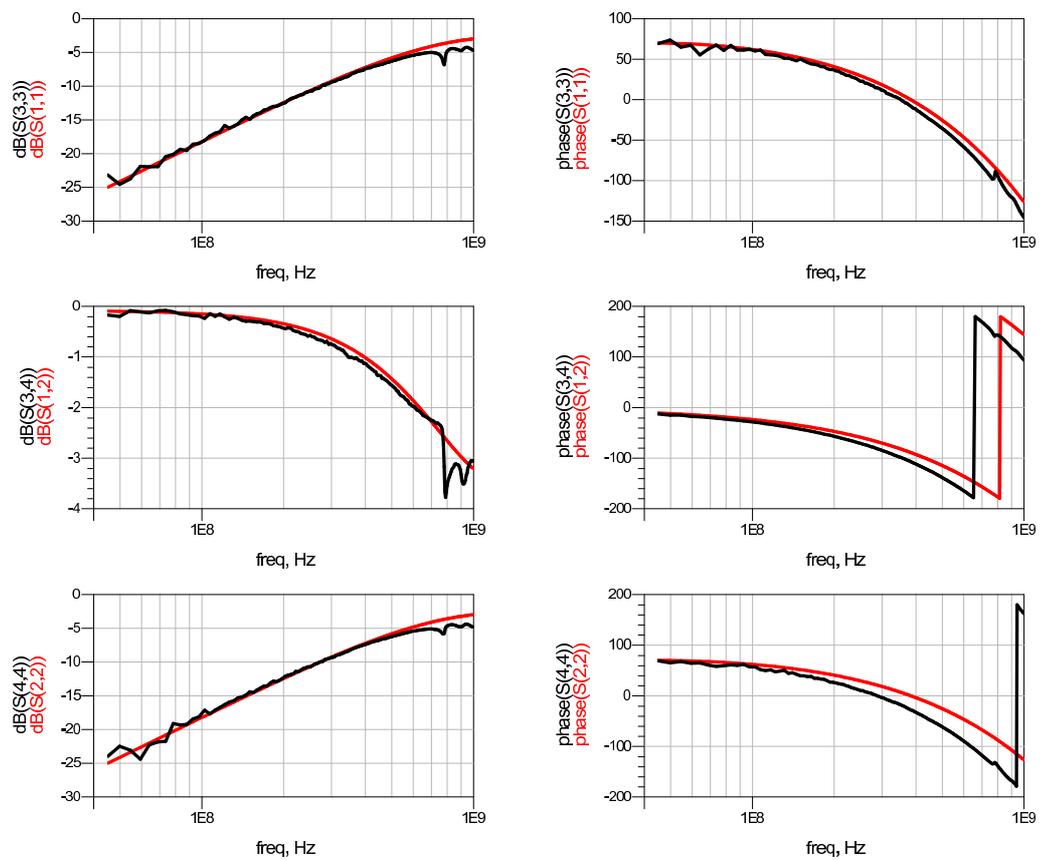


Fig. A.9: Mesures (clair) et simulations (foncé) des paramètres S entre les bondfingers 64 et 65 court-circuités du boîtier PGA84

dernières. Les impédances mutuelles entre broches adjacentes peuvent en effet être négligées étant donné le pas de 2.54mm les séparant et il en est de même pour les résistances de faibles valeurs données ici à 200MHz. L'effet de peau n'a en effet que peu d'impact pour des conducteurs de telles dimensions dans cette bande de fréquence. La modélisation complète du boîtier montre que les impédances mutuelles entre pistes du leadframe peuvent être négligées pour un écartement de 5 bondfingers pour les deux couronnes extérieures. Le modèle électrique simplifié du boîtier PGA84 ainsi que les ordres de grandeur des impédances parasites pour l'ensemble du boîtier sont donnés figure A.11. Les écarts entre les valeurs obtenues par les trois méthodes proviennent des simplifications réalisées pour la description géométrique du boîtier pour FastModel et à plus forte raison pour l'application des formules A.7 à A.14 (valeur moyenne des largeurs et des longueurs des conducteurs en regard ainsi que des constantes diélectriques). L'utilisation de la carte

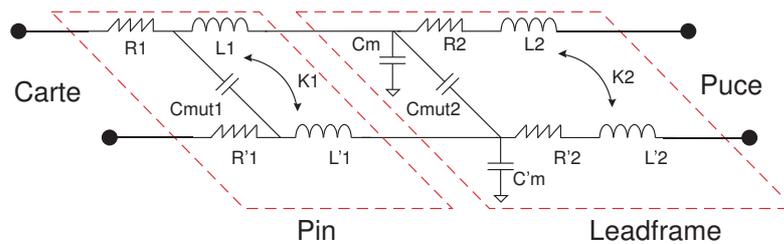


Fig. A.10: Schéma électrique de broches adjacentes du boîtier PGA84

de mesure « Paramètres S » impose de placer le boîtier 7mm au dessus du plan de masse ce qui est équivalent au cas où le circuit est monté sur un support de test. Cette phase de modélisation a été déterminante car elle a permis d'établir un modèle compréhensif et efficient du boîtier contrairement à ceux trouvés dans la littérature qui ne tenaient pas compte des impédances mutuelles (inductances et capacités) non négligeables au niveau du boîtier.

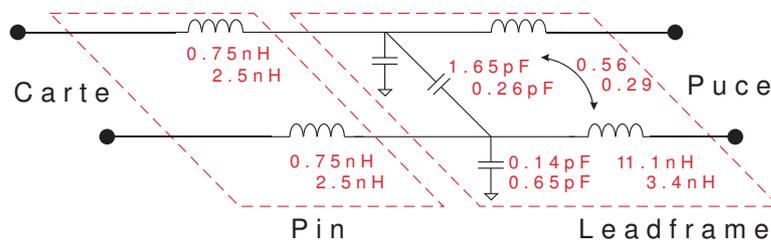


Fig. A.11: Modèle électrique simplifié de deux broches et pistes du leadframe adjacents du boîtier PGA84

Méthode	R1 ($m\Omega$)	L1 (nH)	K1	R2 ($m\Omega$)	L2 (nH)	Cmut (pF)	K2	Cm (pF)
Mesures	2	2.50	0.72	50	5.05	0.61	0.53	0.57
FastHenry FastCap	1.7	2.48	0.72	56	4.84	0.97	0.51	0.64
Formules A.7 à A.14	1.9	2.47	0.75	76	5.19	1.1	0.58	0.67

Tab. A.2: Impédances du boîtier PGA84 pour deux pistes voisines de longueurs maximales

A.0.6 Analyse des fils de bonding

Nous avons mesuré et modélisé les paramètres S entre deux broches des véhicules TEST5 connectées à l’anneau de garde P+ de la photodiode pour obtenir un modèle électrique des fils de *bonding* du boîtier. Ces fils de *bonding* sont soudés aux *bondfingers* 53 et 55 associées aux broches F9 (couronne 0) et E11 (couronne2) et nous avons extrait manuellement la résistance équivalente du rail de métal de l’anneau de garde P+ (2.3Ω). Les seules inconnues sont ainsi les résistances, capacités et inductances propres et mutuelles des fils de *bonding* que nous avons, comme précédemment, calculées par les formulations (Fig.A.3, Eq.A.7 à A.14) et extraites grâce à une modélisation géométrique traitée par FastModel. Dans ce cas, les fils de *bonding* sont en aluminium ($\rho = 26.5n\Omega/m$) et ont un diamètre de $25\mu m$. Ils sont modélisés pour FastModel par un profil parabolique de sections rectangulaires placé dans l’air respectivement à 1mm et 1.95mm au dessus de la cavité du boîtier respectivement côté puce (épaisseur de la colle époxy utilisée pour fixer la puce) et côté *bondfinger* A.12. Le tableau A.3 montre la comparaison des valeurs obtenues par nos trois méthodes. Dans ce cas la dimension des fils de bonding est équivalente (5.1mm) et les valeurs des impédances mutuelles ont été extraites par FastModel en considérant le fil de bonding intermédiaire (bond finger 54). Les valeurs obtenues par les trois méthodes sont proches et montrent le comportement fortement inductif des fils de bonding. La surface des véhicules de test étant petite par rapport à celle de la cavité du boîtier, ces fils ont des longueurs importantes (de 5.1mm à 6.5mm) augmentant d’autant plus leurs impédances propres et mutuelles (Fig.A.12). Ici le modèle peut être réduit aux inductances propres et mutuelles des fils de bonding et à leurs résistances. Il en est de même pour deux fils de bonding adjacents dont la capacité mutuelle ne dépasse pas 83fF. Le modèle obtenu par mesure et simulation de paramètres S basé sur

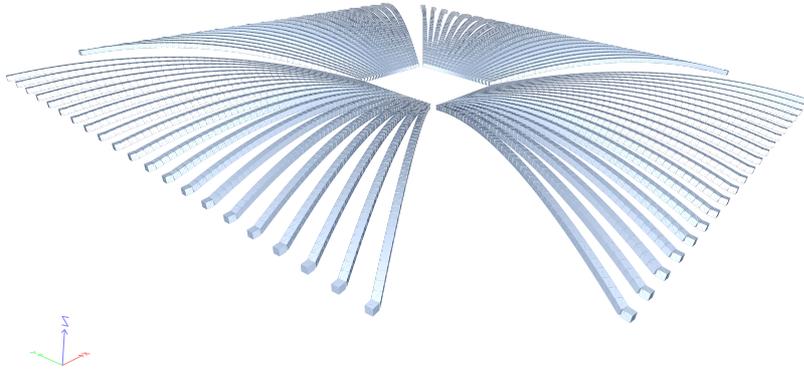


Fig. A.12: Modèle géométrique des fils de bonding du boîtier PGA84

Méthode	R ($m\Omega$)	L (nH)	Cmasse (pF)	K	Cmut (pF)
Mesures					
Simulations ADS	451	6.4	0.04	0.36	0.02
FastHenry					
FastCap	424	6.5	0.06	0.35	0.03
Formules					
A.7 à A.14	400	6.5	0.05	0.34	0.04

Tab. A.3: Impédances des fils de bonding des bond fingers 53 et 55 du boîtier PGA84

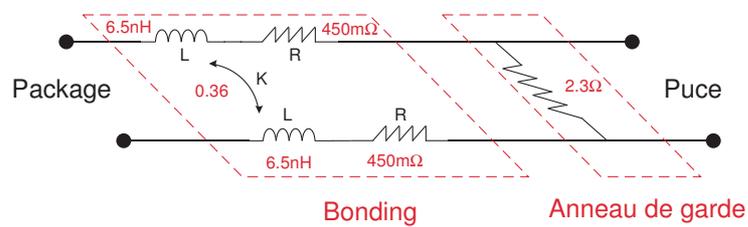


Fig. A.13: Modèle électrique des fils de bonding des broches 53 et 55 du boîtier PGA84

le modèle du boîtier PGA84 précédemment obtenu est donc cohérent. Cela nous permet de placer maintenant notre plan de modélisation au niveau du silicium.

A.0.7 Evaluation du réseau d'impédance du substrat

Nous présentons ici les résultats principaux qui nous ont permis de modéliser électriquement le substrat dans les véhicules TEST5. Les modèles d'interconnexions reliant les ports substrat au circuit imprimé sont issus des résultats précédemment exposés.

A.0.7.1 Substrat résistif ("bulk")

Le réseau complet d'interconnexions doit être extrait pour obtenir un modèle convenable du substrat résistif. Nous présentons ici le résultat obtenu par mesures entre les deux anneaux de garde ohmiques de l'oscillateur et de la photodiode.

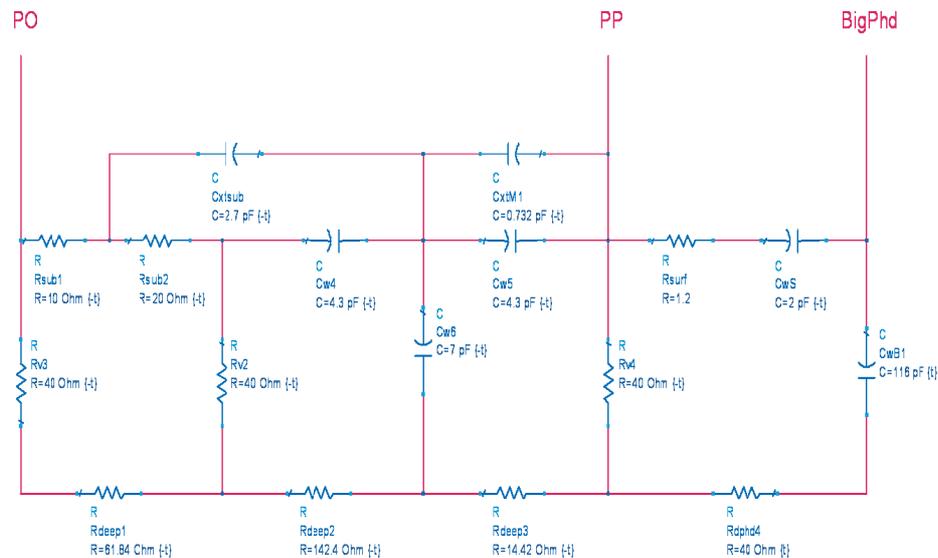


Fig. A.14: Réseau d'impédance du substrat résistif entre les anneaux de garde ohmiques de l'oscillateur (PO) et de la photodiode (PP)

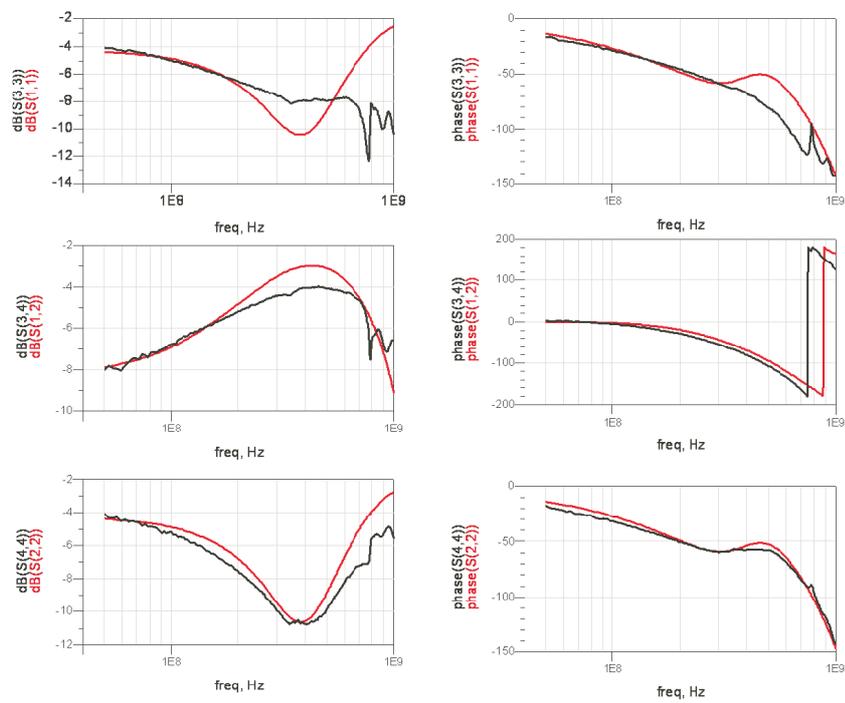


Fig. A.15: Mesures (foncé) et simulations (clair) des paramètres S entre les anneaux de garde ohmiques de l'oscillateur (PO) et de la photodiode (PP) sur substrat résistif

A.0.7.2 substrat épitaxié ("epi 10")

L'obtention du réseau d'impédance du substrat pour la technologie épitaxiée a été obtenue directement en ne prenant en compte que les résistances statiques et la capacité équivalente de surface de la photodiode.

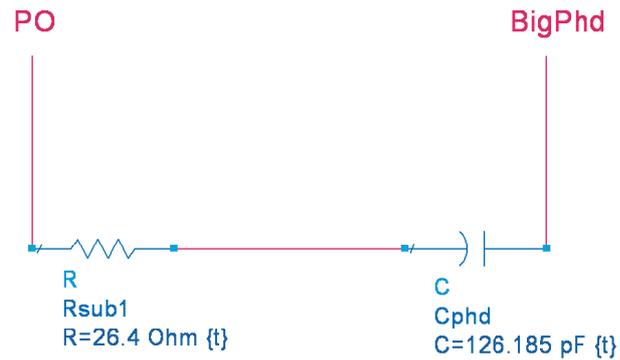


Fig. A.16: Réseau d'impédance du substrat épitaxié entre les anneaux de garde ohmiques de l'oscillateur (PO) et de la photodiode (PP)

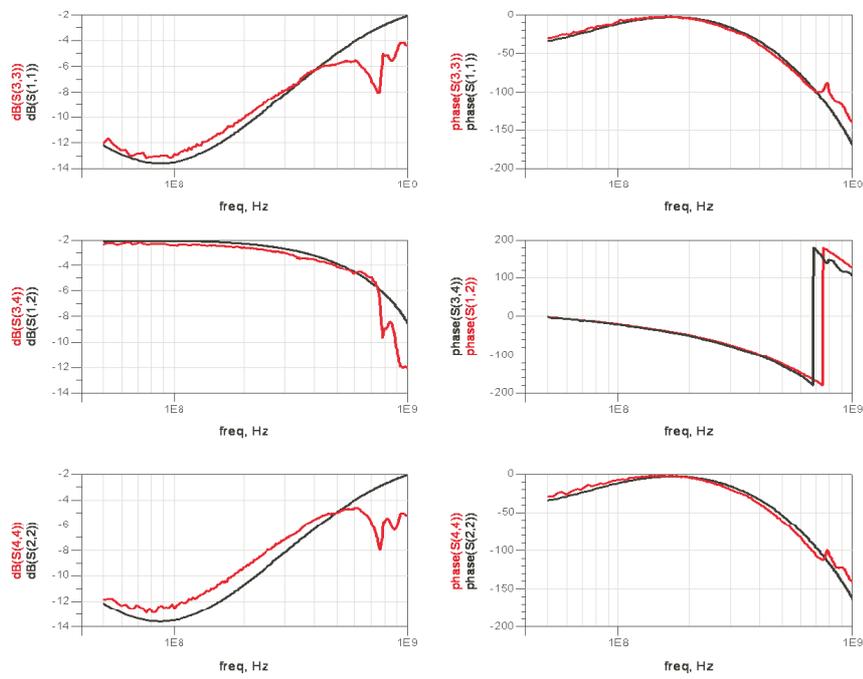


Fig. A.17: Mesures (foncé) et simulations (clair) des paramètres S entre les anneaux de garde ohmiques de l'oscillateur (PO) et de la photodiode (PP) sur substrat épitaxié

Bibliographie

- [1] D. BROOKS, *PCB Impedance control : Formulas and Resources*, 1998.
- [2] « *FastFieldSolvers* ». Consulté le 20/9/2006.
- [3] KYOCERA®, *PGA84 Package Datasheet*. Consulté le 20/9/2006.

Cette page est laissée blanche intentionnellement

Annexe B

Caractéristiques des amplificateurs transimpédance utilisés

Nous présentons dans cette annexe les éléments de conception, la méthode de caractérisation et les performances des deux circuits transimpédance utilisés pour la mesure du courant de bruit de substrat couplé à la réponse de nos photodétecteurs.

B.0.8 Conception du circuit transimpédance à composants discrets

Le schéma électrique du circuit transimpédance dédié, routé sur la carte au plus près de la broche de la cathode de la photodiode, est présenté figure B.1. Il se compose d'un étage transimpédance en cascade avec un étage amplificateur non inverseur afin d'obtenir les performances souhaitées en gain et en bande passante sans atteindre des niveaux de bruit prohibitifs.

Nous avons choisi d'utiliser des OPA657 de chez Texas Instrument® car ils présentent des tensions et courants de bruit très faibles ($e_n = 4.8nV/\sqrt{Hz}$, $i_n = 1.8pA/\sqrt{Hz}$), un produit gain-bande très élevé (1.6GHz) et des courants de polarisation d'étage d'entrée très faibles (2pA).

Les éléments clés pour les performances en bruit des circuits transimpédance sont le niveau du courant de bruit (i_n) de l'amplificateur et la résistance de contre-réaction (R_f) réalisant la conversion courant-tension [1].

Ainsi, répartir le gain entre les deux étages de notre circuit nous permet de diminuer la valeur de la résistance R_f et de garantir une bande passante élevée au circuit global [2], [3].

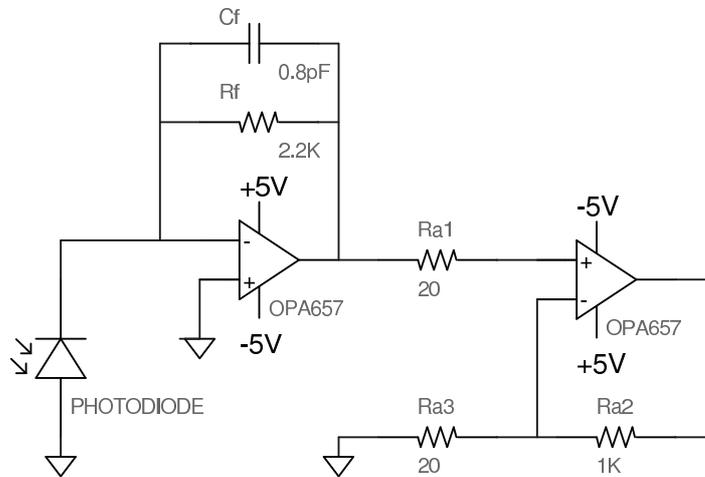


Fig. B.1: Schéma du préamplificateur transimpédance dédié

B.0.9 Caractérisation et performances des deux pré-amplificateurs

La comparaison des mesures effectuées avec ces deux circuits nécessite la bonne connaissance de leurs fonctions de transfert. Ils ont été caractérisés à l'aide d'une diode laser dont le courant de polarisation est modulé en fréquence et d'un analyseur de spectre.

Dans un premier temps, une mesure de référence est effectuée en connectant directement la diode laser au port de mesure de l'analyseur de spectre. L'amplificateur est ensuite inséré, la fonction de transfert étant déduite de la différence entre les deux mesures. Les mesures ont été faites pour les deux circuits en insérant des condensateurs *CMS* en parallèle de la diode de laser de capacité équivalente $1.8pF$ afin de couvrir la plage de valeurs de capacités de nos photodiodes.

Les figures B.2 et B.3 illustrent les fonctions de transfert des deux circuits dans le « pire cas » (photodiodes N+/P des circuits TEST5 de capacité équivalente maximale). On note bien, en comparant les données constructeurs [4] et la caractérisation ici faite B.3, l'impact de la capacité vue en entrée du circuit HCA200 sur sa bande passante qui passe de $200MHz$ ($C_{in} = 8pf$) à $15MHz$ ($C_{in} = 120pf$). Malgré leur faible bande passante, les amplificateurs restent utilisables pour ces valeurs de capacités. Ils disposent en effet de forts gains aux alentours de $200MHz$.

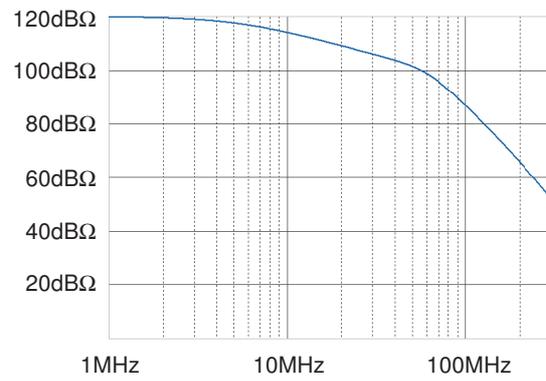


Fig. B.2: Fonction de transfert du préamplificateur transimpédance dédié

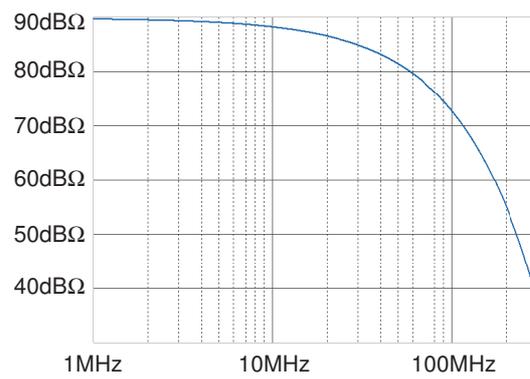


Fig. B.3: Fonction de transfert du préamplificateur HCA200

Cette page est laissée blanche intentionnellement

Bibliographie

- [1] L. BOUCHER, *Stage de Mastère recherche sur l'étude du bruit de substrat dans les imageurs CMOS*, 2003.
- [2] M. ABRAHAM, « Design of Butterworth-Type Transimpedance and Bootstrap-Transimpedance Preamplifiers for Fiber-Optic Receivers », *IEEE Transactions on Circuits And Systems*, vol. 29, Jun. 1982.
- [3] T. WANG AND B. EHRMAN, « Compensate Transimpedance Amplifiers Intuitively », *BURR-BROWN® Application Bulletin*, 1993.
- [4] FEMTO®, *HCA200M-20K-C Datasheet*, 2003.

Analyse, modélisation et réduction du couplage de bruit par le substrat dans les imageurs CMOS

Ce travail porte sur le couplage de bruit par le substrat semiconducteur entre les circuits numériques et analogiques des capteurs d'image CMOS.

Les deux premières parties constituent un état de l'art respectivement des capteurs d'image CMOS et de l'étude du bruit de substrat.

Nous abordons dans la troisième partie l'impact du bruit de substrat généré par un perturbateur numérique sur la réponse en courant de plusieurs photodétecteurs. Nous avons montré que le couplage ohmique du bruit d'alimentation au substrat est le phénomène d'injection prépondérant, la réception du bruit par le photodétecteur se faisant de manière capacitive. Pour les substrats sur couche épitaxiée, procédés technologiques dédiés à l'imagerie, la susceptibilité du circuit au couplage substrat et son émission rayonnée sont accrues. Enfin nous avons développé un modèle empirique performant du couplage substrat, implémenté en VHDL-AMS et basé sur la modélisation ICEM (Integrated Circuit Emission Model) et des simulations physiques (impédances du substrat).

La dernière partie traite de l'étude du couplage substrat dans un imageur complet. Nous avons montré que l'intégration de la fonction de séquençement augmente fortement le bruit de substrat via l'augmentation du bruit de masse numérique et que le phénomène de réception prépondérant est le couplage ohmique des masses analogiques au substrat. Cependant, aucune altération de l'image n'a été détectée par l'étude qualitative menée. La méthodologie de modélisation empirique développée précédemment a été portée à l'ensemble du capteur et permet d'obtenir un modèle performant dont les principales limitations résident dans l'évaluation des impédances du substrat.

Mots clés : Capteurs CMOS - Circuits mixtes - Compatibilité Electromagnétique - VHDL-AMS

Analysis, modeling and reduction of substrate noise coupling in CMOS image sensors

This work is dedicated to substrate noise coupling between digital and analog circuits of CMOS image sensors (APS).

The two first parts present the state of the art of APS technology and substrate coupling studies.

The third chapter deals with the impact of substrate noise, generated by a dedicated digital circuit, on the photocurrent of isolated photodetectors. Current mode readout of the photodetectors shows that the main coupling phenomenon is ohmic coupling of digital ground noise to the substrate. The noise is coupled to the photodetector by its equivalent capacitance to the substrate. Evidence has been given that epitaxial substrate is the worst case scenario regarding to substrate noise susceptibility and radiated emission of the circuit. We finally developed a behavioural model of substrate coupling based on standard ICEM model (Integrated Circuit Emission Model) implemented in VHDL-AMS. The empirical substrate impedance network of the model has been extracted using physical device simulations and measurements.

The last chapter is dedicated to substrate coupling in a complete APS. We've shown that the integration on chip of timing and control functions increases substrate noise coupling through an increase of digital ground bounce. Furthermore, ohmic coupling between digital and analog voltage references (readout) seems to be the main coupling phenomena. However our qualitative analysis has not shown any image degradation. Finally, an efficient model inherited from previous work, has been developed to simulate substrate coupling in this more complex scheme. Improvements have to be made especially in order to extract a comprehensive 3D substrate impedance network.

Keywords : CMOS Image Sensors - Mixed-Signal circuits - Electromagnetic Compatibility - VHDL-AMS

