



THÈSE

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par :

Institut Supérieur de l'Aéronautique et de l'Espace

Présentée et soutenue par :

Jean-Baptiste LINCELLES

le lundi 21 septembre 2015

Titre :

Étude d'imageurs CMOS fortement dépeuplés pour l'amélioration des performances des futurs instruments d'observation spatiaux

École doctorale et discipline ou spécialité :

ED GEET : Photonique et Systèmes Optoélectroniques

Unité de recherche :

Équipe d'accueil ISAE-ONERA OLIMPES

Directeur(s) de Thèse :

M. Pierre MAGNAN (directeur de thèse)
M. Olivier MARCELOT (co-directeur de thèse)

Jury :

M. Jean-Yves FOURNIOLS - Président
M. Rémi BARBIER - Rapporteur
M. Jérôme BAUDOT
M. Guo-Neng LU - Rapporteur
M. Pierre MAGNAN - Directeur de thèse
M. Olivier MARCELOT - Co-directeur de thèse
M. Olivier SAINT-PÉ

Remerciements

Ce travail de thèse a été réalisé au sein du laboratoire CIMI de l'ISAE, en collaboration CIFRE avec Airbus Defence and Space.

Je tiens en premier lieu à remercier les membres du jury :

- Jean-Yves Fourniols, chercheur au Laboratoire d'Analyse et d'Architecture des Systèmes (LAAS) et professeur à l'INSA de Toulouse, de m'avoir fait l'honneur de présider le jury.
- Rémi Barbier, Maître de Conférences à l'Institut de Physique Nucléaire de l'Université Lyon 1 pour ses conseils et remarques pertinentes sur le manuscrit.
- Guo-Neng Lu, Professeur à l'Université Lyon Claude Bernard, également pour son travail et ses remarques en tant que rapporteur de ce manuscrit.
- Jérôme Baubot, Professeur à l'Institut Pluridisciplinaire Hubert Curien (IPHC) de l'Université de Strasbourg pour sa participation au jury et ses remarques avisées.
- Pierre Magnan, Professeur à l'Institut Supérieur de l'Aéronautique et de l'Espace (ISAE) et directeur de thèse. Merci pour m'avoir guidé et fait évoluer tout au long de ces travaux, et pour m'avoir permis d'achever ce doctorat dans les meilleures conditions.
- Olivier Marcelot, Ingénieur Chercheur à l'Institut Supérieur de l'Aéronautique et de l'Espace et co-encadrant de cette thèse. Merci pour son suivi et son support durant toutes les étapes du doctorat, et ses conseils dans les moments délicats.
- Olivier Saint-Pé, Expert détection à Airbus Defence and Space pour son implication dans le suivi de cette thèse, ainsi que pour ses nombreux conseils tant sur le plan technique que professionnel.

Je souhaite également remercier les personnes ayant participé à l'encadrement de cette thèse, notamment chez Airbus Defence and Space : Michel Bréart de Boisanger et Franck Larnaudie. Merci pour les nombreux conseils dont j'ai pu bénéficier et pour m'avoir soutenu durant la durée de ces travaux. Je remercie en particulier l'ensemble de mes encadrants pour m'avoir permis de finir ce doctorat dans les meilleures conditions possibles malgré les aléas rencontrés.

Ce manuscrit n'aurait bien évidemment pas vu le jour sans les contributions de nombreuses personnes que je souhaite chaleureusement remercier.

- Franck Corbière, Sébastien Rolando, Romain Molina et Mathieu Bouhier pour m’avoir initié aux joies de la CAO et du design. Merci pour m’avoir fait profiter de votre expérience, de votre bonne humeur et de l’ambiance de travail dynamique de la CAO. En particulier, merci Mathieu pour avoir récupéré une puce fonctionnelle après 3 ans de travail!
- Magalie Estribeau, Paola Cervantes, Barbara Avon et Jeremy Baer pour leur aide et conseils sur la caractérisation des prototypes. Merci Magalie pour ta patience et ton aide sur le traitement des données et l’interprétation des résultats. Je vous suis infiniment reconnaissant de m’avoir fait bénéficier de votre expérience sans laquelle une grande partie des résultats n’aurait pas été obtenue.
- Aziouz Chabanne pour son aide inestimable sur les bancs de mesures, notamment pendant la campagne de mesures rapides aux alphas ou les réparations de CAN.
- Vincent Goiffon pour ses idées originales et sa lucidité dans de multiples situations. Merci pour m’avoir introduit aux finesses des mesures bas-courant et pour les nombreuses discussions qui m’ont beaucoup apporté tout au long de ce doctorat.
- Merci également à Valérian Lalluca pour les discussions musicales et radiatives.
- Mes collègues du bureau des doctorants : Nisrina Abdo, Jean-Marc Belloir, Olivier Doussin, Clémentine Durnez, Alice Pelamatti, Fernando Raymundo. Merci pour votre soutien, votre bonne humeur ainsi que pour les discussions philosophique sur le Full-Well, le Dark Blooming, et bien entendu sur l’universalité du concept de Punchthrough. Merci pour votre vision et esprit critique mais aussi les bons moments qui m’ont aidé à traverser ces années si particulières...
- Merci plus généralement à l’ensemble du groupe CIMI et aux collègues du département DEOS pour votre sympathie et l’ambiance de travail agréable.
- Je remercie également Christiane Duprat et Christophe Capello de l’Atelier Inter-universitaire de Micro-Électronique pour leur accueil, leur aide et pour la mise en boîtier de composants.

Bien sûr je ne serais jamais parvenu à terminer ce doctorat sans mes amis d’ici et d’ailleurs. Merci à vous pour votre soutien inébranlable, les soirées, les événements plus ou moins culturels, billards, films étranges, discussions plus ou moins sérieuses et autres moments conviviaux. Merci les amis!

Je souhaite finalement remercier mes parents, Marc et Thérèse pour m’avoir supporté durant mes études et plus particulièrement pendant le doctorat. Merci pour m’avoir aidé à réaliser ce parcours et pour m’avoir soutenu. Merci également à ma fratrie pour son soutien malgré la distance. Enfin merci à Sarah pour son aide et sa patience jusqu’à la fin de cette

épreuve. Merci d'avoir été là!

Table des matières

Introduction	1
1 Imageurs CMOS pour applications spatiales	5
1.1 Introduction	5
1.2 Imageur CMOS	6
1.3 Critères de performances	16
1.4 Réalisation de capteurs scientifiques	23
1.5 Environnement radiatif spatial et impacts sur l’imageur	30
2 Technologies pour un capteur monolithique entièrement dépeuplé	37
2.1 Introduction	37
2.2 Substrats fortement résistifs	38
2.3 Collection des charges sur substrat résistif	41
2.4 Conception de pixels en substrat résistif	43
2.5 Intégration de matrices en substrat résistif	55
2.6 Polarisation inverse des éléments photosensibles par polarisation du substrat .	62
2.7 Impacts des radiations	68
2.8 Conception d’un véhicule de test	74
2.9 Conclusion	76
3 Intégration de matrices en substrat résistif	79
3.1 Introduction	79
3.2 Vérification du dopage du substrat.	80
3.3 Vérification des circuits implémentés dans l’imageur.	87
3.4 Courant de fuite entre photodiodes (punchthrough)	97

3.5	Conclusion	119
4	Performances électro-optique sur substrat résistif	123
4.1	Introduction	123
4.2	Dispositif expérimental	123
4.3	Facteur de conversion charge-tension	124
4.4	Efficacité quantique	133
4.5	Diaphonie électronique	139
4.6	Fonction de transfert de modulation	147
4.7	Optimisation de la conception des pixels	152
4.8	Variation du volume dépeuplé durant l'intégration des charges, et impact sur la diaphonie	153
4.9	Signal en obscurité	156
4.10	Conclusion	163
	Conclusion et perspectives	165
A	Liste des symboles	169
B	Description du véhicule de test	171
B.1	Pixels avec variations de tailles de cathode	174
B.2	Pixels avec recul du caisson P	177
B.3	Variations sur les caissons P profonds	177
B.4	Variations de pixel avec masque métallique	179
B.5	Diodes d'étude du punchthrough	181
C	Liste des publications	183
	Bibliographie	193

Table des figures

1	La Terre imagée dans la bande 0.6 et 0.8 μm par l'instrument SEVIRI du satellite Météosat Seconde Génération. L'Europe et l'Amérique du Sud sont mieux contrastées dans la bande 0.8 μm . Crédit : EUMETSAT	2
1.1	Effet photo-électrique dans un semi-conducteur.	6
1.2	Taux de génération normalisé en fonction de la profondeur de silicium monocristallin pour différentes longueurs d'onde incidentes.	7
1.3	Jonction PN formée par un caisson N dans une épitaxie type P relativement peu dopée par rapport au substrat sous-jacent. Les limites de la ZCE sont représentées par la ligne blanche. Les lignes de champs électriques de la zone dépeuplée et du gradient de concentration en dopant sont représentées par les flèches. L'oxyde d'isolation STI (Shallow Trench Isolation) est ouvert à l'emplacement du contact du caisson N.	8
1.4	Schéma d'un capteur d'image matriciel simplifié utilisé dans cette étude.	10
1.5	Schéma d'un pixel 3T à photodiode PN.	11
1.6	Potentiel de la photodiode d'un pixel 3T et chronogramme des signaux de commande appliqués. Cet enchaînement correspond au mode de lecture à double échantillonnage non corrélé.	13
1.7	Schéma de l'électronique dans la matrice de pixel et de la chaîne de lecture en bas de chaque colonne, adaptée à une lecture de type "rolling shutter". La partie échantillonneur-amplificateur est doublée en bas de chaque colonne afin de pouvoir acquérir rapidement le signal du pixel V_{sig} dépendant de son illumination et un signal de référence V_{ref} . L'information est obtenue en différenciant V_{sig} à V_{ref} en sortie des chaînes de lecture.	15
1.8	Schémas d'une illumination face avant, face arrière, et utilisant une micro-lentille.	17
1.9	Fonction de transfert électro-optique représentant la zone linéaire et de saturation du signal de sortie en fonction du nombre de photons incidents sur un pixel.	19
1.10	Sources du courant d'obscurité d'une jonction PN.	20
1.11	Polarisation du substrat par un contact arrière et isolation des caissons P à l'aide d'un triple caisson [Lau].	27

1.12	Schéma d'un détecteur hybride montrant les parties détections (détecteur) et circuit de lecture (ROIC) réalisées séparément et connectées par un réseau de billes d'indium [RR+11]	28
1.13	Substrat SOI utilisant le silicium sous l'oxyde enterré pour la génération et la collection des charges et le silicium au-dessus de l'oxyde pour intégrer l'électronique (d'après [Mar+06]).	30
1.14	Représentation schématique des trois principales sources de radiations autour de l'orbite terrestre.	31
1.15	Représentation de la formation de défauts ponctuels et de clusters par un PKA d'après [SP13]	32
1.16	Représentation de trois types de défauts dans l'oxyde de silicium : les pièges fixes répartis dans le volume, la charge positive située dans l'oxyde très proche de l'interface, et les défauts d'interface.	34
2.1	Schéma d'une machine de croissance par méthode Czochralski (d'après [Wol02]).	39
2.2	Champ électrique du au gradient de concentration de dopage à l'interface épitaxie-substrat.	41
2.3	IQE et diaphonie électronique en fonction de l'épaisseur de couche d'épitaxie dopée à $1.0 \times 10^{12} B/cm^3$, pour un pitch de $10 \mu m$ et une cathode de $8 \mu m$ et pour des longueurs d'onde $\lambda = 800 \text{ nm}$ ou 900 nm . La profondeur dépeuplée avec ces paramètres est estimée à $20 \mu m$	42
2.4	Simulation TCAD de deux diodes de longueurs différentes sur substrat dopé P à $10^{12}/cm^3$ et pour une polarisation de $3,3V$. La profondeur maximale dépeuplée est dépendante de la géométrie de la cathode.	44
2.5	Représentation schématique de la ZCE sous la cathode dans un substrat résistif pour le modèle de ZCE ellipsoïde.	45
2.6	Évolution de la profondeur dépeuplée en fonction de la taille de cathode d'une photodiode sur substrats résistifs pour le modèle de ZCE ellipsoïde. Un facteur $f = 1.2$ est utilisé dans le modèle.	47
2.7	Évolution de l'extension latérale dépeuplée en fonction de la taille de cathode d'une photodiode sur substrats résistifs pour le modèle de ZCE ellipsoïde. Un facteur $f = 1.2$ est utilisé dans le modèle.	48
2.8	Schéma représentant un volume dépeuplé sous forme sphérique d'une photodiode. V_d est le volume dépeuplé dans la cathode utilisé pour calculer V_{dep} , le volume dans le substrat.	48

2.9	Comparaison du modèle sphérique et des résultats TCAD pour une jonction abrupte sur substrats dopés à $1.0 \times 10^{12} B/cm^3$ et $1.0 \times 10^{13} B/cm^3$	49
2.10	Simulation TCAD de la profondeur maximale dépeuplée en fonction de l'espacement entre les cathodes.	50
2.11	Profondeur dépeuplée maximale d'après le modèle 3D (en bleu, axe de gauche), capacités surfacique et périmétrique (respectivement C_A et C_P) d'une photodiode carrée en fonction de sa taille pour $N_{sub} = 1e12at/cm^3$ (en vert, axe de droite). C_{A3D} et C_{A1D} représentent respectivement la capacité surfacique calculée à partir de la profondeur dépeuplée estimée par le modèle 3D présenté dans ce chapitre et par l'équation de Poisson 1D. Le terme surfacique reste un ordre de grandeur plus faible que la capacité périmétrique. Un facteur $f = 1.2$ est utilisé dans le modèle analytique.	51
2.12	Schéma d'une photodiode avec recul d'une distance L_r des caissons P entourant la cathode. La zone dépeuplée s'étend sur une grande partie du STI.	52
2.13	Étude de l'impact du recul des caissons sur la capacité périmétrique (courbe bleue, axe de gauche) et le courant d'obscurité (courbe verte, axe de droite) (dans l'hypothèse de transition de dopage abrupte) pour une vitesse de recombinaison de $5 cm/s$	53
2.14	Profil de dopage d'un caisson P formé sur substrats P ayant différents dopages initiaux.	54
2.15	Potentiel électrostatique de deux photodiodes D1 et D2 espacées de $1.5 \mu m$ et polarisées à 0V et 1V respectivement. Une ligne de champ électrique entre D2 et le minimum de barrière de potentiel est représentée à titre d'exemple.	56
2.16	Densité de courant de punchthrough pour trois photodiodes sur du substrat silicium dopé à $1.0 \times 10^{12} B/cm^3$. La diode centrale est polarisée à 3V et les deux autres sont à la masse.	56
2.17	Courant de punchthrough entre deux photodiodes, l'une ayant un potentiel flottant initialisé à 4V et la seconde étant polarisée à différentes tensions V_{test} . I_{simu} est le courant calculé à partir de l'estimation de Φ_b (voir eq. 2.18 au minimum de potentiel dans le substrat). I_{th} est le courant calculé par la formule 2.18 et I_{pdeep} est le courant simulé entre deux cathodes isolées par un caisson P profond (explicité plus bas dans ce paragraphe). La diminution du courant provient du réajustement du potentiel flottant dans le temps. Le courant théorique calculé par l'équation (2.18) suit la même évolution dans le temps.	58

2.18	Simulation temporelle de la structure décrite en (a) donnant l'évolution du potentiel des cinq photodiodes en fonction de la valeur de V_{test} . Les diodes D2 à D5 sont polarisées à $V_{r0} = 4V$ et sont flottantes pendant la simulation. Le courant est maximal pour $V_{\text{test}} - V_{r0} = 4V$ modifiant brutalement l'état des diodes (b). Pour des courants moins élevés, la variation est moins sensible (c) (d).	59
2.19	Schéma montrant un caisson P profond entre deux caissons N formant les cathodes de deux photodiodes adjacentes.	60
2.20	Champ électrique simulé en TCAD en fonction de la profondeur sur l'axe centrale de la photodiode polarisée à 3V. Les lignes continue et discontinue représentent le champ électrique avec et sans caisson P profond autour de la cathode respectivement.	61
2.21	Schéma d'un SIT d'après [SS91].	63
2.22	Courant de fuite d'un SIT en fonction de sa polarisation et de divers espacement entre les cathodes. Pour de faibles espacements, une isolation entre les faces avant et arrière est maintenue.	64
2.23	En référence à la figure 2.18a, courant de punchthrough en D1 en fonction du temps pour deux potentiels en face arrière. Les lignes solides représentent le courant simulé, et les marqueurs en croix le courant théorique ajusté.	65
2.24	Concept de photodiode à caisson N profond d'après [Jan]	66
2.25	Distribution de l'augmentation du courant d'obscurité pour différentes valeurs de μ , dépendant du volume dépeuplé.	70
2.26	Distribution de l'amplitude maximale du signal RTS pour une dose de 1 PeV/g sur des photodiodes de $7 \mu\text{m}$ pour 3 dopages différents du substrat.	71
2.27	Représentation schématique de la structure parasite se formant entre un NMOS et un PMOS, et pouvant déclencher un SEL.	72
3.1	L'estimation de la profondeur dépeuplée à l'aide de la capacité surfacique estimée présente une caractéristique très proche du modèle unidimensionnel de la jonction PN basé sur la résolution de l'équation de Poisson en une dimension (pour $N_a = 6.10^{-12} \text{at/cm}^3$ et un $V_{bi} = 0.55V$).	82
3.2	L'inverse de la capacité surfacique au carré en fonction de la tension inverse permet d'estimer la concentration d'un dopage uniforme à l'aide de sa pente. Dans le cas d'un dopage uniforme (comme pour le substrat float-zone utilisé ici), cette relation est une droite.	83

3.3	Estimation du dopage en fonction de la profondeur dépeuplée à l'aide de la méthode de la capacité différentielle. Le bruit est introduit par la dérivée discrète.	84
3.4	Principe de la mesure SRP le long d'un échantillon biseauté, d'après [Sch98, p. 30].	86
3.5	Estimation de la concentration en dopant en fonction de la profondeur par la mesure SRP sur un de nos échantillons biseauté.	86
3.6	Caractéristiques $I_d(V_d)$ des trois variantes de transistors NMOS. Les mesures venant des transistors avec caisson P profond sous-jacent sont représentées par les marqueurs en étoile, et celle venant des transistors sans caisson P profond par des marqueurs carrés. Les simulations basées sur le modèle fondeur sont représentées par les lignes continues.	88
3.7	Caractéristiques $I_d(V_d)$ des trois variantes de transistors PMOS. Les mesures venant des transistors avec caisson P profond sous-jacent sont représentées par les marqueurs en étoile, et celle venant des transistors sans caisson P profond par des marqueurs carrés. Les simulations basées sur le modèle fondeur sont représentées par les lignes continues.	92
3.8	Schématique d'un pixel test et chaîne de lecture associée. La variation de V_{out} en fonction de V_{in} permet de caractériser la fonction de transfert de la chaîne de lecture.	93
3.9	Vérification de la fonction de transfert électrique en régime statique. Les mesures réalisées sur la chaîne de lecture montrent un comportement très proche de celui simulé lors de la phase de conception.	94
3.10	Image d'une mire réalisée par la matrice de pixel montrant que le décodage des lignes et colonnes est correctement réalisé. Les lignes et colonnes noires de la partie droite de l'image sont dues à l'absence d'un pixel sur deux du fait de l'intégration de pixel de $20\mu m$ de pas dans cette zone.	96
3.11	Schéma en coupe des structures de test utilisées pour étudier le courant de fuite entre photodiodes.	98
3.12	Impact de la polarisation de D1 et D2 sur le courant de fuite. Il n'y a pas de caisson P profond entre les cathodes et la distance entre les cathodes est minimale ($1.5\mu m$). Le substrat est à la masse.	99
3.13	Impact de la polarisation du substrat sur le courant de fuite. La distance entre cathodes est minimale ($1.5\mu m$), la cathode D2 est polarisée à 0V et il n'y a pas de P profond entre les cathodes.	100

3.14	Équivalence de la méthode de polarisation des photodiodes. Les lignes représentent le courant mesuré avec un substrat à la masse et différente polarisation de D2, et les marqueurs représentent le courant mesuré avec D2 à la masse et en polarisant négativement le substrat à différents potentiels.	101
3.15	Impact de la distance L entre cathode et de la présence du caisson P profond sur le courant de fuite.	102
3.16	Impact de la largeur Z des cathodes en vis à vis sur le courant de fuite. . . .	103
3.17	Schéma de conception des pixels dit sans P profond (à droite) et avec P profond (à gauche). Dans les deux cas, un caisson P profond est présent entre les lignes pour l'intégration de l'électronique intra-pixel.	105
3.18	Exemple de réponse en obscurité de pixels entourant un pixel test lors d'un phénomène de punchthrough. Chaque carré représente un pixel et le pixel test est polarisé à 23mV. Les premiers voisins sont saturés et les seconds voisins commencent à subir l'influence du courant.	106
3.19	Réponse du premier pixel voisin (Est) en fonction de la polarisation du pixel test. Pour une même taille de photodiode, le caisson P profond retarde l'impact du courant de fuite sur la réponse du pixel.	107
3.20	Impact du caisson P profond sur les pixels avec cathode de 5 μm . Lorsque le caisson P profond est présent tout autour de la cathode, la réponse des pixels Nord et Est est similaire. Comme attendu, cela n'est plus vrai pour le pixel dont le P profond est absent entre les colonnes (pixel sans P profond).	108
3.21	Réponse des pixels Est pour des pixels de pas 20 μm avec P profond. L'effet du punchthrough est facilement détectable pour des tailles de cathodes supérieurs à 13 μm	109
3.22	Courant moyen de fuite entre cathodes de taille différente dans des pixels de pas différents. Les courbes bleues représentent le courant pour un espacement entre cathode de 7 μm , et les courbes rouges pour un espacement de 5 μm . La diminution apparente du courant pour la diode de 15 μm lorsque V_{test} diminue est un artefact de mesure causé par un courant trop élevé affectant la tension de référence.	111
3.23	Réponse des premiers pixels voisins Est au pas de 20 μm et sans P profond entre les colonnes en fonction de la tension appliquée sur le pixel test et pour différentes tailles de cathode.	112

3.24	Potentiel de la cathode de $15 \times 15 \mu m^2$ d'un pixel voisin Est en fonction du temps et pour différents potentiel sur le pixel test. L'initialisation de la photodiode est réalisée ici entre 0 et $1 \mu s$ et l'échantillonnage de la tension de référence V_{ref} est réalisée environ $1 \mu s$ après la fin de l'initialisation. Cette tension de référence est impactée par le fort courant de fuite rechargeant la photodiode.	113
3.25	Estimation du courant de fuite à partir de la variation de potentiel de cathode de $15 \times 15 \mu m^2$ mesurée à l'oscilloscope (présenté figure 3.24). Le courant de fuite estimé est du même ordre de grandeur que celui mesuré en structure de test.	114
3.26	Réponse du premier, second et troisième voisin Est du pixel test en fonction de la tension appliquée à ce dernier. Mesures réalisées avec des cathodes de $15 \mu m$ et sans P profond entre les colonnes. Pour des tensions faibles sur le pixel test (courant de fuite élevé), le courant de fuite se propage de proche en proche.	116
3.27	Schéma présentant un pixel et la localisation de l'implantation de bore à haute énergie, formant les caissons P profonds.	117
3.28	Impact de l'espacement entre le caisson P profond et la cathode sur la réponse du premier voisin, et donc sur le courant de punchthrough. L'augmentation du courant avec la distance L_{esp} démontre la modulation du potentiel dans le substrat.	118
4.1	Schéma du banc de caractérisation sous illumination utilisé pour l'évaluation des performances électro-optiques.	124
4.2	Éléments capacitif au sein d'un pixel.	125
4.3	Facteur de conversion des pixels de $10 \mu m$ pour différentes largeurs de cathode. Comparaison avec le CVF estimé à partir des mesures sur diodes PN et par le modèle analytique.	126
4.4	Facteur de conversion des pixels de pas $20 \mu m$ et comparaison avec le modèle analytique.	127
4.5	Comparaison du facteur de conversion des pixels avec et sans P profond pour différentes tailles de cathodes dans des pixels de pas $10 \mu m$. Le caisson P profond ne semble pas impacter de manière assez importante la capacité de la photodiode pour modifier le CVF.	129
4.6	Comparaison du facteur de conversion des pixels avec et sans P profond pour différentes tailles de cathodes dans des pixels de pas $20 \mu m$. Ici aussi, le caisson P profond ne modifie pas de manière importante le CVF.	130
4.7	Deux modèles différents de capacité pour l'estimation de la capacité périmétrique des pixels avec caisson P reculés.	131

4.8	Comparaison du facteur de conversion des pixels avec recul du caisson P. Le modèle utilisant l'hypothèse de jonctions abruptes présente une estimation trop élevé du CVF en sous-estimant la capacité périmétrique. Un modèle basé sur une jonction dopée linéairement semble plus adaptée dans ce cas.	132
4.9	Exemple d'une fonction de transfert électro-optique d'une sous-matrice de pixels à 700 nm. La pente estimée ici ainsi que le CVF permettent de calculer l'efficacité de détection spectrale (EDS).	133
4.10	Efficacité quantique externe du capteur développé dans ces travaux (capteur A), d'un capteur réalisé au CIMI, sur substrat conventionnel au pas de pixel de 10 μm (capteur B) et d'un capteur commercial visant des applications scientifiques, utilisant des pixels 4T de 11 μm illuminés en face arrière (capteur C).	134
4.11	Simulations TCAD de l'efficacité quantique des pixels de pas 10 μm avec caisson P profond, et pour quatre tailles de cathode. Une très faible dépendance du QE avec la taille de cathode est visible pour toutes les longueurs d'onde. .	135
4.12	Efficacité quantique des pixels de pas 10 μm avec caisson P profond, et pour quatre tailles de cathode. Aucun effet de dépendance entre la zone dépeuplée et la taille de cathode n'est visible ici.	136
4.13	Efficacité quantique des pixels de pas 20 μm avec caisson P profond. La diode de taille 5 μm , dont le QE est très similaire à son équivalent en pixel de pas 10 μm présente un QE plus faible aux fortes longueurs d'onde que celui des diodes plus larges, pouvant être provoqué par un volume dépeuplé plus faible.	137
4.14	Efficacité quantique des pixels avec recul du caisson P. La diode est de 3 μm de coté pour toutes les variations. Il n'y a pas de variation claire de la réponse aux faibles longueurs d'onde.	138
4.15	Comparaison de l'efficacité quantique avec et sans caisson P profond pour deux tailles de cathode différentes. Les résultats ne permettent pas de conclure sur un éventuel impact du P profond sur le QE.	138
4.16	Fonction de transfert électro-optique d'un pixel illuminé et de son premier voisin. L'estimation du ratio des pentes permet de calculer la diaphonie entre ces pixels.	140
4.17	Courbe de diaphonie d'un pixel de pas 10 μm et de longueur de cathode de 7.5 μm en fonction de la longueur d'onde.	141
4.18	Simulations TCAD de la diaphonie pour deux tailles de cathode en pixel de pas 10 μm . On observe les mêmes variations que sur les mesures réalisées en matrice.	141

4.19	Simulation TCAD de la diaphonie. La figure présente la composante de la densité de courant parallèle à la surface. Un courant de diffusion dans les caissons est visible et une partie des charges diffuse vers le pixel masqué, créant une diaphonie.	142
4.20	Ratio des densités de courant J_2 et J_1 en fonction de la profondeur et estimé à l'aide des coupes présentées figure 4.19. Ces ratios représentent le nombre de charges diffusant vers le pixel masqué par rapport au nombre de charges diffusant vers le pixel illuminé.	142
4.21	Évolution de la diaphonie des pixels de pas $10 \mu m$ avec P profond en fonction de la longueur d'onde et de la taille de cathode.	144
4.22	Évolution de la diaphonie des pixels de pas $20 \mu m$ sans P profond en fonction de la longueur d'onde et de la taille de cathode.	144
4.23	Simulation TCAD de la diaphonie montrant l'impact du caisson P profond en fonction de la taille de cathode.	146
4.24	Impact du caisson P profond sur la diaphonie pour deux tailles de cathode des pixels de pas $20 \mu m$. Pour une petite cathode ($5 \mu m$), la diaphonie augmente avec le caisson P profond. Cet effet n'est plus visible pour de larges cathodes ($15 \mu m$ ici).	146
4.25	Représentation de la luminance d'une mire sinusoïdale de fréquences variées et de son image par un système optique. Le contraste reproduit par ce système est dégradé pour des fréquences élevées, dégradant alors la FTM.	147
4.26	Front imagé par le capteur et provenant du masque bord de plage incliné formé par trois niveaux de couche métallique.	148
4.27	ESF des pixels de pas $10 \mu m$ avec une cathode de $5 \mu m$	149
4.28	Comparaison de la FTM des pixels du capteur A (ce travail) de pas $10 \mu m$ avec une cathode de $7.5 \mu m$ et P profond, et du capteur B ayant des pixels de pas $10 \mu m$ sur substrat conventionnel.	149
4.29	FTM des quatre pixels de pas $10 \mu m$ avec P profond.	151
4.30	Comparaison entre les résultats de diaphonie à 650 nm et l'impact du punch-through en fonction de la taille de cathode des pixels de $20 \mu m$ avec et sans P profond.	152
4.31	FTEO mesurée à $\lambda = 900 \text{ nm}$ du pixel illuminé et de son premier pixel voisin masqué. Ces pixels sans P profond ont un pitch $20 \mu m$ et une cathode de $13 \mu m$.155	

4.32	Schéma représentant la FTEO d'un pixel illuminé et de son proche voisin. Nous représentons l'extrapolation de la pente à l'origine et les trois régimes équivalents à ceux de la figure 4.31, permettant d'estimer le potentiel de la cathode illuminée lors du passage du régime 2 au régime 3. Si les pixels sont impactés par un courant de punchthrough, ce potentiel est supérieur à 0V et devrait correspondre aux tensions du pixel test déclenchant le punchthrough déterminées dans la partie 3.4.2	155
4.33	Comparaison du courant d'obscurité d'une diode directement intégrée dans le substrat résistif et d'une diode dont la cathode est intégrée dans un caisson P profond. Les tailles de cathodes sont de 10x100 μm dans les deux cas.	157
4.34	Augmentation du signal d'obscurité d'un pixel avec diode de 7.5x7.5 μm^2 . La détermination de la pente permet de calculer le courant d'obscurité de ce pixel. 158	158
4.35	Variation du courant d'obscurité pour un pixel ayant une cathode de 3x3 μm^2 , et un pixel ayant une cathode similaire mais un caisson P espacé de 2 μm de la cathode.	159
4.36	Courant d'obscurité des pixels au pas de 10 μm en fonction de la taille de cathode et de la présence du caisson P entre les cathodes.	160
4.37	Courant d'obscurité des pixels au pas de 10 μm en fonction de l'espacement entre cathode et caisson P.	161
B.1	Schéma de conception de l'imageur CMOS montrant l'emplacement des masques métalliques et des rails de connexion des pixels test.	172
B.2	Photographie du circuit intégré dans un boîtier PGA84.	173
B.3	Dessin de quatre pixels avec P profond. Les cathodes (ici en rouge) sont toutes carrées de côté L. Les hachures bleues sur et autour des cathodes représentent les emplacements sans implantation du caisson P profond.	175
B.4	Dessin de quatre pixels sans P profond. Les hachures bleues sur et autour des cathodes représentent les emplacements sans implantation du caisson P profond. Le caisson P profond n'est donc présent que sous les transistors en dessous et au dessus de la cathode.	176
B.5	Dessin d'un pixel avec un espacement L_r entre la cathode et le caisson P l'entourant. La vue en coupe représente la section AA'. Le caisson P profond n'est pas dessiné ici par soucis de clarté.	177
B.6	Dessin représentant les variations d'écartement L_{esp} entre les cathodes et le caisson P profond. Les hachures bleues représentent les zones sans caisson P profond et L_{pp} correspond donc à la largeur de caisson P profond entre les cathodes.	178

B.7	Dessin du masque pour l'étude de la diaphonie sur une sous-matrice de 32x32 pixels.	180
B.8	Dessin de conception des paires de diodes utilisées pour l'étude du punch-through. Z est le côté en vis à vis des cathodes et L la distance entre les cathodes. Les vues en coupe représentent la section AA' pour des variations sans et avec P profond.	182

Liste des tableaux

2.1	Courant de punchthrough pour une tension fixe de 3V entre deux photodiodes de longueur et d'espacement variables.	57
2.2	Résultats TCAD du déclenchement de latchup pour une structure simple conçue en utilisant les dimensions minimales.	73
3.1	Dimensions des photodiodes PN pour les mesures capacitives.	82
3.2	Variations de taille des transistors de test. Chaque variation est déclinée avec et sans le caisson P profond.	87
3.3	Tension de seuil des transistors NMOS.	89
3.4	Tension de seuil des transistors PMOS.	90
4.1	Estimation des capacités parasites du nœud de collection.	126
4.2	Variation de potentiel estimée (en mV) de la cathode illuminée pour lequel la transition des régimes 2 à 3 s'effectue sur la FTEO de la cathode voisine par rapport à une diode de $7.5\mu m$. Comparaison avec la tension de déclenchement de punchthrough étudiée en 3.4.2.	154
4.3	Énergie d'activation du courant d'obscurité en fonction de la taille de cathode.	159
4.4	Énergie d'activation du courant d'obscurité en fonction du recul du caisson P.	161
B.1	Dimensions des cathodes dans les pixels de pas $10\mu m$	174
B.2	Dimensions des cathodes dans les pixels de pas $20\mu m$	174
B.3	Variations des pixels avec recul du caisson P.	177
B.4	Variations des espacements entre caissons P profond et cathode sur les pixels de $20\mu m$	178
B.5	Déclinaison des variations de pixels sur des sous-matrices d'étude de la diaphonie et de la FTM	179
B.6	Déclinaison des paires de diodes pour l'étude du punchthrough.	181

Introduction

L'invention de la photographie au 19^{ème} siècle nous permet depuis lors d'enregistrer, transférer et partager l'image d'une scène ou d'un objet ainsi que l'ensemble des informations détectables par le système d'imagerie. Elle a alors été utilisée dans de nombreux domaines, grand public ou scientifiques jusqu'à prendre une place importante aujourd'hui dans de nombreux aspects du quotidien de nos sociétés. Nous pouvons citer son omniprésence dans les appareils mobiles, le multimédia, la médecine, l'automobile ou encore certains domaines artistiques.

Son utilisation dans l'astronomie est assez précoce avec en 1840 une première image de la lune par John William Draper, ou le transit solaire de Vénus en 1882 par David Peck Todd. La première photographie réalisée depuis l'espace est prise par un appareil photo de 35mm monté sur une fusée V-2, lancée le 24 Octobre 1946 par l'armée américaine. L'imagerie fait depuis partie intégrante de l'aventure et de l'exploration spatiale : plus de 1400 photos sont prises par l'équipage d'Apollo 11, plusieurs dizaines de milliers par la sonde Cassini, des robots photographient la surface de Venus, Titan, Mars, et plus récemment du noyau de la comète 67P/Churyumov-Gerasimenko, nous permettant de mieux comprendre l'univers proche et lointain. Les satellites d'observations de la Terre photographient quotidiennement la surface de la planète et sont aujourd'hui indispensables dans les domaines de la météorologie, du contrôle environnemental ou encore de la sécurité.

Si les premiers systèmes photographiques utilisent un procédé argentique et des plaques photographiques, l'ère électronique mène au développement de caméras à tube, puis à celui des capteurs CCD (Charge Coupled Device) intégrés dans un semi-conducteur. Le développement des performances de ces derniers permet de surclasser et remplacer les systèmes photographiques ou à tube, finalement peu adaptés aux applications spatiales (e.g. rapatriement des pellicules pour le premier, taille et consommation pour le second). Le télescope spatial Hubble utilise ainsi des capteurs CCD et ces derniers sont devenus indispensables dans l'imagerie scientifique. Le télescope Hubble embarque en réalité plusieurs instruments d'imagerie permettant de détecter la lumière du domaine du visible, mais aussi du proche infra-rouge ou de l'ultra-violet. Cette multiplication des spectres disponibles permet également celle des informations accessibles : il permet par exemple de connaître la composition des objets imagés ou son décalage vers le rouge. Pour l'observation terrestre, l'utilisation de différentes bandes spectrales permet également d'accéder plus facilement à certains types d'informations. Par exemple, le proche infrarouge permet d'augmenter le contraste entre surfaces émergées et immergées (voir figure 1) car l'eau absorbe ces longueurs d'onde tandis que les sols et la végétation la reflètent. Le visible et le proche-infrarouge permettent de suivre la dynamique de la végétation et certains paramètres biophysiques. Ces deux bandes spectrales ont également été utilisées pour la détection des espaces urbanisés.

L'évolution de la technologie CMOS (Complementary Metal Oxyde Semi-conductor) a re-dynamisé dans les années 1990 la recherche sur les capteurs d'image basés sur des briques

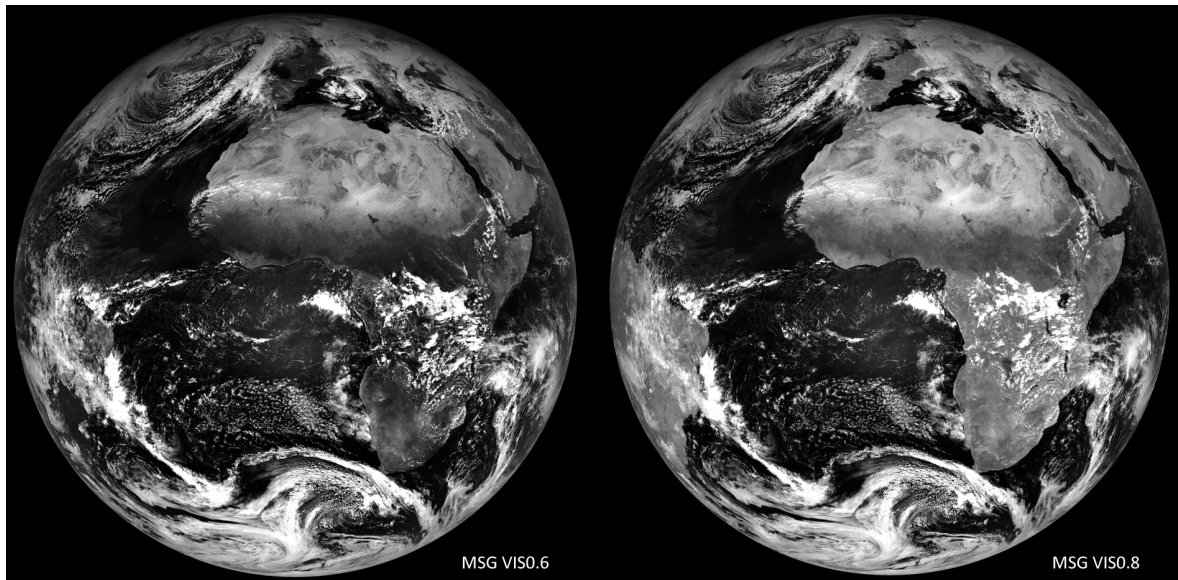


FIGURE 1 – La Terre imagée dans la bande 0.6 et 0.8 μm par l'instrument SEVIRI du satellite Météosat Seconde Génération. L'Europe et l'Amérique du Sud sont mieux contrastées dans la bande 0.8 μm . Crédit : EUMETSAT

CMOS. Les capteurs CMOS ont alors rapidement évolués pour concurrencer les capteurs CCD dans certaines applications. Ils permettent en particulier d'intégrer sur un même composant l'imageur et différentes électroniques associées, offrent une meilleure flexibilité de lecture et peuvent intégrer des fonctions électroniques au sein de chaque pixel. Ces capteurs disposent maintenant de procédés optimisés augmentant continuellement leurs performances. Ils occupent aujourd'hui une part non négligeable dans de nombreux marchés : applications grand publics, production industrielle, médicale, de sécurité... si bien que la fabrication de capteurs CCD est aujourd'hui remise en question par certains fabricants. Le secteur spatial utilise actuellement des capteurs CMOS pour le contrôle d'attitude des satellites mais commence également à les employer pour l'imagerie de la Terre (satellite coréen COMS) ou l'exploration spatiale (sonde indienne Chandrayaan-1). Malheureusement, les performances des imageurs CMOS en termes de sensibilité dans le proche infrarouge n'égalisent pas encore celles réalisées par les CCD.

Ce travail est dédié à l'exploration des solutions permettant l'amélioration de la réponse spectrale des imageurs CMOS, en particulier dans le proche infra-rouge. Nous présenterons dans le chapitre 1 les principes de fonctionnement de ce type de capteur, les possibilités d'amélioration de leur réponse spectrale au travers de réalisations visant des applications scientifiques, ainsi que les conséquences de leur exposition à un environnement radiatif.

Le faible dopage du silicium et l'augmentation de la tension sur les éléments photosensibles sont deux solutions que nous approfondirons dans le chapitre 2. Si des travaux utilisent déjà ces moyens dans des réalisations concrètes de capteurs, peu d'entre eux montrent les adaptations nécessaires à un capteur CMOS pour utiliser ces solutions particulières. En particulier, nous étudierons l'impact que peut avoir un substrat peu dopé sur l'électronique et la matrice

Introduction

de pixel, ainsi que les difficultés d'augmenter les tensions de polarisation. Nous utiliserons dans ce chapitre des modèles analytiques et des simulations numériques afin d'anticiper les performances électro-optiques réalisables, et de les corréler à la conception géométrique des pixels. Ces résultats serviront à concevoir un véhicule de test utilisant du silicium très peu dopé, et destiné à valider les concepts développés dans ce chapitre.

Nous présenterons dans le chapitre 3 les résultats des mesures réalisées sur le composant développé durant ces travaux, en nous focalisant principalement sur les difficultés d'intégration d'un capteur CMOS sur un substrat très peu dopé, et sur les nécessités d'adaptations dans la conception de l'imageur.

Finalement, nous montrerons dans le chapitre 4 les performances réalisables par un tel capteur. Nous nous pencherons sur l'impact de la géométrie du pixel afin de valider ou invalider les hypothèses développées dans le chapitre 2 et de donner des pistes de conception pour optimiser les performances en limitant les risques inhérent à l'utilisation de silicium faiblement dopé.

Imageurs CMOS pour applications spatiales

1.1 Introduction

Les capteurs d'images à base de silicium semi-conducteur ont historiquement été développés à la fin des années 60 suivant deux technologies bien distinctes : les technologies CMOS et CCD. La technologie CCD a plus rapidement atteint les prérequis en terme de nombre et du pas des pixels, et de performances électro-optiques pour être utilisée dans de nombreuses applications. Les capteurs CCD sont par exemple devenus indispensables en astronomie où les faibles fréquences d'acquisition d'image permettent d'atteindre de faibles bruits de lecture.

Les concepteurs de détecteurs infrarouges hybrides ont dès les années 1980 utilisé des technologies CMOS pour les circuits de lecture adaptés à des pas de pixels relativement larges [KLT99]. Ce sont les diminutions plus récentes des nœuds technologiques qui ont permis d'augmenter les performances tout en réduisant le pas des pixels des imageurs CMOS monolithiques pour des applications dans le spectre visible et proche infrarouge. Les premiers pixels n'intégraient pas d'élément d'amplification et étaient dit passifs. Le faible encombrement de l'électronique intégrée dans le pixel permet dans ce cas de conserver une large zone photosensible mais les performances sont dégradées notamment en raison de l'influence des capacités localisées en aval du photodétecteur [FWS00]. L'intégration de transistors supplémentaires a permis le développement des pixels actifs disposant d'un élément d'adaptation d'impédance vis à vis de ces fonctions localisées en aval (à commencer par le bus colonne) [Nix+96].

Dès lors, la rapide évolution de cette technologie et l'engouement pour l'imagerie CMOS ont permis d'augmenter leurs performances [Fos95], faisant de ces composants des outils pouvant être considérés pour les applications "haut de gamme". Néanmoins, la réponse de ces capteurs dans la gamme du visible (notamment le rouge) et du proche infrarouge est restée inférieure à celle atteignable par des CCDs qui bénéficient d'une technologie mature et d'une grande flexibilité dans le choix des paramètres technologiques de réalisation, tout au moins pour les fabricants répondant aux besoins des marchés de niche. Cette lacune est préjudiciable notamment pour des applications scientifiques et d'observation de la terre, où il est avantageux de tirer bénéfice au maximum de l'information lumineuse incidente.

Nous aborderons dans ce chapitre les principes physiques de l'imageur CMOS lui permettant de convertir l'information lumineuse en charge électrique, puis en signal électronique. Ce

travail étant dédié à l'étude de capteurs matriciels 2D organisés en lignes et en colonnes, le terme imageur fera pas la suite référence à ce type de capteur. Une revue des possibilités d'intégration permettant d'augmenter la réponse des imageurs sera ensuite établie pour pouvoir orienter les choix de conception d'un composant aux performances accrues, principalement dans le rouge et le proche infrarouge. Finalement, les effets de l'environnement radiatif spatial sur les imageurs CMOS seront étudiés.

1.2 Imageur CMOS

1.2.1 Détection de photons

1.2.1.1 Génération de charges

L'illumination d'un semi-conducteur par une lumière appropriée permet d'y générer des porteurs de charges électroniques par effet photo-électrique. Le transfert d'énergie du champ électromagnétique incident vers le semi-conducteur entraîne la diminution du flux incident : la lumière est dite absorbée. L'absorption dans le matériau semi-conducteur d'un photon de longueur d'onde λ et d'énergie hc/λ , h étant la constante de Planck et c la vitesse de la lumière, est régie par le coefficient d'absorption α spécifique à l'énergie du photon incident. L'énergie absorbée permet le transfert d'un électron de la bande de valence vers la bande de conduction, et ainsi la création d'une paire électron-trou comme représenté figure 1.1. Pour être absorbé, ce photon doit avoir une énergie supérieure à celle de la bande interdite E_g du semi-conducteur. Un photon d'énergie inférieure à celle de la bande interdite ne pourra pas interagir avec le matériau et le traversera. La bande interdite du silicium lui permet par exemple d'être sensible aux longueurs d'onde du visible et du proche infrarouge jusqu'à une longueur d'onde de coupure proche de $1.1\mu m$.

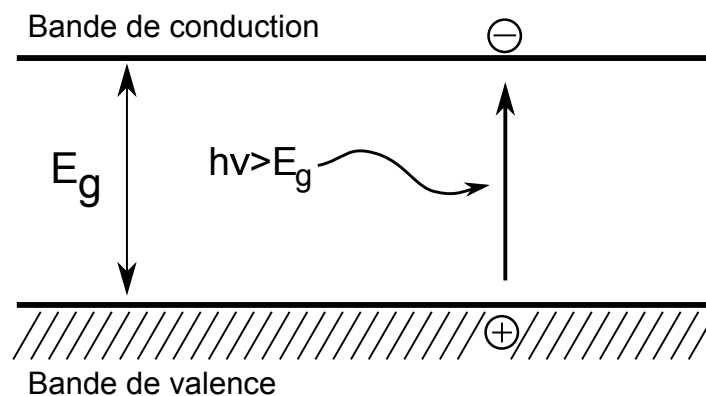


FIGURE 1.1 – Effet photo-électrique dans un semi-conducteur.

En fonction de sa longueur d'onde, la lumière incidente interagit plus ou moins avec le matériau. La capacité à absorber la radiation incidente est de ce fait dépendante de sa longueur d'onde et est caractérisée par le coefficient d'absorption, lui même dépendant de la section

1.2. Imageur CMOS

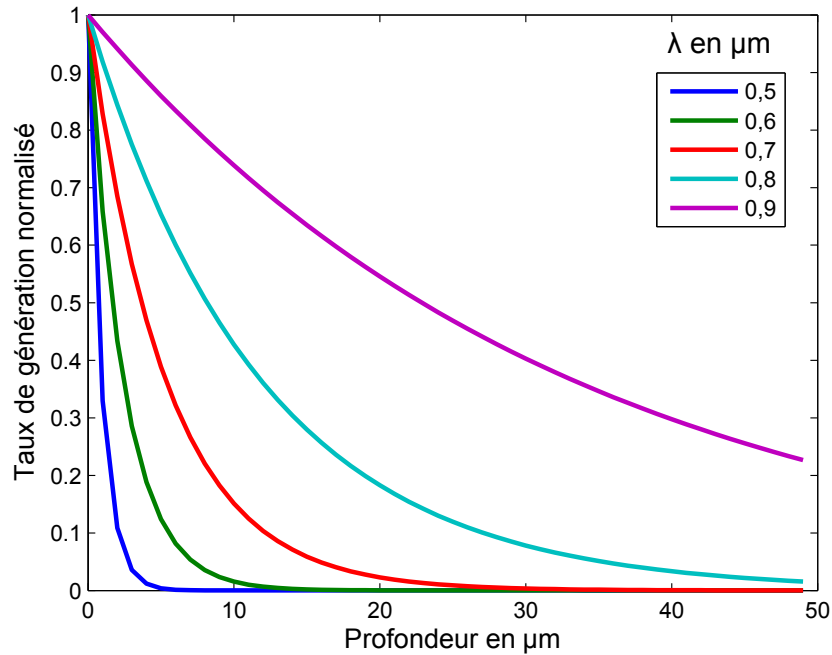


FIGURE 1.2 – Taux de génération normalisé en fonction de la profondeur de silicium monocristallin pour différentes longueurs d'onde incidentes.

efficace photoélectrique. La génération des paires électrons-trous dans le matériau notée G , est dépendante du nombre de photons incidents par unité de temps N_0 , de la profondeur x dans le semi-conducteur et du coefficient d'absorption α tel que :

$$G = \alpha \cdot N_0 \cdot \exp(-\alpha \cdot x) \quad (1.1)$$

Ce coefficient d'absorption permet de connaître la profondeur à laquelle 63% de l'intensité incidente a été absorbée par le matériau ainsi que le taux de génération dans l'épaisseur du silicium. Il est tabulé pour plusieurs longueurs d'onde pour le silicium [GK95]. La figure 1.2 montre le taux de génération normalisé en fonction de la profondeur dans le silicium pour différentes longueurs d'onde.

On constate qu'au delà de $\lambda = 0,5 \mu m$, la profondeur d'absorption augmente très rapidement avec la longueur d'onde de la radiation incidente. Elle est par exemple supérieure à $10 \mu m$ pour $\lambda = 800 nm$. Le profil de concentration des charges générées est donc très variable selon la longueur d'onde incidente et une partie significative de l'énergie du signal incident sera absorbée en profondeur dans le silicium pour une radiation du rouge ou proche infrarouge.

Un capteur d'image a pour principal objet de retranscrire correctement l'information lumineuse incidente. Il doit donc idéalement absorber l'intégralité du flux du signal optique incident, et pouvoir collecter l'intégralité des charges produites par ce flux. Nous avons traité

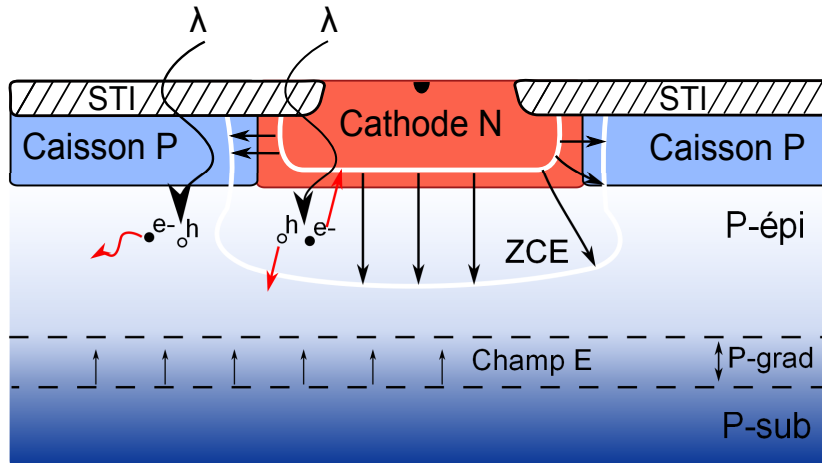


FIGURE 1.3 – Jonction PN formée par un caisson N dans une épitaxie type P relativement peu dopée par rapport au substrat sous-jacent. Les limites de la ZCE sont représentées par la ligne blanche. Les lignes de champs électriques de la zone dépeuplée et du gradient de concentration en dopant sont représentées par les flèches. L'oxyde d'isolation STI (Shallow Trench Isolation) est ouvert à l'emplacement du contact du caisson N.

ici l'absorption dans le visible et proche infrarouge, voyons maintenant comment les charges générées par cette absorption peuvent être collectées puis converties en signal utile.

1.2.1.2 Collection des charges

Le transport des porteurs de charges dans le silicium est assuré par deux phénomènes distincts : le transport dans un champ électrique et la diffusion en zone quasi-neutre. Les champs électriques sont produits par des jonctions PN, des grilles de transistor ou de capacité MOS, ou des gradients de concentration de dopants. Le niveau de ces champs électriques dépend du type de structures lui donnant naissance (jonction, gradient de dopant . . .) et des tensions appliquées localement. Le champ dans une jonction PN peut par exemple s'élever à plusieurs dizaines de milliers de volts par centimètre alors que le champ électrique provenant d'un gradient de dopage est plutôt de l'ordre du millier de volts par centimètre. La figure 1.3 montre schématiquement une jonction PN polarisée en inverse en guise d'élément collecteur, formée dans une couche d'épitaxie sur substrat fortement dopé. On y distingue deux zones présentant un champ électrique : la zone de charge d'espace de la jonction PN et le gradient de concentration à l'interface épitaxie / substrat.

Lorsqu'une charge générée dans le substrat atteint une zone contenant un champ électrique, la force électrostatique lui fait suivre les lignes de champs. Dans une jonction PN polarisée en inverse, les électrons sont alors dirigés vers les zones N et les trous vers les zones P créant un courant photonique directement lié à l'intensité lumineuse reçue par le photodétecteur. La zone de champ d'une jonction PN est une zone contenant très peu de porteurs minoritaires et est appelée pour cette raison zone dépeuplée ou encore zone de charge d'espace. La résolution de l'équation de Poisson unidimensionnelle dans une jonction PN permet

1.2. Imageur CMOS

d'estimer l'extension W de cette zone dépeuplée [Sze85, p. 75] :

$$W = \sqrt{\frac{2\epsilon_{Si}}{q} \left(\frac{1}{N_a} + \frac{1}{N_d} \right) (V + V_{bi})} \quad (1.2)$$

ϵ_{Si} est la permittivité du silicium, q est la charge électronique, N_a et N_d sont les dopages du côté P et N respectivement, V est la tension inverse appliquée et V_{bi} est le potentiel induit par les dopages entre les deux côtés de la jonction :

$$V_{bi} = \frac{kT}{q} \ln \left(\frac{N_a N_d}{n_i^2} \right) \quad (1.3)$$

avec k la constante de Boltzmann, T la température et n_i la concentration intrinsèque de porteurs dans le silicium. On constate que l'extension du champ électrique est dépendante de la tension appliquée, et du dopage des zones P et N. De plus, et du fait du principe de neutralité électrique, le champ s'étendra davantage dans la zone la moins dopée que dans la zone la plus dopée.

Si une partie des charges générées par une radiation incidente est directement collectée par ce champ électrique, une autre partie est généralement générée dans les zones adjacentes à la zone dépeuplée, appelées zones quasi-neutres, comme le montre la figure 1.3. C'est principalement le cas des charges générées en profondeur sous la zone dépeuplée. Ces charges diffusent alors dans le silicium pour être finalement soit collectées par une jonction, en atteignant le bord d'une zone dépeuplée, soit recombinées dans le silicium. Dans le premier cas, l'information contenue par la charge peut être collectée par un pixel voisin, dégradant la résolution spatiale de l'imageur. Dans le dernier cas, l'information contenue par la charge est perdue, réduisant la sensibilité du capteur. On conçoit donc qu'il faut maximiser l'extension de la zone dépeuplée pour améliorer la collection des charges et les performances du capteur.

Après leur génération, les charges peuvent donc être collectées directement par le champ électrique de la jonction ou après diffusion. Il convient maintenant d'étudier la conversion de ces charges collectées en un signal utile.

1.2.1.3 Conversion du signal

Le courant photonique reste de relativement faible amplitude pour des illuminations usuelles et est difficilement mesurable. Un concept introduit en 1967 [Wec67] a permis de s'affranchir de cette difficulté en intégrant les charges générées sur la capacité d'une photodiode formée par la jonction PN. Une majorité de capteurs reposent encore actuellement sur ce principe d'intégration des charges.

L'intégration des charges est réalisée en deux étapes : la première est d'initialiser la capacité de la photodiode en lui appliquant une polarisation inverse, afin de supprimer une

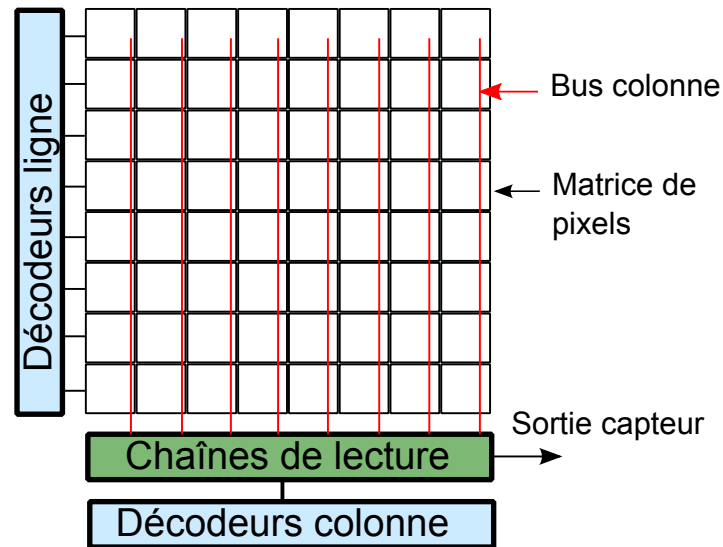


FIGURE 1.4 – Schéma d'un capteur d'image matriciel simplifié utilisé dans cette étude.

partie des porteurs libres qu'elle possède à l'équilibre. Dans un second temps, le potentiel de la diode est laissé flottant en la déconnectant de la source de tension d'initialisation. Durant cette seconde phase, la diode tend à retourner à son état d'équilibre en collectant des porteurs de charges libres générés thermiquement ou par une excitation lumineuse.

La lecture de la tension aux bornes de la diode avant et après intégration donne une information sur l'intensité du photo-courant la rechargeant, et donc sur l'intensité lumineuse.

Nous aborderons dans la prochaine partie les moyens d'intégrer les concepts de génération, collection et conversion au sein d'une matrice de pixels.

1.2.2 Capteur intégré

Un capteur d'images classique est composé d'une matrice de pixels et de circuits électroniques permettant de les contrôler, d'accéder à leurs informations, et de les transférer au monde extérieur. Une chaîne de lecture est associée à chaque colonne, et des circuits décodeurs ligne et colonne permettent de sélectionner chaque pixel de chaque ligne. Un circuit de séquençage permet de contrôler ces décodeurs et des convertisseurs analogique numérique sont éventuellement présents afin de sortir un signal digitalisé. Ces circuits sont intégrés en périphérie de la matrice de pixels.

Dans un souci de simplicité, nous utiliserons dans cette étude des capteurs ne comportant que l'électronique de lecture, ainsi que des décodeurs représentés figure 1.4. Ces deux fonctions seront intégrées sur le même circuit intégré que la matrice de pixel.

1.2. Imageur CMOS

1.2.3 Imageur à pixel 3T

De nombreux types de pixel ont été développés pour l'imagerie CMOS. Les principales variations portent sur le type de photo-collecteur et le mode de lecture utilisés. Les pixels dit actifs possèdent chacun un élément suiveur permettant une lecture du signal qui ne sera pas affectée entre autre par la capacité des lignes métalliques du bus colonne parcourant la matrice. Les capteurs APS (Active Pixel Sensor) sont aujourd'hui les plus utilisés dans de nombreux domaines de l'imagerie. Ces pixels actifs sont composés d'un site photosensible et d'au moins trois transistors comme représenté figure 1.5.

Le transistor suiveur 'T-SF', polarisé par la tension ' VDD_{PIX} ', permet d'adapter l'impédance entre la photodiode et les lignes métalliques reliant la sortie de ce transistor aux chaînes de lecture de bas du bus colonne. Le transistor d'initialisation 'T-RST', commandé par la commande 'RST' et dont le drain est polarisé à ' VDD_{RST} ' permet d'initialiser la capacité équivalente de la jonction PN en la polarisant à sa tension d'initialisation avant chaque phase d'intégration. Lorsque la commande ' $SELY_Y$ ' est active, le transistor de sélection de ligne 'T-SELY' permet de connecter la sortie du suiveur au circuit de lecture en bas de chaque colonne par l'intermédiaire du bus colonne.

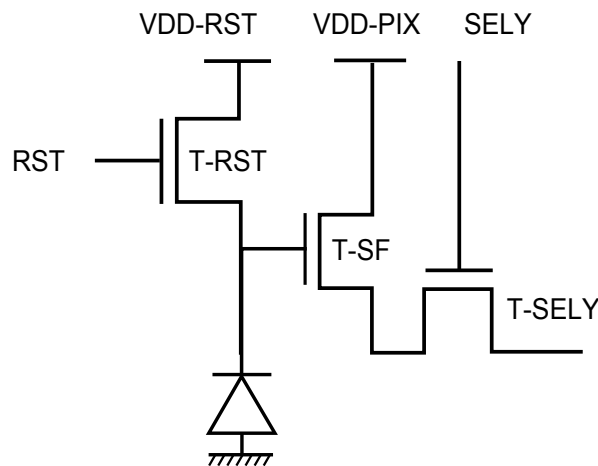


FIGURE 1.5 – Schéma d'un pixel 3T à photodiode PN.

D'autres types de pixels possédant plus de trois transistors sont également largement utilisés. Les pixels à quatre transistors et photodiode pincée dominent de nos jours les applications grand public grâce à leur faible bruit, faible courant d'obscurité et bonne efficacité quantique. Le quatrième transistor permet de transférer les charges entre la photodiode pincée et le nœud de lecture et permet également d'effectuer un double échantillonnage corrélé. Un cinquième transistor peut être ajouté pour procurer une fonction d'anti-éblouissement ou d'obturateur global. Les pixels à photodiode pincée utilisent néanmoins des implantations de dopages particulières pouvant augmenter la complexité d'intégration sur de substrat non conventionnel. Les potentiels applicables sur les photodiodes pincées sont de plus limités à environ 1V, limitant l'extension de zone dépeuplée dans le substrat. Pour ces raisons, nous travaillerons dans cette étude avec des pixels actifs à trois transistors (3T) et collectant les

charges sur la capacité d'une jonction PN.

1.2. Imageur CMOS

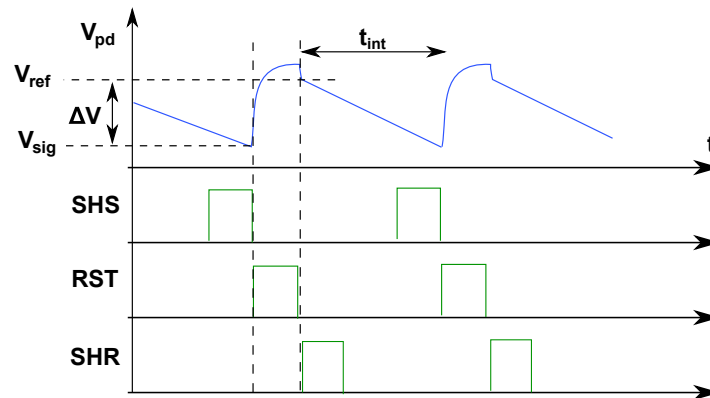


FIGURE 1.6 – Potentiel de la photodiode d'un pixel 3T et chronogramme des signaux de commande appliqués. Cet enchaînement correspond au mode de lecture à double échantillonnage non corrélé.

1.2.3.1 Opération du pixel et de sa chaîne de lecture associée

L'acquisition d'une image pour un tel capteur comporte quatre phases principales : l'initialisation de la photodiode à travers 'T-RST', l'ouverture de 'T-RST' et la lecture de la tension aux bornes de la photodiode donnant le signal de référence V_{ref} , l'intégration des charges, puis une deuxième lecture de la tension aux bornes de la photodiode donnant le signal V_{sig} , dépendant entre autre du flux lumineux.

Lors de l'initialisation, la photodiode est polarisée à travers le transistor 'T-RST' à une valeur V_{rst} dépendante de la tension appliquée sur son drain (VDD_{RST}) et sur sa grille (Vg). Compte tenu de la tension de seuil V_t du transistor, la tension inverse appliquée à la photodiode ne peut être supérieure à la tension de polarisation usuelle du transistor utilisé, diminuée de V_t . On a alors $V_{rst} = VDD_{RST} - V_t$. Ce transistor permet ensuite de déconnecter la photodiode de la source de tension VDD_{RST} pour la phase d'intégration : son potentiel est alors flottant. Les charges générées par le flux et thermiquement sont alors collectées par la photodiode produisant une diminution du potentiel à ses bornes en rééquilibrant ses charges côté N et P. Cette diminution dépend entre autre du courant photonique I_{ph} produit par les photo-charges collectées et du temps durant lequel la photodiode est flottante : le temps d'intégration t_{int} . Pour lire le potentiel V_{sig} de la photodiode en fin de phase d'intégration, le transistor de sélection est activé et permet d'acheminer le signal à la chaîne de lecture. Une fois le signal lu, la photodiode est réinitialisée une nouvelle fois à l'aide du transistor 'T-RST', et le potentiel à ses bornes est immédiatement lu à travers le transistor de sélection qui est passant, afin de connaître son potentiel d'initialisation V_{ref} . La tension utile V_s est finalement obtenue par différence des signaux acquis $V_s = V_{ref} - V_{sig}$. La figure 1.6 présente la séquence ainsi effectuée, appelée double échantillonnage non corrélé [EGE05].

1.2.3.2 Chaîne de lecture pour obturateur déroulant (rolling shutter)

La lecture des pixels est généralement réalisée en mode 'rolling shutter' pour lequel l'information des pixels est acquise ligne par ligne. Lorsqu'une ligne est traitée, les signaux de chaque pixel de cette ligne sont simultanément transférés vers la chaîne de lecture en bas des colonnes. Chaque colonne dispose d'une chaîne de lecture comportant deux échantillonneurs et amplificateurs. L'ensemble de cette chaîne de lecture est résumé par la figure 1.7. Les sources de courant des chaînes de lecture situées en bas de chaque colonne sont polarisées à une tension VLN de façon à fonctionner en saturation sur une large gamme du signal de sortie du suiveur intra-pixel afin de charger à courant constant la capacité d'échantillonnage.

Lors d'une acquisition d'image en mode rolling shutter, et comme détaillé au paragraphe précédent, une ligne de la matrice est d'abord sélectionnée pour la lecture, et le signal V_{sig} est copié sur les capacités d'échantillonnage C_S présentes en bas de colonne. La ligne est ensuite réinitialisée au travers des transistors d'initialisation et le signal V_{ref} est immédiatement copié sur une deuxième capacité C_R en bas de chaque colonne. La différence entre V_{ref} et V_{sig} est effectuée en sortie du capteur de façon séquentielle pour chaque pixel de la ligne et fournit l'information sur l'intensité lumineuse détectée par le pixel, notée V_s .

Le signal de sortie d'un capteur d'image CMOS est affecté par de nombreux facteurs et phénomènes. Nous étudierons dans la partie suivante les critères de performances d'un tel capteur.

1.2. Imageur CMOS

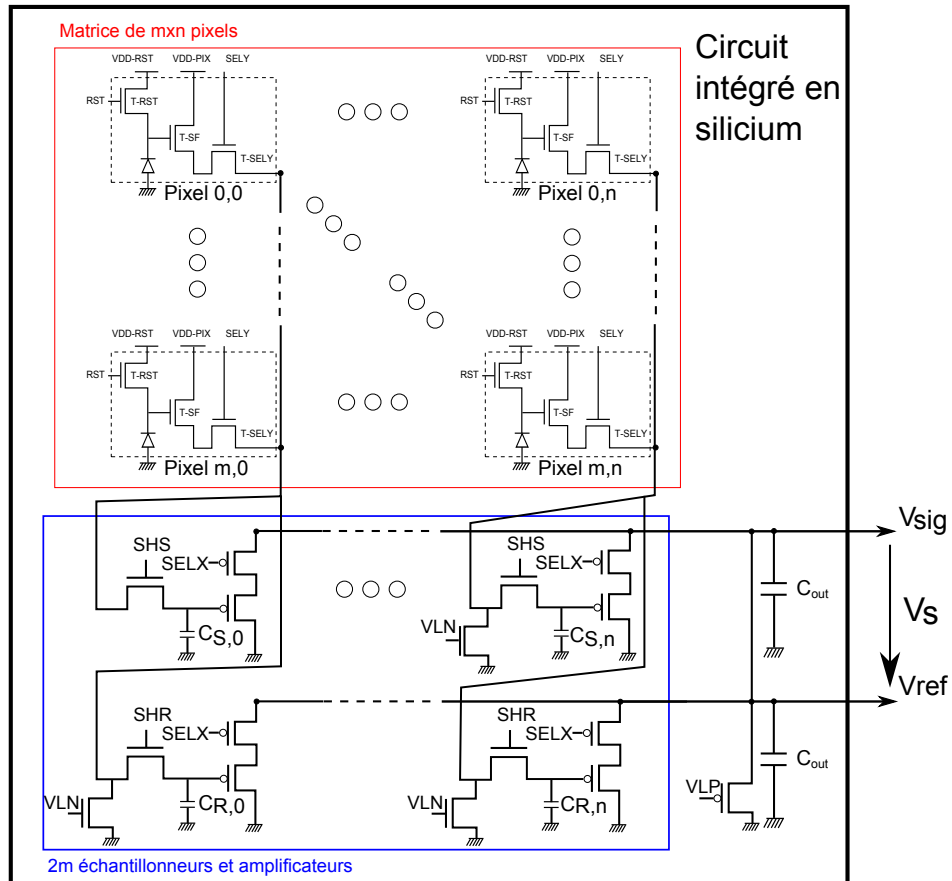


FIGURE 1.7 – Schéma de l'électronique dans la matrice de pixel et de la chaîne de lecture en bas de chaque colonne, adaptée à une lecture de type "rolling shutter". La partie échantillonneur-amplificateur est doublée en bas de chaque colonne afin de pouvoir acquérir rapidement le signal du pixel V_{sig} dépendant de son illumination et un signal de référence V_{ref} . L'information est obtenue en différenciant V_{sig} à V_{ref} en sortie des chaînes de lecture.

1.3 Critères de performances

Nous présenterons dans cette partie les paramètres permettant d'évaluer différentes performances d'un imageur. Ces paramètres sont notamment représentatifs de l'efficacité de collection des charges photo-générées (Efficacité Quantique, diaphonie), le gain électrique du capteur (Facteur de Conversion), et les sources de bruits.

1.3.1 Efficacité de collection des charges

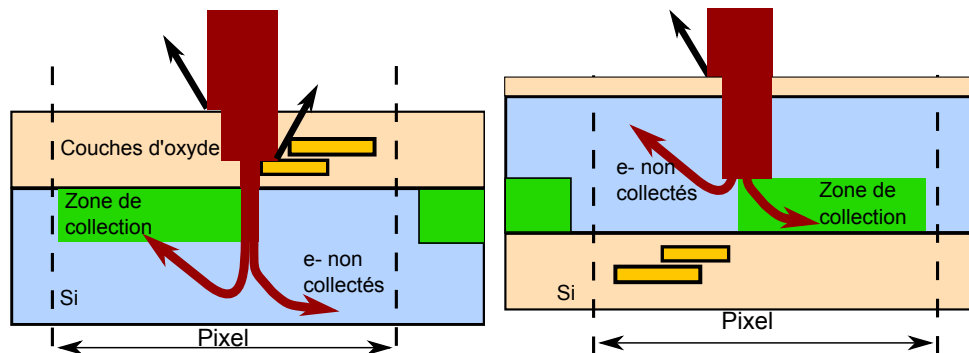
L'efficacité de détection spectrale (EDS) peut être perçue comme le nombre de charges collectées par un pixel rapporté au nombre de photons incidents sur ce pixel. Elle est définie par l'efficacité quantique (ou QE pour Quantum Efficiency) et le facteur de remplissage FF du pixel : $EDS = QE \times FF$. Le facteur de remplissage représente la surface photosensible du pixel rapportée à sa surface totale. Le QE représente alors le nombre de charges collectées rapporté au nombre de photons incidents sur la surface photosensible, et est toujours inférieur à 1 en raison de pertes à différents niveaux du processus de conversion de la lumière en charges collectées, résumés figure 1.8a.

On distingue le QE interne (IQE) qui est le rapport du nombre de charges collectées sur le nombre de charges générées dans le semi-conducteur, du QE externe (EQE) qui représente le nombre de charges collectées sur le nombre de photons incidents. En raison d'une réflexion à la surface du capteur, une partie de la lumière incidente est perdue avant qu'elle ne génère des charges dans le semi-conducteur. Ces pertes sont aggravées lors d'une illumination en face avant car les pistes métalliques connectant l'électronique intra-pixel reflètent également une partie de la lumière incidente, comme présenté figure 1.8a. Des micros-lentilles placées en face avant (figure 1.8c) permettent de limiter cet effet. En complément, d'autres pertes interviennent en éclairage face avant lors de réflexion et d'interférence dans l'empilement des couches d'oxydes utilisées pour isoler les différents niveaux des pistes métalliques. L'EQE est donc toujours inférieur à l'IQE. Néanmoins, un éclairage en face arrière permet d'améliorer la transmission de la lumière en utilisant des couches adaptées sans être contraint par les niveaux de métallisation. Finalement, une partie des charges générées dans le silicium est perdue par recombinaison. Ces pertes interviennent dans les zones quasi-neutres où les charges se déplacent par diffusion, et se recombinent parfois avant d'atteindre une zone dépeuplée, diminuant ainsi l'IQE. Le QE dépend donc fortement du type de substrat, des procédés utilisés et de la méthode d'éclairage.

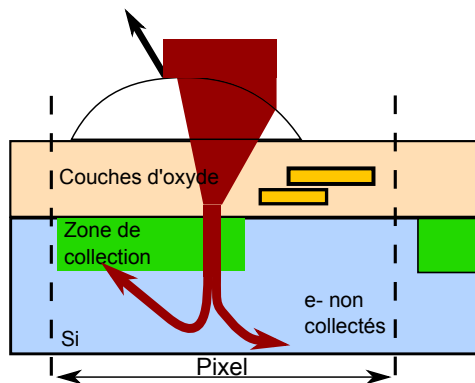
1.3.2 Diaphonie optique et électronique

Les pixels d'un imageur ont pour rôle de discrétiser une information lumineuse distribuées le long de deux dimensions spatiales. Dans un imageur idéal, chaque pixel fournirait une information exclusivement fonction de l'intensité lumineuse qu'il reçoit. En réalité, une partie de l'information incidente à un pixel peut par certains phénomènes physiques être collectée

1.3. Critères de performances



(a) Schéma des pertes du flux lumineux dans le cas d'une illumination face avant (b) Schéma des pertes pour une illumination face arrière



(c) Illumination face avant utilisant une micro-lentille, permettant de focaliser le flux vers la zone de collection

FIGURE 1.8 – Schémas d'une illumination face avant, face arrière, et utilisant une micro-lentille.

par ses pixels voisins, produisant alors un effet de diaphonie.

Cette diaphonie peut intervenir dans l'empilement des couches de métallisation ou lors d'illumination à des angles d'incidence différents de la normale. On parle alors de diaphonie optique [ABT03]. Une fois la lumière absorbée par le silicium, les charges générées ne se trouvant pas dans un champ électrique diffusent dans le silicium. Pour les substrats utilisés en imagerie, la longueur de diffusion de ces charges peut facilement atteindre plusieurs dizaines de microns [EM05]. Certaines de ces charges peuvent donc diffuser jusqu'à un pixel voisin où il sera collecté, créant ainsi une diaphonie de diffusion.

1.3.3 Facteur de conversion, fonction de transfert électro-optique

Le gain électrique du capteur représente la variation de signal de sortie induite par le nombre de charges collectées. Dans la plupart des imageurs, la charge collectée représentant le signal est transformée en tension dans le pixel via une capacité. Le facteur de conversion (ou CVF pour Charge to Voltage Factor), exprimé en $\mu V/e^-$ est inversement proportionnel à la valeur de cette capacité C :

$$CVF = \frac{q}{C} \quad (1.4)$$

Sur un pixel 3T à photodiode PN, cette opération est directement effectuée aux bornes de la capacité de la photodiode pendant l'intégration des charges. Le facteur de conversion est dans ce cas directement lié à la géométrie et aux dopages de la photodiode.

Suite à la conversion des charges en tension, le signal est transmis en sortie du capteur par la chaîne de lecture caractérisée par son gain g . La relation entre le signal en sortie de capteur V_s et le nombre de charges collectées provenant de l'illumination Ne_{ill} et de la génération thermique Ne_{obs} peut donc s'écrire :

$$V_s = g.CVF.(Ne_{ill} + Ne_{obs}) \quad (1.5)$$

Si nous considérons l'EQE qui détermine le nombre de charges collectées sur le nombre de photons incidents par pixels¹, l'équation 1.5 peut être ré-écrite :

$$V_s = g.CVF.(EQE.N_{ph} + Ne_{obs}) \quad (1.6)$$

N_{ph} représente cette fois ci le nombre de photons incidents durant le temps d'intégration. L'équation 1.6 représente l'équation de transfert électro-optique (FTEO) et peut être graphiquement représentée par la figure 1.9. Jusqu'à un certain niveau d'illumination, le signal

1. Nous considérons qu'un photon incident ne peut générer qu'une paire électron-trou dans la plage de longueur d'onde étudiée

1.3. Critères de performances

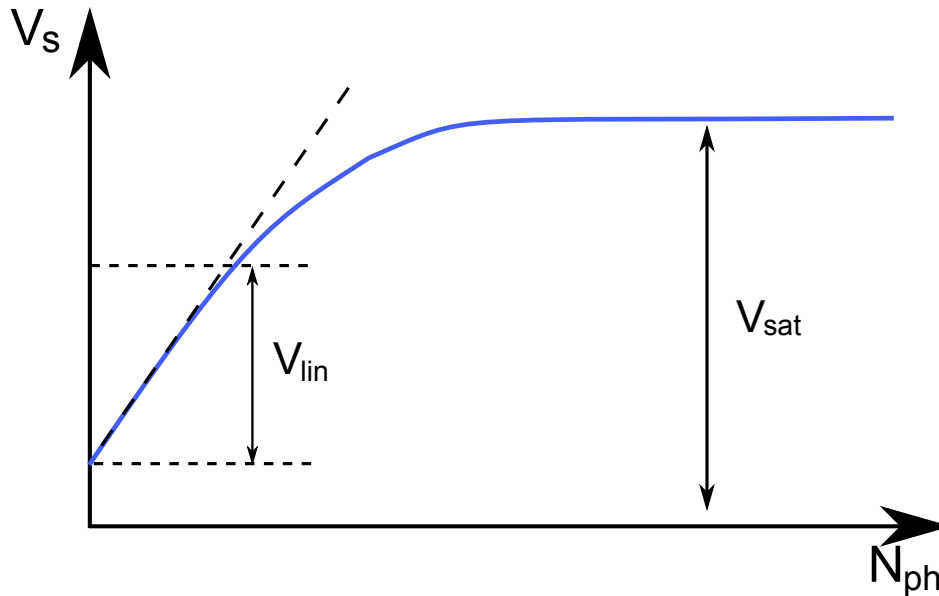


FIGURE 1.9 – Fonction de transfert électro-optique représentant la zone linéaire et de saturation du signal de sortie en fonction du nombre de photons incidents sur un pixel.

de sortie est linéaire par rapport au nombre de photons reçu. Pour un pixel 3T, la variation de la capacité de la photodiode lors de sa charge modifie son facteur de conversion. En conséquence, le signal de sortie diverge légèrement d'une linéarité parfaite. Le signal quitte ensuite plus nettement la zone linéaire lorsque la tension en sortie du suiveur intra-pixel n'est plus suffisante pour faire fonctionner en régime de saturation le transistor MOSFET monté en source de courant et situé dans les chaînes de lecture en bas de chaque colonne. Il atteint finalement la tension de saturation de la chaîne de lecture.

1.3.4 Signal d'obscurité

Durant la phase d'intégration, des charges sont intégrées par la photodiode même en l'absence d'illumination. Ce signal d'obscurité est généré par plusieurs sources distinctes dans le pixel représentées figure 1.10. Une partie de ce signal provient d'un courant de génération dans la zone dépeuplée de la photodiode qui n'est pas à son état d'équilibre durant l'intégration des charges. Une deuxième composante est attribuable à un courant dit de diffusion à l'extérieur de la zone dépeuplée.

1.3.4.1 Courant de génération

Le courant de génération est décrit par la théorie SRH (Shockley, Read et Hall) qui définit un taux de génération ou de recombinaison de porteurs libres dans le semi-conducteur. La zone dépeuplée d'une photodiode polarisée en inverse est un volume où le semi-conducteur n'est pas à l'équilibre, c'est à dire que la concentration en trous p et en électrons n ne vérifie plus

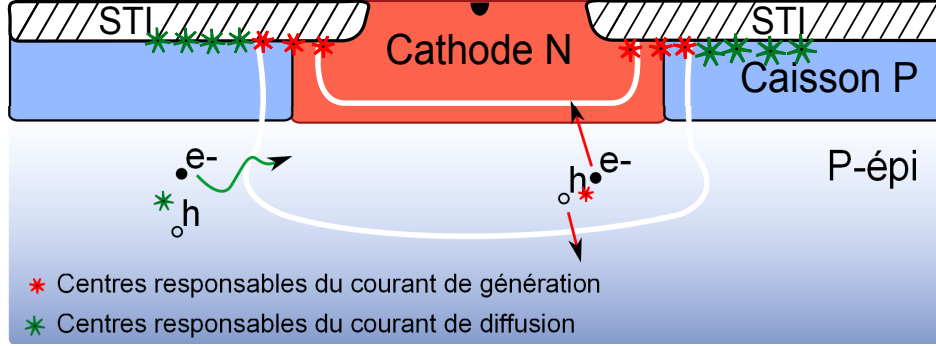


FIGURE 1.10 – Sources du courant d'obscurité d'une jonction PN.

$pn = n_i^2$. Dans la zone dépeuplée, $pn < n_i^2$ et la théorie prévoit dans ce cas une génération de porteurs libres à partir des défauts situés dans la zone dépeuplée avec un taux de génération U tel que (en ne considérant que les défauts dont l'énergie est proche du centre de la bande interdite E_i) [Sze85, p. 43] :

$$U = \frac{\sigma_n \sigma_p v_{th} N_t (pn - n_i^2)}{\sigma_n (n + n_i) + \sigma_p (p + n_i)} \quad (1.7)$$

σ_n et σ_p sont les sections de capture pour les électrons et les trous respectivement, v_{th} est la vitesse thermique, n_i la concentration intrinsèque dans le silicium et N_t la densité de défaut.

Une fois dans la bande de conduction, ces porteurs libres sont directement soumis au champ électrique régnant dans la zone dépeuplée et créent le courant de génération. La zone dépeuplée d'une photodiode s'étend en profondeur dans le substrat, mais également à l'interface oxyde / silicium pour des jonctions PN réalisées en surface. Le courant de génération comporte ainsi deux composantes : une surfacique et une volumique. Le courant de génération dans le substrat est dépendant du taux de génération SRH et du volume dépeuplé V_{dep} . En ne considérant que les centres de génération/recombinaison dont l'énergie est proche de E_i (le niveau de Fermi intrinsèque), et pour une polarisation V supérieure à plusieurs kT/q , il peut s'écrire à l'aide de la durée de vie des porteurs minoritaires τ [Gro67, p. 180] :

$$I_{gen.vol} = \frac{1}{2} q \frac{n_i}{\tau(N_t)} V_{dep} \quad \text{avec} \quad \tau(N_t) = \frac{1}{\sigma v_{th} N_t} \quad (1.8)$$

Une grande partie du signal d'obscurité de génération provient des défauts de l'interface oxyde/silicium situés dans la zone dépeuplée de la photodiode. La densité de ces défauts N_{it} est dépendante des différentes étapes du procédé de fabrication de l'oxyde et du type d'oxyde réalisé. Le courant de génération provenant des défauts situés dans la surface dépeuplée d'aire A à l'interface est défini à l'aide de la vitesse de recombinaison s_0 dépendant de N_{it} : la concentration surfacique de défauts [Gro67, p. 312] :

1.3. Critères de performances

$$I_{gen.surf} = \frac{1}{2}qn_i s_0 A, \quad s_0 = \sigma v_{th} N_{it} \quad (1.9)$$

σ représente la section efficace de capture des centres de génération-recombinaison en surface, et de niveau d'énergie $E_t = E_i$.

1.3.4.2 Courant de diffusion

La seconde source de signal d'obscurité provient du courant de diffusion produit par des porteurs libres dans les zones quasi-neutres atteignant la ZCE de la photodiode. Pour les électrons diffusant dans les zones P, il dépend de D_n , et τ_n , la constante de diffusion et la durée de vie des électrons respectivement. Pour une jonction abrupte d'aire A_j dopée à N_a en zone P, contenant une concentration de défaut N_{tb} et polarisée en inverse à $V \gg kT/q$, ce courant prend la forme suivante [Gro67, p. 182] :

$$I_{diff} = \frac{q}{N_a} \frac{\sqrt{D_n(N_a)}}{\sqrt{\tau_n(N_{tb})}} n_i^2 A_j \quad (1.10)$$

Cette équation donne le courant de diffusion pour un substrat dopé P, souvent utilisé en imagerie. Une équation équivalente existe pour les trous diffusant en zone quasi-neutre N. On peut aussi définir un courant de diffusion venant de l'interface oxyde/silicium par [Pla+12] :

$$I_{diff,it} = \frac{q}{N_a} \frac{\sigma v_{th} N_{it}}{1 + C} n_i^2 A_{it} \quad (1.11)$$

où C est une constante dépendant de la distance L entre la zone dépeuplée et l'oxyde considéré, A_{it} est la surface d'oxyde considérée. Cette équation est valable pour des distances L inférieures à la longueur de diffusion et si la génération à l'interface est plus importante que celle dans le substrat sur la distance L.

1.3.5 Bruits temporels et spatiaux

L'image restituée par l'imageur CMOS est affectée tout au long de son acquisition par plusieurs sources de bruits et non-uniformités dont nous présentons les principales dans cette partie.

1.3.5.1 Bruits de photons

La nature corpusculaire de la lumière et de l'électron produisent une variation statistique du potentiel de la photodiode lorsque des électrons passent à travers une jonction PN [Kur15,

p. 41]. Cette variation suit une loi de Poisson pour laquelle la variance du nombre de porteurs collectés est égale à sa valeur moyenne. Cela est valable pour toutes les charges collectées, dans l'obscurité ou sous illumination. Si N est le nombre moyen, de charges collectées, alors :

$$\sigma_{ph}^2 = N \quad (1.12)$$

Dans un imageur CMOS, ce bruit domine pour des illuminations assez fortes.

1.3.5.2 Bruit d'initialisation

Ce bruit intervient lors de l'initialisation de la photodiode par le transistor d'initialisation [TFG01]. Il provient du bruit thermique de ce transistor et est inversement proportionnel à la capacité C du nœud de collection :

$$\sigma_{rst}^2 = \frac{kT}{C} \quad (1.13)$$

1.3.5.3 Bruits de la chaîne de lecture

Ce bruit désigne les différents bruits intervenant lors de la lecture de la tension aux bornes de la photodiode. Il est composé des bruits affectant les transistors MOS comme le bruit thermique du à l'agitation thermique des porteurs et les bruits basses fréquences.

1.3.5.4 Bruit spatial sous éclairnement

La non uniformité de la réponse des pixels sous éclairnement (ou PRNU ou Pixel Response Non Uniformity) est utilisée pour estimer les variations de l'EQE entre des pixels similaires d'une matrice.

1.3.5.5 Bruit spatial d'obscurité

La non uniformité du courant d'obscurité est estimée par la DSNU (pour Dark Signal Non Uniformité) pour étudier les non uniformités du signal d'obscurité entre pixels.

1.3.5.6 Bruit spatial fixe d'obscurité

Ce bruit est produit par les non uniformités des caractéristiques des transistors utilisés dans les pixels et les circuits de lecture. La variation des caractéristiques électriques des amplificateurs colonnes produit par exemple des variations de la tension de référence entre

1.4. Réalisation de capteurs scientifiques

les colonnes d'un même imageur. L'utilisation d'une lecture à double échantillonnage permet généralement de s'affranchir de cette source de bruit spatial fixe.

1.4 Réalisation de capteurs scientifiques

Si les capteurs d'images ont profité d'un large marché dans les applications grand public, la communauté scientifique est également demandeuse de système d'imagerie pour de nombreuses applications (astrophysique, physique des particules, instruments médicaux ...). La démocratisation des capteurs CCDs et la maturité de cette technologie ont permis de développer des instruments scientifiques, devenus indispensables par exemple dans l'imagerie spatiale et encore largement utilisés aujourd'hui.

En contrepartie, le développement de la technologie et de l'imagerie CMOS ces dernières années ont augmenté les performances des imageurs CMOS, permettant aujourd'hui leur utilisation dans des applications exigeantes.

Nous présenterons dans cette partie certaines spécificités techniques accroissant les performances des capteurs au travers de plusieurs réalisations. Nous nous pencherons surtout sur les procédés CMOS, mais les concepteurs de capteurs CCD ayant déjà apporté des solutions technologiques permettant d'améliorer la collection des charges, un bref aperçu en est proposé en introduction de cette partie.

1.4.1 Capteurs CCD

Inventée à la fin des années 60, la technologie CCD s'est imposée dans les applications de capture d'image et de détection grâce à la qualité des images produites. Cette technologie est aujourd'hui mature et les performances délivrées par les capteurs CCDs avancés approchent de leurs limites théoriques. Ils sont pour cette raison encore aujourd'hui largement utilisés dans les applications scientifiques [Kah+10]. Sans aborder les spécificités de cette technologie, nous présenterons ici quelques particularités technologiques leur conférant d'excellentes performances.

En plus de l'amincissement et de l'éclairage en face arrière, un des principaux leviers technologiques a été l'utilisation de substrat résistif relativement épais, dotant ces capteurs d'un large volume photosensible et d'une large zone dépeuplée. Ces substrats permettent d'augmenter le nombre de charges générées, grâce à l'important volume photosensible, et d'améliorer leur collection grâce à l'extension accrue du champ électrique dans le silicium résistif. L'efficacité quantique de ces capteurs est donc élevée sur une large gamme de longueur d'onde du spectre visible et proche infrarouge. Des modifications de procédé ont dans un premier temps été nécessaires pour supprimer les problèmes rencontrés. Notamment, la limite de l'augmentation du courant d'obscurité, la diminution de la résistivité initiale du substrat causée par le procédé (contamination), et les bris de substrat [Tso+85]; [Bur+94]. Plusieurs fabricants sont aujourd'hui capables de produire des détecteurs CCD sur substrats résistifs

[Jor+06]; [Suz+07].

L'épaisseur des substrats utilisés atteignant plusieurs centaines de microns, leur haute résistivité n'est parfois pas suffisante pour étendre le champ électrique de collection dans l'ensemble du volume malgré les valeurs de tensions déjà élevées utilisées pour polariser les capMOS de tels CCDs. Afin d'étendre ce champ dans l'ensemble du substrat, ce dernier peut être polarisé [Jor+06]; [Suz+07]; [HKB09]. La diffusion latérale des charges, produisant une diaphonie, diminue alors avec la racine de la tension appliquée jusqu'à ce que le substrat soit entièrement dépeuplé. Néanmoins, il est possible en augmentant l'intensité du champ électrique de diminuer encore cette diaphonie [Fai+06]. Le substrat est alors dit sur-dépeuplé. La diaphonie est toujours dépendante de la tension appliquée, mais diminue beaucoup plus lentement avec celle-ci [Fai+06]. Réduire la diaphonie en régime sur-dépeuplé demande donc l'application de tensions importantes sur le détecteur, de plusieurs dizaines voire plusieurs centaines de volts [HKB09]. Ces fortes polarisations demandent des ajustements de conception pour limiter l'intensité des champs présents dans le silicium comme par exemple l'augmentation de l'espacement entre jonction [Jor+06].

1.4.2 Capteurs monolithiques CMOS

Les capteurs CMOS grands public doivent être performant sur le spectre visible ($\approx 450\text{nm}$ - 650nm) afin de retranscrire une image proche de celle perçue par l'œil humain. La profondeur d'absorption à 650 nm étant inférieure à $4\mu\text{m}$, ces capteurs possèdent généralement une faible épaisseur de silicium photosensible (généralement une faible épaisseur de la couche d'épitaxie peu dopée) suffisante pour assurer une bonne efficacité dans le visible et permettant de limiter leur réponse dans le proche infrarouge. Les coefficients d'absorption augmentent ensuite relativement vite avec la longueur d'onde : la profondeur d'absorption est de plus de $10\mu\text{m}$ à 800nm , et de plus de $30\mu\text{m}$ à 900nm . Pour des capteurs fabriqués sur une couche d'épitaxie, et pour une illumination en face avant, une bonne réponse dans le rouge et le proche infrarouge nécessite d'augmenter l'épaisseur de cette épitaxie [Set97].

La détection de particules pour la physique des particules [Tur+01] est confrontée à une problématique similaire compte tenu de la faible quantité de charges libérées par ces particules. Certaines équipes travaillent sur des capteurs avec une épaisseur d'épitaxie relativement importante afin de collecter davantage de charges par diffusion [Dul+07]. Néanmoins, le mécanisme de diffusion des charges libres (qui ne sont pas soumises à un champ électrique) est lent et peu directif, et ces charges peuvent parcourir plusieurs dizaines de microns avant de se recombinaison ou d'être collectées. Ceci produit deux effets : le nombre de charges collectées peut diminuer à partir d'une certaine épaisseur d'épitaxie car elles diffusent en profondeur et sont recombinées, et la diffusion latérale des charges augmente la diaphonie [Dev+11].

1.4. Réalisation de capteurs scientifiques

1.4.2.1 Variation du dopage du substrat

Pour remédier à ce problème, certains capteurs utilisent du silicium résistif en guise de volume photosensible [Dor+10]. Cela permet d'augmenter le volume dépeuplé de l'élément collectant les charges, et donc d'augmenter le nombre de charges influencées par un champ électrique les dirigeant vers l'élément collecteur des pixels. Une amélioration de l'efficacité de collection et une diminution de la diaphonie ont ainsi été observées [Coa+10]; [Dul+09]; [Dev+11]. L'augmentation de la résistivité a également été réalisée pour des substrats bulk (sans épitaxie) pour la détection d'électrons par exemple [Eva+05].

Outre l'augmentation de la résistivité du silicium, il est possible grâce à une ingénierie spécifique de la couche d'épitaxie de créer un gradient de concentration dans la profondeur de cette couche [Mun+06]. Ce gradient produit dans toute l'épitaxie un champ électrique faible mais permettant une collection plus efficace des charges que par simple diffusion, diminuant ainsi la diaphonie.

1.4.2.2 Illumination face arrière

Comme déjà abordé au paragraphe 1.3.1, la matrice d'un détecteur classique est composée de zones photosensibles et de zones dites actives, abritant essentiellement des MOSFETs. Ces dernières, ainsi que toutes les parties recouvertes par des rails de métal limitent la quantité de lumière atteignant la partie détectrice du semi-conducteur. Le ratio entre la zone photosensible et la zone active est appelé facteur de remplissage et dépend de la géométrie des pixels et du nœud technologique utilisé. Pour s'affranchir de cette contrainte, une solution consiste à illuminer le capteur par sa face arrière, et non plus par sa face avant. Ainsi, il est possible d'atteindre un facteur de remplissage de l'ordre de 100% [Die97].

Cette solution demande en contrepartie de pouvoir amincir le silicium afin de ne garder qu'une épaisseur de quelques dizaines de microns pour conserver une bonne efficacité de collection. Si l'épaisseur de silicium est trop importante pour permettre au champ électrique de l'emplir entièrement, un volume de diffusion sera présent sur la face arrière diminuant l'efficacité de collection des courtes longueurs d'onde. L'amincissement est généralement mécano-chimique et peut produire des défauts sur la face arrière pouvant recombiner les charges générées à proximité de cette surface. Pour garder une bonne efficacité de collection dans le bleu et l'UV, un traitement de surface est nécessaire comme par exemple l'ajout d'une implantation de bore peu profonde recuit par laser [Jer+10]. Ce traitement permet de produire des imageurs ayant un bon QE dans l'UV et les rayons X dans le but de les utiliser dans des missions spatiales d'étude du soleil ou d'astrophysique [Ste+11]; [Pry+03]. Cette solution a également été utilisée pour la détection d'électrons de faible énergie [Dul+05]; [Bar+09]; [Bar+10].

1.4.2.3 Implantations profondes

Plusieurs études ont cherché à produire des capteurs scientifiques intelligents dont les pixels contiennent plus de trois transistors, et notamment des PMOS afin d'augmenter les possibilités de traitement du signal au sein du pixel. L'inclusion de PMOS dans les pixels nécessite l'utilisation de caissons N polarisés et pouvant concurrencer la photodiode dans la collection des charges. Afin de pouvoir combiner NMOS et PMOS dans un pixel sans concurrencer la collection des charges, une implantation profonde de bore est réalisée sous les caissons N. Cette implantation empêche les caissons N de collecter et forme une barrière de potentiel pour les électrons sous ces caissons [Coa+10]; [Zuc+13]. Une autre étude tire profit d'une implantation profonde mais de type N dans des pixels de grande dimension ($50\mu m$) [Riz07]. Cette implantation est utilisée comme photodiode et occupe une grande partie du pixel, abritant un caisson P contenant des NMOS. Comme cette implantation occupe une large partie de l'aire du pixel, l'ajout de quelques caissons N supplémentaires dans le pixel concurrence peu la collection des charges. Cette solution permet d'intégrer différentes fonctions électroniques dans le pixel, notamment un amplificateur de charge permettant de s'affranchir de la grande capacité de la photodiode qui aurait limité le gain si elle avait été utilisée pour la conversion charges-tension.

1.4.2.4 Polarisation du substrat

Outre l'augmentation de la résistivité, il est possible d'augmenter l'extension de la zone dépeuplée en augmentant la tension sur l'élément photosensible. Malheureusement, les tensions utilisées par les technologies CMOS actuelles n'excèdent que rarement 5V et sont généralement limitées à 3.3V ou 1.8V. Il est donc tentant de copier la méthode de polarisation du substrat déjà utilisée pour les capteurs CCD (voir § 1.4.1). Néanmoins, et à l'inverse des CCD, les capteurs CMOS contiennent de nombreux transistors MOSFETs en périphérie de la matrice de pixels mais également dans les pixels. Les caissons des MOSFETs doivent être polarisés et il est donc nécessaire pour appliquer une tension sur le substrat, d'établir une isolation entre les contacts des caissons et le substrat.

Plusieurs solutions ont été proposées pour cela. Une première consiste à utiliser un caisson N profond comme photodiode et comme élément isolant les MOSFETs [Jan] que nous présenterons plus en détail dans le chapitre suivant. Une autre solution utilise une configuration en triple caisson [Lau]. Le caisson P contenant les MOSFETs est isolé par un caisson N profond lui-même isolé du substrat par une implantation P profonde comme représenté dans la figure 1.11. Cette configuration permet d'isoler les caissons P en face avant de la polarisation du substrat et de ne pas ou peu concurrencer la photodiode pour la collection des charges. Les premières images d'un capteur sur substrat résistif et possédant une polarisation en face arrière ont très récemment été réalisées [LFM14], et ce capteur présente une bonne réponse spectrale.

1.4. Réalisation de capteurs scientifiques

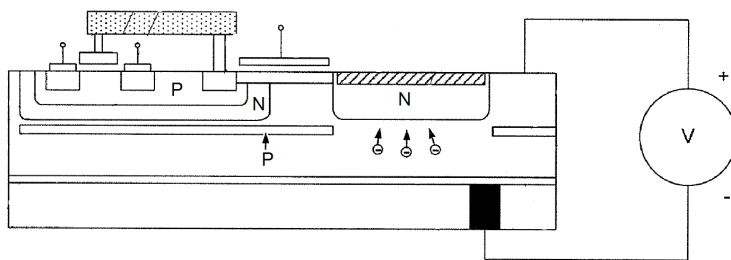


FIGURE 1.11 – Polarisation du substrat par un contact arrière et isolation des caissons P à l'aide d'un triple caisson [Lau].

1.4.3 Capteurs hybrides CMOS

Les détecteurs hybrides sont issus de la volonté de séparer l'électronique d'adressage et de traitement de la partie détection pour pouvoir optimiser indépendamment chacune de ces parties du détecteur. Cette approche est indispensable pour la réalisation de détecteurs infra-rouges ou UV. Les circuits de détection correspondants sont en effet réalisés à base de semi-conducteurs autres que le silicium, tel que des matériaux à plus faible énergie de bandes interdites (HgCdTe, InSb, InGaAs) ou plus grande (GaN, GaAs) [Bai+04]. Cela nécessite donc en général plusieurs substrats (au moins un pour le circuit de lecture et un pour le circuit de détection) et la technologie permettant de connecter ces substrats entre eux, comme le montre la figure 1.12. Cette approche peut aussi offrir des avantages pour des circuits 'silicium sur silicium'.

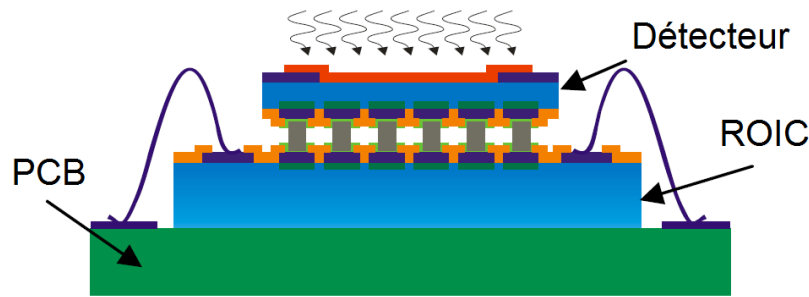


FIGURE 1.12 – Schéma d'un détecteur hybride montrant les parties détections (détecteur) et circuit de lecture (ROIC) réalisées séparément et connectées par un réseau de billes d'indium [RR+11]

Ce type de capteur a été développé pour des applications spatiales [RR+11] ; [Bai+08], de physique des particules [Dul+09] ; [Cal+08], ou de spectroscopie rayon X [Pri+09]. Le circuit de lecture est généralement fabriqué dans un substrat conventionnel avec des technologies conventionnelles mais la partie détecteur peut profiter des mêmes développements que ceux des capteurs monolithiques présentés ci-dessus. Par exemple, ce détecteur peut être composé d'un semi-conducteur résistif [Pri+09] et être polarisé par un contact face arrière.

L'intégration verticale du détecteur permet en général un facteur de remplissage de 100%. La liberté d'intégration dans le détecteur permet également d'y introduire des structures plus exotiques tel que des tranchées très profondes et remplies de poly-silicium fortement dopé afin d'isoler physiquement chaque pixel et de limiter drastiquement la diaphonie électronique [RR+11].

Plusieurs procédés ont été développés pour hybrider deux circuits entre eux [BCL07]. La plupart repose sur la formation de plots métalliques sur un des deux circuits intégrés, permettant de les connecter électriquement. Des contacts métalliques traversant l'ensemble de l'épaisseur du substrat (TSV pour Through Silicon Vias) peuvent également être utilisés afin de connecter deux circuits entre eux.

1.4. Réalisation de capteurs scientifiques

Si l'hybridation permet de s'affranchir des problèmes posés par l'intégration monolithique du capteur, elle comporte d'autres limitations. La première d'entre elle est l'augmentation du coût : un tel procédé demande au minimum deux fabrications en fonderie ainsi qu'un procédé d'hybridation entre les circuits. En second lieu, les procédés d'hybridations deviennent un facteur limitant pour le pas minimal qu'il est possible d'atteindre [BCL07]. Ces techniques d'hybridation sont appelées à faire de nombreux progrès dans les prochaines années et seront sans aucun doute l'une des clés de l'amélioration des performances et des fonctionnalités des capteurs d'image de demain. Elles pourraient donc profiter aux marchés de niche si leur coût reste contrôlé.

1.4.4 Capteurs sur substrat SOI

Les substrats SOI (pour Silicon On Insulator) ont également été utilisés pour l'amélioration des performances des imageurs. Ces substrats possèdent une fine couche de silicium d'épaisseur variable sur un oxyde enterré dont l'épaisseur est généralement de l'ordre de la centaine de nanomètre. Ces deux couches sont supportées par un substrat plus épais, destiné à la tenue mécanique principalement.

Certaines études ont intégré des imageurs CMOS dans la couche de silicium sur l'oxyde (la couche SOI) [Joy07]; [Pri07]. Dans ce type de configuration, la couche de silicium sur l'oxyde est relativement épaisse (plusieurs micromètres) et le substrat sous l'oxyde enterré est ensuite supprimé afin d'illuminer le capteur par la face arrière. L'oxyde enterré est ici utilisé comme moyen d'arrêter l'amincissement de la face arrière. Cela permet de surcroît de garder une interface silicium-oxyde enterré non impactée par le procédé d'amincissement, et donc de ne pas augmenter le courant d'obscurité.

Les substrats SOI offrent une autre possibilité d'intégration représentée par la figure 1.13, en permettant de séparer physiquement le volume de silicium utilisé pour la génération des charges et le silicium contenant l'électronique à l'aide de l'oxyde enterré [Die+93]. Le détecteur intègre ici l'élément collecteur de charge dans le silicium sous l'oxyde enterré tout en intégrant l'électronique de lecture dans le silicium au-dessus de l'oxyde. L'électronique peut ainsi contenir aussi bien des NMOS que des PMOS sans soucis de collection parasite de charges, augmentant les possibilités de conception des circuits dans le pixel. Néanmoins, l'oxyde enterré ne possède pas la même qualité que les oxydes formés en surface du silicium. Certains développements sont nécessaires pour garder un courant d'obscurité similaire aux imageurs classiques [Joy07]. Il est également possible d'utiliser du silicium résistif sous l'oxyde enterré [Zhe+03]. Plusieurs études ont suivi cette voie, notamment pour des détecteurs de particules [Bat+11], ou un spectromètre pour rayons X installé sur un satellite astronomique [Ryu+11].

Outre le contrôle du courant d'obscurité induit par l'oxyde enterré, il est également nécessaire de maîtriser un procédé particulier contenant notamment un masque supplémentaire pour l'ouverture de l'oxyde. Enfin, le substrat sous l'oxyde enterré doit généralement être aminci pour limiter les zones neutres permettant la libre diffusion des charges.

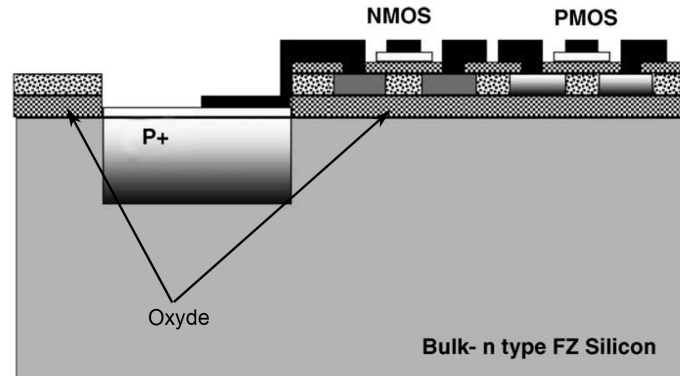


FIGURE 1.13 – Substrat SOI utilisant le silicium sous l’oxyde enterré pour la génération et la collection des charges et le silicium au-dessus de l’oxyde pour intégrer l’électronique (d’après [Mar+06]).

Concernant la tenue aux radiations, les circuits sur substrats SOI sont intrinsèquement peu sensibles aux événements singuliers, du fait de la faible épaisseur de silicium abritant les transistors. Néanmoins l’oxyde enterré est sensible aux radiations ionisantes qui peuvent provoquer des décalages de tension de seuil de quelques centaines de millivolts après 100 krad(SiO_2) [Ara+10] et une augmentation du courant d’obscurité.

1.5 Environnement radiatif spatial et impacts sur l’imageur

1.5.1 Sources de radiations en environnement spatial

L’environnement spatial est composé de radiations de nature et d’énergie différentes provenant de sources variées. Les satellites en orbite autour de la Terre subissent principalement l’influence de l’activité solaire (vent solaire), des rayonnements cosmiques et des ceintures de radiations environnantes la Terre (ceinture de Van Allen). Ces trois sources de radiations sont représentées schématiquement figure 1.14.

L’activité solaire est responsable de l’éjection dans l’espace de nombreux types de particules (protons, électrons et ions lourds dans une moindre proportion). Le vent solaire est constitué d’un flux continu d’électrons et de protons d’énergie relativement faible (quelques keV)[Cen04]. Les éruptions solaires occasionnelles peuvent ajouter à ce flux continu des protons plus énergétiques ($<100\text{MeV}$) et des électrons [Cen04]. Le nombre de ces éruptions et leur violence varient avec l’activité solaire.

Le rayonnement cosmique est constitué par l’ensemble des particules très énergétiques générées en dehors de notre système solaire. Les blindages utilisés sur les satellites pour limiter la dose ionisante reçue par les composants sont inefficaces pour arrêter ces particules. Elles peuvent alors endommager ou détruire des circuits lors d’événements singuliers que nous décrirons plus loin [Duz05].

1.5. Environnement radiatif spatial et impacts sur l'imageur

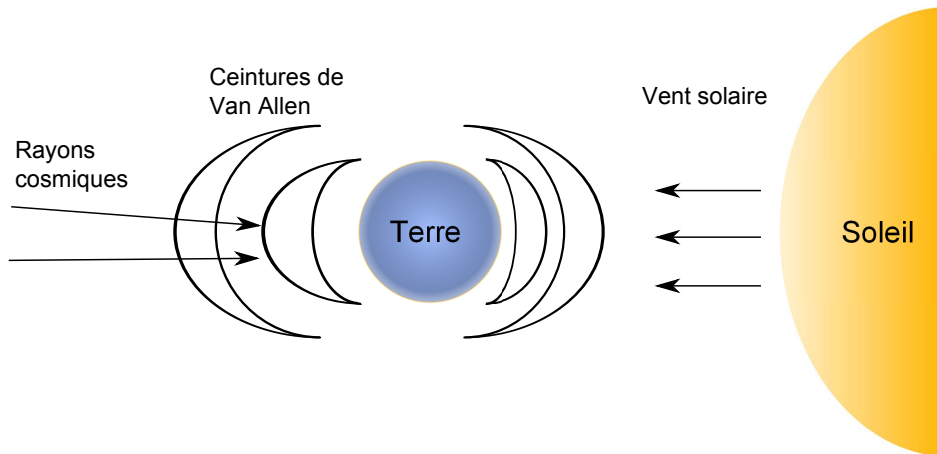


FIGURE 1.14 – Représentation schématique des trois principales sources de radiations autour de l'orbite terrestre.

Les ceintures de radiations ou ceintures de Van Allen sont formées d'électrons (entre 1keV et 30keV) et de protons (entre 1keV et 100MeV) [Cen04] piégés par le champ magnétique terrestre. La forme de ces ceintures de radiations est régie par les lignes de champ de la magnétosphère terrestre et par la pression exercée par le vent solaire. Elles sont donc inhomogènes et présentent certaines zones particulièrement critiques pour les satellites et les vols habités.

L'environnement radiatif spatial est donc relativement varié et son impact sur les circuits intégrés en vol provoque plusieurs phénomènes directement reliés aux interactions particules/matière. Elles peuvent produire :

- une ionisation lors de l'interaction coulombienne d'une particule incidente avec des électrons de valence.
- une éjection d'un atome hors de sa position dans le réseau cristallin, via une interaction coulombienne ou nucléaire.
- une réaction nucléaire.

L'occurrence de ces interactions dépend également du type de la particule incidente : un proton interagira avec les électrons et les noyaux par interaction coulombienne alors qu'un neutron interagira principalement avec les noyaux. Les conséquences de l'interaction particules-matières dépendent du type de particule, de son énergie et des aspects technologiques des composants. Elles peuvent être dissociées en trois catégories : l'impact des événements singuliers, de la dose ionisante, et de la dose de déplacement.

1.5.2 Dose de déplacement

Une particule incidente interagissant avec un atome de la structure cristalline peut lui transmettre une partie de son énergie et le déplacer. Cet atome appelé PKA (pour Primary

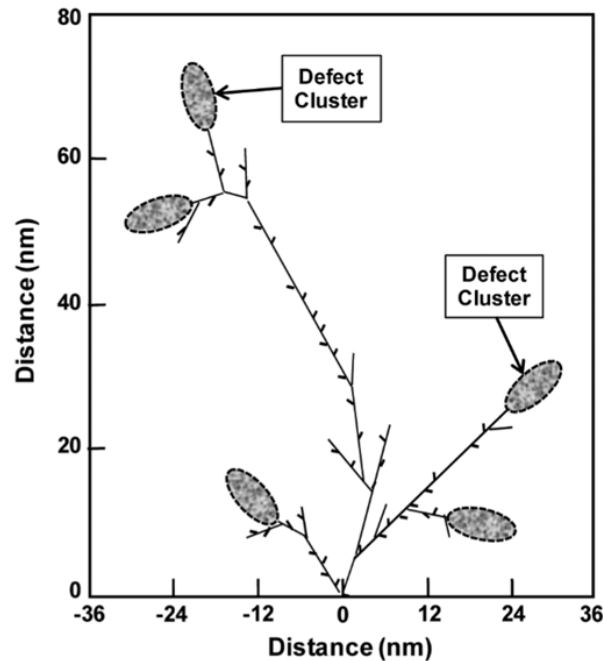


FIGURE 1.15 – Représentation de la formation de défauts ponctuels et de clusters par un PKA d’après [SP13]

Knock-on Atom) possède une certaine énergie cinétique et peut à son tour lors de son déplacement dans le cristal, déplacer d’autres atomes (voir figure 1.15). Ce phénomène crée des défauts dont la nature dépend de l’énergie acquise par le PKA. La dose de déplacement représente la dose de radiation reçue par le capteur et créant des déplacements dans la matrice cristalline. Ces défauts peuvent être ponctuels ou au sein d’un groupe de défauts (cluster) et sont responsables de variations des propriétés du semi-conducteur [SP13], notamment :

- Une augmentation de la génération thermique de charges, ce qui augmente le courant de fuite (ou courant d’obscurité dans le cas d’un imageur) dans toutes les zones dépeuplées.
- Une augmentation de la recombinaison des charges.
- Une augmentation du piégeage temporaire de charges, engendrant des problèmes de transfert de charges dans les CCDs.
- Une variation de la concentration effective des porteurs de charges, pouvant impacter par exemple la tension nécessaire pour dépeupler entièrement un détecteur de particules.
- Des défauts dont le taux de génération de charges varie brusquement et aléatoirement dans le temps, produisant alors un signal appelé signal aléatoire télégraphique (RTS, Random Telegraph Signal), et qui a déjà été observé dans des imageurs [Dev+08]; [Vir+13].

1.5. Environnement radiatif spatial et impacts sur l'imageur

1.5.3 Événements singuliers

Les événements singuliers (ou SEE pour Single Event Effects) sont déclenchés par l'ionisation d'un volume de silicium lors du passage d'une particule. La conductivité locale est alors plus grande que dans le semi-conducteur à l'équilibre. Si une jonction est située non loin du trajet de la particule, le champ électrique local sépare les paires électrons-trous générées et un courant se crée. Ce courant peut induire quasi-instantanément une variation de potentiel entre des électrodes connectées aux jonctions, et modifier l'état électrique du circuit [Viz+05]; [FCMG13]. Les conséquences peuvent être les suivantes :

- Le déclenchement d'un thyristor parasite (SEL : Single Event Latchup) ou d'un transistor (SES : Single Event Snapback) pouvant aboutir à la destruction du composant si la densité de courant résultante est trop importante (ou parle alors de SEB : Single Event Burnout).
- Le changement d'état binaire dans une cellule mémoire (SEU : Single Event Upset). Cet effet peut être permanent et toucher plusieurs bits. Il peut provoquer l'arrêt du fonctionnement du système, on parle alors de SEFI (Single Effect Functional Interrupt).
- Une perturbation de tension sur un nœud dans un circuit logique (SET : Single Event Transient) ou la création de charges parasites dans un pixel.
- La destruction d'un oxyde.

1.5.4 Dose ionisante

L'exposition des oxydes aux radiations ionisantes peut impacter les performances des circuits et des photodétecteurs. La dose ionisante est l'énergie transmise au capteur par les radiations incidentes via ionisation. Ces radiations génèrent des défauts Q_{ot} dans l'oxyde pouvant alors piéger des charges. Ces pièges sont à priori formés par la brisure d'une liaison Si-O dans l'oxyde de silicium [Plu00, p. 294]. Lors du passage d'une particule ionisante, des paires électron-trou sont également générées dans les oxydes du composant. Si les électrons sont rapidement évacués (dans une durée de l'ordre de la picoseconde), les trous sont relativement immobiles. Ceux qui ne se seront pas recombinaés avec des électrons diffuseront vers l'interface avec le silicium où ils peuvent tomber dans des pièges durant un temps relativement long (heures ou années) [OM03]. La dose ionisante va également générer à proximité de l'interface Si/SiO₂ une couche de charges positives Q_f modifiant par exemple les tensions de seuil des transistors MOSFETs [Plu00, p. 294].

Les radiations ionisantes induisent également des pièges Q_{it} à l'interface oxyde-silicium. Ces défauts sont considérés comme des atomes de silicium n'étant pas complètement oxydés et ayant une liaison flottante dans l'oxyde. Ces défauts sont également présents durant la fabrication du circuit intégré mais l'interface oxyde-silicium est passivée en fin de procédé par un recuit à faible température dans une atmosphère hydrogénée. La liaison est alors complétée et le défaut n'est plus électriquement actif. Néanmoins, les trous générés dans l'oxyde par une particule ionisante peuvent produire des ions H⁺ en réagissant avec d'autres molécules. Ces ions peuvent alors diffuser à l'interface et former une molécule H₂ en cassant une liaison d'un

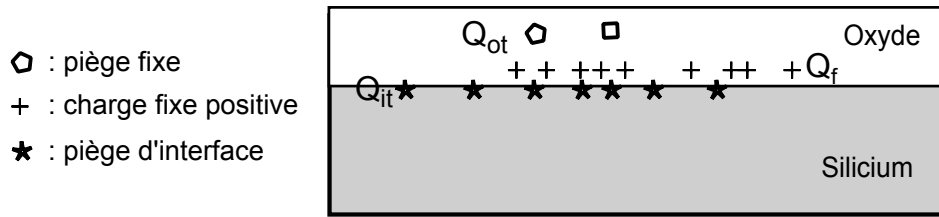


FIGURE 1.16 – Représentation de trois types de défauts dans l’oxyde de silicium : les pièges fixes répartis dans le volume, la charge positive située dans l’oxyde très proche de l’interface, et les défauts d’interface.

atome de silicium passivé [OM03]. Le défaut est alors de nouveau actif. Ici aussi, le comportement de l’oxyde face à la dose ionisante dépend du procédé de fabrication. Contrairement à Q_f , les niveaux d’énergie de ces défauts sont distribués dans la bande interdite et ils peuvent résulter en une charge positive, neutre ou négative. Les défauts et charges de l’oxyde sont représentés figure 1.16.

Une étude a montré que l’oxyde STI et le premier oxyde du procédé de métallisation (PMD pour Pre Metal Dielectric) répondait différemment à la dose ionisante [Gai+13]. Plus particulièrement, l’augmentation de la densité de défaut d’interface avec la dose ionisante était quasi inexistante avec le PMD comparé au STI, ouvrant une voie potentielle pour le durcissement de la photodiode aux radiations. Cette observation pourrait également expliquer la bonne résistance à la dose ionisante d’imageurs durcis dont l’oxyde LOCOS (LOCAL Oxidation of Silicon) d’isolation est éloigné des photodiodes [Pai+04] (bien que celle-ci puisse également provenir de l’éloignement de la zone contraintes du LOCOS).

Finalement, et alors que la formation des centres RTS étaient initialement exclusivement attribuée à la dose de déplacement, il a été montré que la dose ionisante peut également générer des défauts RTS proche de la photodiode et provoquer des variations temporelles brusques du signal [Goi+11]. Une étude récente [Vir+13] menée sur différents capteurs et oxydes montre que l’augmentation du nombre de centres RTS sous rayonnement ionisant est plus forte à l’interface silicium-STI qu’à l’interface silicium-PMD. Cet effet provient probablement de la différence de procédé utilisé, tout comme la différence de signal d’obscurité observée entre le PMD et le STI lorsque la zone dépeuplée touche l’oxyde. Une autre étude [BME07] a par ailleurs montré que la formation de pièges est également plus rapide dans le STI par rapport à d’autres oxydes.

1.5.5 Conclusion

Ce chapitre présente les caractéristiques d’un imageur CMOS classique, ainsi que des possibilités d’intégration et d’utilisation de procédés technologiques permettant d’augmenter ses performances. Nous avons vu que la réponse électro-optique repose notamment sur

- la conception.
- la transmission de la lumière au volume photosensible.

1.5. Environnement radiatif spatial et impacts sur l'imageur

- la collection des charges photo-générées.

La transmission de la lumière peut être améliorée en optimisant les couches d'oxydes de l'empilement métallique et en utilisant des micro-lentilles. Un éclairage par la face arrière permet de maximiser le facteur de remplissage du pixel et de déposer un traitement anti-reflet de hautes performances, mais demande un amincissement du substrat et un traitement supprimant les défauts induits par cet amincissement. Les substrats amincis apportent de plus des contraintes de tenue mécanique et de connectivité avec les contacts situés en face avant.

La collection des charges est dépendante de la tension appliquée à l'élément photosensible, du dopage et du volume de silicium photosensible. Augmenter la polarisation sur le détecteur demande d'isoler électriquement une partie du détecteur et l'électronique. Cette isolation peut être obtenue grâce à :

- l'intégration du détecteur et de l'électronique sur deux substrats différents (capteur hybride).
- la séparation physique entre le détecteur et l'électronique (substrat SOI).
- l'utilisation de caissons profonds sous les caissons abritant l'électronique (capteur monolithique avec procédé à triple caisson).

Ces solutions reposent néanmoins sur des procédés particuliers, coûteux et complexes.

Comme nous souhaitons conserver une électronique classique et un capteur relativement simple à produire, nous étudierons principalement dans cette étude les possibilités d'amélioration de la collection des charges sur un capteur monolithique en évitant l'utilisation de procédés complexes et donc coûteux. Afin d'améliorer la collection des charges, nous utiliserons un substrat résistif avec un large volume photosensible. L'utilisation d'un tel matériau peut néanmoins nous obliger à modifier la conception de l'imageur pour conserver sa fonctionnalité et ses performances. Cet aspect n'étant pas abordé dans la littérature, nous présenterons ainsi dans le prochain chapitre les conséquences de l'utilisation d'un substrat résistif. Nous chercherons en complément des solutions pour augmenter la polarisation appliquée au détecteur.

Technologies pour un capteur monolithique entièrement dépeuplé

2.1 Introduction

Nous avons vu dans le chapitre I quelques réalisations visant à accroître les performances de collection des capteurs d'image. Toutes ont des avantages et des inconvénients, ces derniers provenant en grande partie de la complexité technologique nécessaire qui est généralement accompagnée d'une forte augmentation des coûts. Il est de plus d'usage d'utiliser des technologies et conception relativement conventionnelles et matures pour des missions spatiales afin de supprimer au maximum les risques et impondérables. Pour ces raisons nous avons durant ce travail poursuivi l'objectif de minimiser la complexité des solutions mises en œuvre, même si quelques techniques moins conventionnelles seront abordées.

Pour un capteur, l'efficacité de collection des charges photo-générées est dépendante du volume dépeuplé de l'élément photosensible. Ce volume augmentant avec la diminution de la concentration en dopants du substrat (et donc avec l'augmentation de sa résistivité) et avec la tension appliquée sur les photodiodes, nous étudierons dans ce chapitre des solutions pour intégrer ces deux composantes à un imageur relativement simple. Pour diminuer la complexité de l'étude et se focaliser sur les deux points précédemment cités, ce circuit intégrera les fonctionnalités minimales d'un imageur à savoir : l'intégration des charges dans le pixel, le contrôle des pixels et leur lecture par la chaîne de lecture analogique. Les procédés de fabrication d'un imageur 4T étant assez complexes, nous baserons l'étude sur des pixels 3T dont l'élément photosensible est une jonction PN.

Ce chapitre présentera dans un premier temps les types de substrat disponibles dans l'industrie, puis l'impact d'un substrat fortement résistif sur l'utilisation de pixel 3T. Nous nous pencherons ensuite sur les difficultés d'intégrations d'un imageur complet (matrice et circuits de lecture) sur un substrat fortement résistif. Enfin, des solutions pour accroître la tension sur les photodiodes en conservant une polarisation CMOS usuelle sur les circuits seront abordées.

2.2 Substrats fortement résistifs

La résistivité ρ (l'inverse de la conductivité σ) d'un substrat est dépendante de sa concentration en porteurs libres et varie donc avec le dopage du substrat.

$$\rho = \frac{1}{\sigma} = \frac{1}{\mu_p p + \mu_n n} \quad (2.1)$$

L'industrie du semi-conducteur utilise principalement des substrats peu ou moyennement résistifs dans la fabrication des circuits intégrés. L'utilisation de caissons pour chaque type de transistor (dual well) et l'ajustement des dopages par de multiples implantations ioniques dans les caissons permet de contrôler précisément les paramètres des composants. La majorité des wafers de silicium est produite par la méthode Czochralski mais l'évolution des circuits et des techniques de production a diversifié les types de substrats disponibles aujourd'hui. Les substrats fortement résistifs ($N_{a,d} < 10^{13} \text{at/cm}^3$) sont souvent utilisés pour la fabrication de détecteurs de particules. Ces derniers doivent rester entièrement dépeuplé sur plusieurs centaines de microns dans un environnement radiatif sévère. La collaboration ROSE [Ros] a par exemple mené ces dernières années de très nombreuses études sur différents types de wafer, en vue de les utiliser aux seins de détecteurs de particules. Une tendance est également perceptible pour les composants Radio-Fréquence (RF) et RF-MEMS (Micro-Electro-Mechanical-System) [Pro].

2.2.1 Czochralski

La méthode Czochralski, du nom de son inventeur, consiste à cristalliser un matériau initialement sous forme liquide en le tirant d'un creuset à l'aide d'un germe initiateur en rotation. La forme et les caractéristiques du lingot obtenu dépendent de ses conditions de croissance : vitesse de rotation, température, composition de l'atmosphère ambiante etc. Cette méthode permet aujourd'hui de produire des barreaux de silicium de plus de 300 mm de diamètre et de longueur de l'ordre du mètre. Le four de cristallisation est composé d'un germe monocristallin, d'un creuset en quartz contenant le silicium fondu. Le creuset est lui même maintenu par une structure en graphite comme présenté figure 2.1.

Cette méthode de production confère aux substrats provenant de ces lingots des caractéristiques particulières. Premièrement, le creuset de quartz se dissout pendant le procédé, relâchant de larges quantités d'oxygène dans son contenu, et dans une moindre mesure d'autres impuretés. La concentration d'oxygène dans le produit final est de l'ordre de 10^{17}cm^{-3} , 10^{18}cm^{-3} . En second lieu, le graphite présent dans le four introduit en moindre quantité du carbone ($[C] \approx 10^{15} \text{cm}^{-3}$) dans le silicium fondu. L'oxygène peut donner lieu à la formation de défauts actifs électriquement. Il est néanmoins utile pour concentrer localement les impuretés métalliques, et améliorer la résistance mécanique du substrat. Les wafers Cz sont donc particulièrement résistants aux contraintes thermiques et mécaniques [Plu00, p. 139]. La production de silicium résistif par cette méthode reste délicate du fait de la quan-

2.2. Substrats fortement résistifs

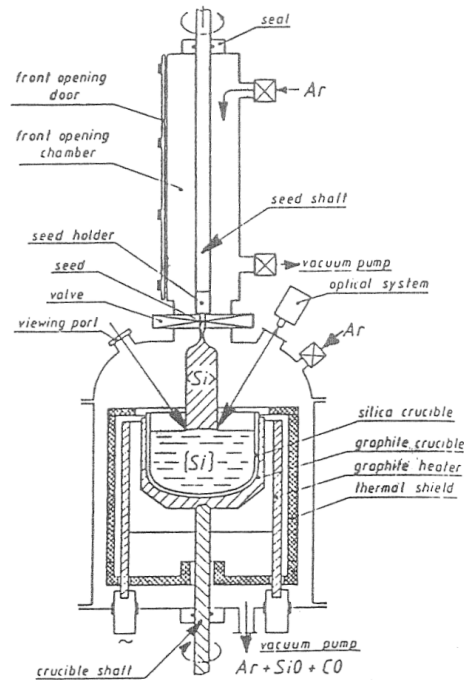


FIGURE 2.1 – Schéma d'une machine de croissance par méthode Czochralski (d'après [Wol02]).

tité importante d'impuretés (B, P, Al) provenant du creuset. A titre d'exemple, la société Okmetic produit des substrats dont le dopage est inférieur à 10^{14}at/cm^3 . Cette technique de croissance a été améliorée par l'ajout de champs magnétiques durant la croissance du silicium.

2.2.2 Czochralski magnétique

L'application d'un fort champ magnétique pendant le procédé Czochralski permet de contrôler le flux de liquide proche du lieu de cristallisation du silicium. La concentration en impureté est ainsi réduite et de plus haute résistivité peuvent être atteintes. En 2005, Okmetic a pu ainsi produire des substrats de type p avec un niveau de dopage de l'ordre de 10^{12}at/cm^3 . Ces wafers conservent une assez grande concentration d'impuretés comme l'oxygène (plus importante que les Float-Zone que nous décrirons ci-dessous) [Cas+08]. Ils semblent grâce à cela mieux résister dans des environnements radiatifs extrêmes. Ils sont par exemple moins sensibles aux changements de dopage effectif et de type de dopage que le Float-zone [Tuo+11].

2.2.3 Float-Zone

Les substrats Float-Zone sont obtenus à partir de lingots de poly-silicium de haute pureté. Ces lingots passent dans une bobine RF produisant une zone de fusion localisée. En utilisant un germe monocristallin en bout de lingot, un mono-cristal de silicium très pur peut être

produit. La concentration d'impuretés obtenue par cette méthode est faible car la zone de silicium en fusion n'est en contact qu'avec l'atmosphère ambiante (à l'inverse de la méthode Czochralski où le silicium fondu repose dans un creuset). Elle est également expliquée par les coefficients de ségrégation des impuretés entre la zone en fusion et la zone cristallisée. Ces coefficients sont définis par le ratio de la concentration en impuretés dans la zone liquide et la zone solide : $k = \frac{C_s}{C_l}$. Si $k < 1$ (cas du phosphore), alors l'espèce chimique aura tendance à rester dans la zone en fusion, diminuant sa concentration dans le silicium cristallisé. Si k est proche de 1 (cas du bore), la purification n'est pas possible. Pour cette raison, il est plus facile d'obtenir du silicium de type 'n' de haute résistivité que pour du type p, pour lequel une faible concentration de bore est nécessaire dans le poly-silicium originel.

Les substrats float-zone ont par nature une faible concentration d'oxygène ($[O] \approx 10^{15} \text{cm}^3$). Ceci s'est avéré être un désavantage pour la résistance aux radiations [Hä+04]. Il est néanmoins possible d'augmenter la concentration d'oxygène par diffusion à haute température. On parle alors de substrat float-zone oxygéné. Ces matériaux ont montré une résistance accrue aux radiations (en terme de maintien de la longueur de diffusion des porteurs).

2.2.4 Épitaxie

Les substrats avec couche épitaxiée sont généralement fabriqués à partir de wafer Czochralski sur lesquels est déposé une couche de silicium moins dopée. Ils étaient utilisés dans les technologies CMOS logiques afin de diminuer la sensibilité au latchup des wafers bulk [Wol02, p. 11]. Des méthodes de dépôts de couches minces peuvent servir à la fabrication de ce type de wafers. Ces couches sont déposées sur un wafer de support cristallin dirigeant l'agencement des couches déposées. Un monocristal peut ainsi être obtenu. Une méthode initialement utilisée était le dépôt en phase vapeur (ou CVD pour Chemical Vapor Deposition) en décomposant du silane (SiH_4) ou en faisant réagir un chlorure de silicium (comme le tétrachlorure SiCl_4). Le dopage des couches déposées est possible en ajoutant un gaz : phosphine (PH_3) ou diborane (B_2H_6). Une méthode plus récente utilise le dépôt par jet moléculaire (MBE pour Molecular Beam Epitaxie) pour évaporer sous ultra-vide le silicium et les dopants sur le wafer support. Cette méthode permet d'obtenir des variations très brutales de profils de dopages [Plu00, p. 557] et un bon contrôle des dopants. Les dopages respectifs de la couche d'épitaxie et du substrat étant généralement différents, l'interface est marquée par un gradient de concentration d'impuretés dopantes. Ce gradient plus ou moins important et étendu donne lieu à un faible champ électrique dont les lignes de champ sont dirigées vers la zone la moins dopée pour du silicium de type 'p'. Si on considère que le semi-conducteur dans cette zone est quasi-neutre (faible champ électrique), on peut supposer que la concentration de porteurs $p_0(x)$ suit le profil de dopage $N_a(x)$. Le courant total étant nul, nous avons :

$$j_p = qp\mu_p E - D_p \frac{dp}{dx} = 0 \quad , \quad \mu_p = \frac{q}{kT} D_p \quad (2.2)$$

où D est la constante de diffusion et μ la mobilité, ce qui donne le champ E :

2.3. Collection des charges sur substrat résistif

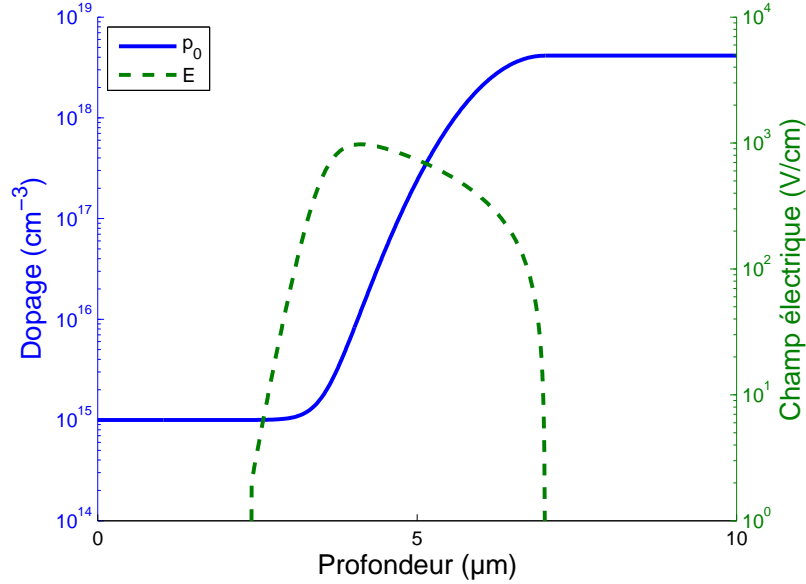


FIGURE 2.2 – Champ électrique du au gradient de concentration de dopage à l’interface épitaxie-substrat.

$$E = \frac{kT}{q} \frac{1}{p} \frac{dp}{dx} = \frac{kT}{q} \frac{1}{N_a} \frac{dN_a}{dx} \quad (2.3)$$

En considérant un profil de concentration évoluant suivant une courbe gaussienne jusqu’à atteindre un plateau (la concentration de dopage dans le substrat Czochralski), la figure 2.2 donne un exemple de champ électrique à l’interface de la couche épitaxiale d’un imageur conventionnel. Ce champ est assez bénéfique pour l’imagerie car il empêche les électrons photo-générés dans la couche épitaxiale de diffuser vers le substrat et d’être perdu pour la collection.

Finalement, et peu importe le type de substrat, un soin particulier doit être apporté durant toute la fabrication des composants : une contamination pendant le procédé par des impuretés de l’environnement (machines ou salle blanche) risque de détériorer la résistivité initiale du matériau.

2.3 Collection des charges sur substrat résistif

L’intérêt d’un détecteur entièrement dépeuplé est de maximiser l’efficacité quantique et de minimiser la diaphonie des charges générées en emplissant l’intégralité d’un volume photosensible par un champ électrique. Ce volume est défini dans ce travail comme la région du composant où le temps de vie est important, et par conséquent où le dopage est relativement faible. En raison de certaines contraintes technologiques (résistivité limitée du substrat et/ou

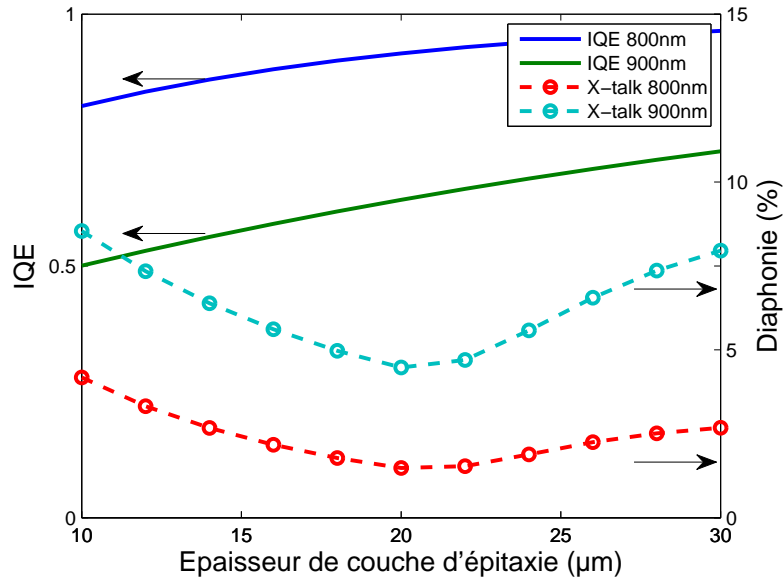


FIGURE 2.3 – IQE et diaphonie électronique en fonction de l'épaisseur de couche d'épitaxie dopée à $1.0 \times 10^{12} B/cm^3$, pour un pitch de $10 \mu m$ et une cathode de $8 \mu m$ et pour des longueurs d'onde $\lambda = 800 \text{ nm}$ ou 900 nm . La profondeur dépeuplée avec ces paramètres est estimée à $20 \mu m$.

polarisation limitée des photodiodes), l'extension de ce champ peut être limitée, réduisant ainsi le volume maximal de silicium qu'il est possible de dépeupler. Si un volume photosensible neutre (sans champ) est présent, les charges y diffusant librement augmentent la diaphonie électrique. Pour illustrer cela, nous avons utilisé un outil analytique développé dans [Dji+12] et résolvant les équations de continuité dans une barrette de pixels pour différents types de substrat. Il permet d'obtenir le QE interne (IQE) et la diaphonie pour une taille de pixel et de cathode donnée.

La figure 2.3 montre l'IQE et la diaphonie pour une couche d'épitaxie d'épaisseur variable et de dopage $N_{epi} = 10^{12} at/cm^3$ sur un substrat dopé à $N_{epi} = 10^{18} at/cm^3$. Le temps de vie des porteurs dans l'épitaxie est fixé à $\tau = 10^{-4} s$. Tant que l'épitaxie est entièrement dépeuplée, augmenter son épaisseur permet de collecter une plus grande partie de charge avec le champ électrique de la photodiode. Cela augmente donc l'IQE et diminue la diaphonie car le nombre de charges diffusant dans le substrat avant leur collection diminue. Quand l'épitaxie n'est plus entièrement dépeuplée (pour des épaisseurs supérieures à $20 \mu m$ d'après le modèle analytique présenté plus tard dans ce chapitre), ce qui est le cas de la figure 2.3, une partie de cette épitaxie est neutre et les charges y diffusent librement avec un temps de vie assez élevé. La diaphonie augmente donc comme nous le voyons figure 2.3 pour des épaisseurs supérieures à $20 \mu m$. Néanmoins l'IQE n'est que peu affecté car les charges diffusant dans l'épitaxie ont une chance assez élevée d'atteindre une zone dépeuplée et d'être collectées, du fait de leur temps de vie élevés dans l'épitaxie.

On constate donc la nécessité d'ajuster le volume de la zone photo-sensible (peu dopée)

2.4. Conception de pixels en substrat résistif

au volume dépeuplée pour maximiser les performances QE / diaphonie. L'introduction d'une zone neutre sera bénéfique en terme de QE mais augmentera également la diaphonie. Pour une épitaxie éclairée en face avant, l'épaisseur photo-sensible peut être ajustée par le fabricant du substrat. Si l'épitaxie est éclairée par la face arrière, une réduction de l'épaisseur du substrat support est nécessaire pour que la génération des charges soit réalisée proche des photodiodes, et non à la surface arrière du silicium qui est séparée des photodiodes par l'épaisseur du substrat constituée de plusieurs centaines de microns de silicium. Cet amincissement est donc obligatoire pour maintenir un couple QE / diaphonie acceptable en illumination par la face arrière. Pour les substrats bulks, l'amincissement est nécessaire quelque soit l'incidence des photons afin d'ajuster le couple QE / diaphonie. Il faudra alors passiver l'interface pour en supprimer les défauts pour réduire le courant d'obscurité (si la ZCE touche l'interface) et la recombinaison des charges proches de l'interface, ce qui induirait une perte de QE.

2.4 Conception de pixels en substrat résistif

Nous étudierons dans cette partie l'impact que peut avoir l'utilisation de silicium résistif sur la conception d'un pixel 3T standard.

2.4.1 Modèle analytique de la déplétion en 3D

Le faible dopage du substrat permet d'étendre le champ de collection plus profondément dans le silicium. Néanmoins, cette extension n'est pas unidirectionnelle, mais répartie plus ou moins radialement sous la cathode. Cet effet tri-dimensionnel n'est que peu visible pour les dopages usuels où la ZCE ne s'étend que sur quelques microns. Il est plus marqué sur des substrats dopés à 10^{13} ou $10^{12}/cm^3$ où la zone dépeuplée est du même ordre de grandeur, voir plus grande que la longueur de cathode de la photodiode comme illustré figure 2.4. La simulation TCAD par éléments finis de photodiodes sur substrat résistif permet d'explorer la dépendance de l'extension de la ZCE selon certains paramètres (tensions appliquées, géométrie etc ...). Nous avons utilisé le logiciel commercial Sentaurus Synopsis dans cette optique. Le critère retenu par ce logiciel pour définir la ZCE est la concentration en porteurs libres relativement à la concentration de dopants, la limite entre ZCE et zone neutre étant tracée lorsque le ratio est inférieur à 10%. La variation de profondeur dépeuplée simulée pour des variations de dopage de $\pm 5\%$ est dans notre cas d'étude inférieure à $2\ \mu m$

Les simulations sont réalisées en trois dimensions et en utilisant des zones d'implantation du caisson N carrées. Pour des tailles de cathode de l'ordre de la dizaine de microns, ces simulations révèlent une forte dépendance de l'extension de la ZCE avec la taille de cathode. La figure 2.4 montre un exemple pour deux tailles de cathode. On peut observer une forme plus ou moins ellipsoïdale de la ZCE qui s'étend environ trois fois moins en profondeur par rapport à la profondeur calculée (environ $60\ \mu m$) par l'équation de Poisson en une dimension (voir équation 1.2) à ces niveaux de dopage.

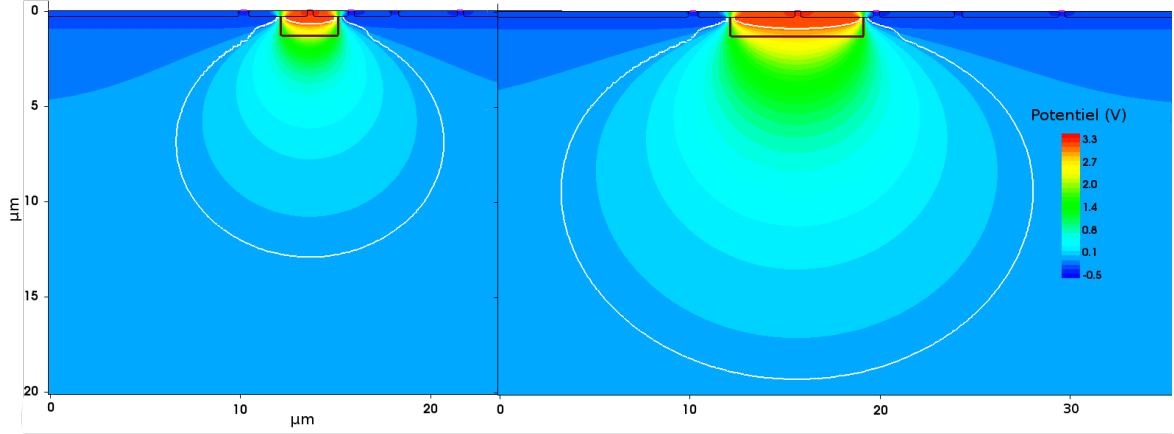


FIGURE 2.4 – Simulation TCAD de deux diodes de longueurs différentes sur substrat dopé P à $10^{12}/cm^3$ et pour une polarisation de 3,3V . La profondeur maximale dépeuplée est dépendante de la géométrie de la cathode.

Afin de pouvoir prédire l'évolution des ZCE sur substrats résistifs en fonction des tailles de photodiodes, nous avons tenté de modéliser cette tendance de manière empirique. Ce modèle simplifie la géométrie de la cathode par rapport aux simulations en utilisant des zones d'implantation du caisson N circulaire. Le modèle développé est basé sur le principe de neutralité électrique globale du matériau. Le nombre de charges d'espace en zone N doit équaler le nombre de charges en zone P, ce qui peut s'exprimer avec la concentration de dopant et le volume dépeuplé en zone N (N_d, V_d) et dans le substrat P (N_a, V_{sub}), de la manière suivante :

$$V_{sub} = \frac{N_d V_d}{N_a} \quad (2.4)$$

Le dopage de la cathode N_d étant relativement élevé (supérieur à $10^{16}/cm^3$, l'épaisseur de silicium dépeuplée dans la cathode est faible et bien inférieure à sa largeur. Dans ces conditions, le volume dépeuplé V_d dans cathode N est correctement représenté par l'équation de Poisson en une dimension. On peut alors connaître V_d , puis V_{sub} en utilisant l'équation 2.4. Pour trouver la répartition des charges dans le volume V_{sub} , nous avons empiriquement approximé ce volume par une ellipsoïde représentée figure 2.5

Cette ellipse est coupée par le plan dans lequel se situe la jonction métallurgique entre la cathode et le substrat. Pour connaître l'emplacement de cette coupe sur l'ellipse (et donc la position de l'ellipse), il nous faut résoudre analytiquement l'équation suivante :

$$\frac{x^2 + y^2}{a^2} + \frac{z^2}{c^2} \leq 1 \quad -c \leq z \leq h \quad (2.5)$$

2.4. Conception de pixels en substrat résistif

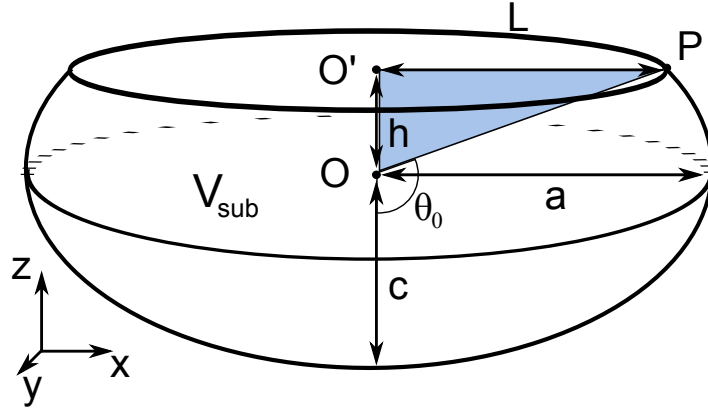


FIGURE 2.5 – Représentation schématique de la ZCE sous la cathode dans un substrat résistif pour le modèle de ZCE ellipsoïde.

L'équation de l'ellipse peut se simplifier en passant en coordonnées sphériques :

$$u^2 + v^2 + w^2 \leq 1, \quad (2.6)$$

en utilisant le changement de variables suivant :

$$u = \frac{x}{a}, \quad v = \frac{y}{a}, \quad w = \frac{z}{c}. \quad (2.7)$$

Le volume défini par l'équation 2.5 peut être calculé en utilisant le changement de variables présenté en 2.7 et en utilisant la méthode d'intégration par substitution. Le déterminant de la matrice jacobienne traduisant le changement de variable est :

$$|J(u, v, w)| = a^2 c. \quad (2.8)$$

ce qui donne pour l'intégration :

$$V_{\text{sub}} = a^2 c \iiint du dv dw = a^2 c \iiint \rho^2 \sin \phi d\rho d\phi d\theta \quad (2.9)$$

V_{sub} peut être défini par la somme de deux volumes : V_c le volume d'un cône défini par le triangle de révolution $OO'P$ autour de l'axe OO' , et V_s le reste du volume de l'ellipse.

$$\begin{aligned} V_{\text{sub}} &= V_s + V_c \\ &= \int_0^{2\pi} d\theta \int_0^1 \rho^2 d\rho \int_{\theta_0}^{\pi} \sin \theta d\theta + \frac{\pi}{3} h L^2 \end{aligned} \quad (2.10)$$

Chapitre 2. Technologies pour un capteur monolithique entièrement dépeuplé

La borne d'intégration de θ peut être estimée pour la condition $z = h$. Nous avons dans ce cas $w = h/c$ ce qui permet de déterminer θ_0 : $\arccos h/c$. Le volume total est alors donné par :

$$V_{\text{sub}} = \frac{2\pi}{3}a^2c \left(1 + \frac{h}{c}\right) + \frac{\pi}{3}hL^2. \quad (2.11)$$

Il reste dans cette équation une inconnue de trop. Nous avons réduit le nombre d'inconnues en cherchant une relation simple entre les bras de l'ellipse. Il s'avère que sous des conditions de très faible dopage ($< 10^{13}/\text{cm}^3$) et de taille de cathode de l'ordre de la dizaine de micron, le rapport du grand axe de l'ellipse sur le petit axe reste relativement stable et égal à 1.2. Ce rapport a été déterminé par simulations TCAD pour sept tailles de cathode différentes entre 3 et $15\mu\text{m}$ pour des dopages de substrat entre $1\text{e}12 \text{ at}/\text{cm}^3$ et $1\text{e}13 \text{ at}/\text{cm}^3$. Nous avons donc introduit un facteur f pour représenter cette dépendance ainsi qu'une relation trigonométrique entre L , a , h et c :

$$c = \frac{a}{f}, \quad \frac{L}{a} = \sqrt{1 - \frac{h^2}{c^2}}, \quad f = 1.2 \quad (2.12)$$

L'utilisation des relations 2.12 dans 2.10 permet d'obtenir une équation analytique en h pouvant être résolue numériquement pour le modèle de ZCE ellipsoïde :

$$V_{\text{sub}}(h) = \frac{2\pi}{3f}(L^2 + h^2f^2)^{\frac{3}{2}} \left(1 + \frac{fh}{\sqrt{L^2 + h^2f^2}}\right) + \frac{\pi}{3}hL^2 \quad (2.13)$$

Il est ainsi possible en utilisant l'équation 2.13 et les relations 2.12 de connaître les variations de la profondeur et de la largeur maximale dépeuplée en fonction de la taille de cathode pour des substrats très peu dopés. La comparaison de la profondeur dépeuplée donnée par ce modèle avec celles de simulations TCAD sur des structure en trois dimensions est présentée figure 2.6.

On remarque pour le substrat à $N_a = 10^{12}/\text{cm}^3$ un bon accord entre le modèle et la simulation TCAD pour la gamme de taille de cathode étudiée. L'accord est encore correct sur le substrat à $N_a = 10^{13}/\text{cm}^3$ mais pour les tailles de cathode les plus courtes uniquement. Ces données montrent ainsi le champ d'application de ce type de modèle. Il est possible en prenant ces remarques en compte de l'utiliser dans des études analytiques rapides qui ont besoin d'une estimation de l'extension de la ZCR. C'est par exemple ce modèle qui a été utilisé en conjonction de l'outil analytique développé à l'ISAE permettant d'estimer les performances électro-optiques de photodiodes.

Nous pouvons remarquer que l'extension latérale de la zone dépeuplée semble également dépendante de la taille de cathode. La figure 2.7 montre une bonne correspondance entre le modèle et les simulations. L'écart visible figure 2.6 pour le substrat $N_a = 10^{13}/\text{cm}^3$ est moins

2.4. Conception de pixels en substrat résistif

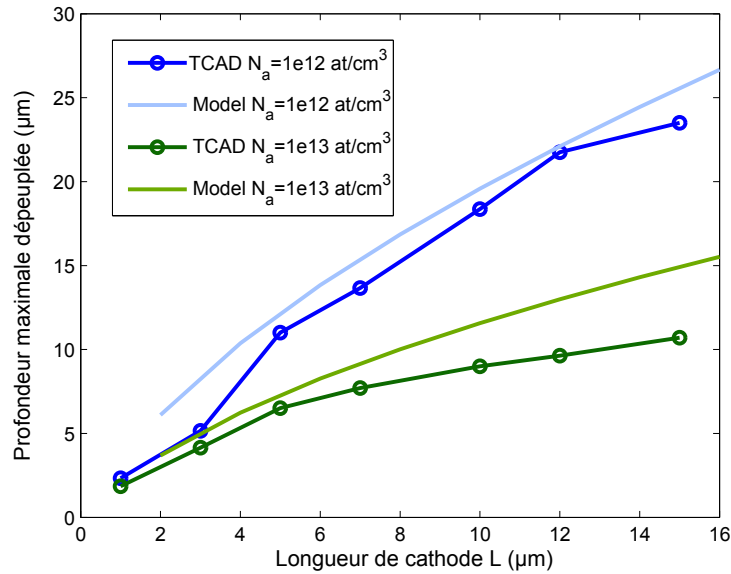


FIGURE 2.6 – Évolution de la profondeur dépeuplée en fonction de la taille de cathode d’une photodiode sur substrats résistifs pour le modèle de ZCE ellipsoïde. Un facteur $f = 1.2$ est utilisé dans le modèle.

apparent pour l’extension latérale et reflète le fait que le facteur de forme entre l’ellipse et la ZCE est assez différent¹.

Une faiblesse de ce modèle reste la nécessité de définir une relation entre les axes de l’ellipse. Pour y palier, il est possible de simplifier la géométrie de la ZCE en substrat en la remplaçant par une sphère. Dans ce cas, le facteur f n’est plus nécessaire et nous pouvons définir la géométrie comme étant simplement une sphère tronquée par un plan à la jonction métallurgique de la photodiode comme présenté en figure 2.8. Le volume peut s’exprimer par celui d’une sphère tronquée du volume d’une calotte sphérique :

$$V_{\text{dep}} = \frac{4}{3}\pi \left(\frac{a^2 + h^2}{2h} \right)^3 - \frac{1}{6}\pi h(3a^2 + h^2) \quad (2.14)$$

Le résultat présenté figure 2.9 est moins fidèle à la simulation que celui du modèle de ZCE ellipsoïde, mais l’évolution de la zone dépeuplée avec la longueur de cathode reste assez similaire.

1. La ZCE simulée est une ellipse déformée

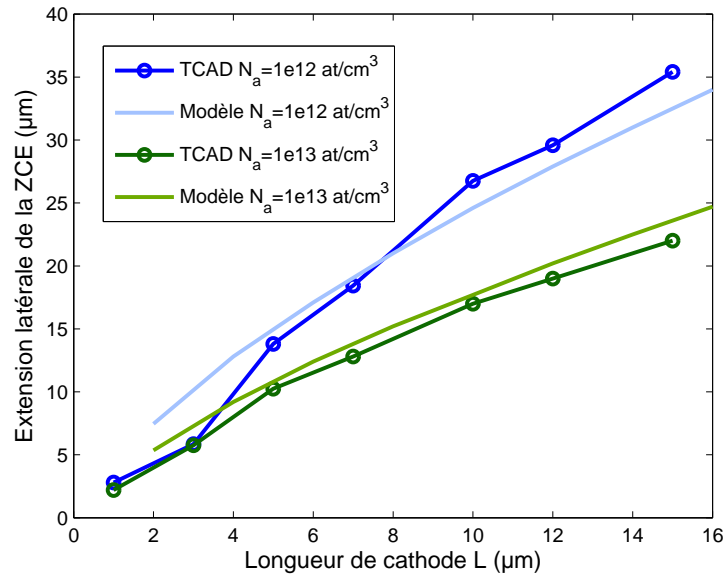


FIGURE 2.7 – Évolution de l’extension latérale dépeuplée en fonction de la taille de cathode d’une photodiode sur substrats résistifs pour le modèle de ZCE ellipsoïde. Un facteur $f = 1.2$ est utilisé dans le modèle.

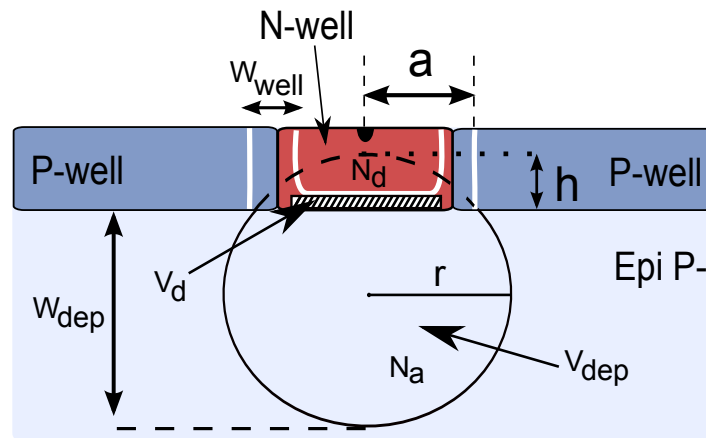


FIGURE 2.8 – Schéma représentant un volume dépeuplé sous forme sphérique d’une photodiode. V_d est le volume dépeuplé dans la cathode utilisé pour calculer V_{dep} , le volume dans le substrat.

2.4.2 Effet de la mutualisation des charges d’espace sur la profondeur dépeuplée

Comme le montre les simulations 3D, la profondeur dépeuplée par une seule photodiode sur substrat résistif est plus faible que celle calculée par la résolution de l’équation de Poisson en une dimension. Néanmoins, dans une matrice de photodiodes, une partie du volume dépeuplé entre les pixels peut être mutualisé par plusieurs photodiodes. Dans ces conditions,

2.4. Conception de pixels en substrat résistif

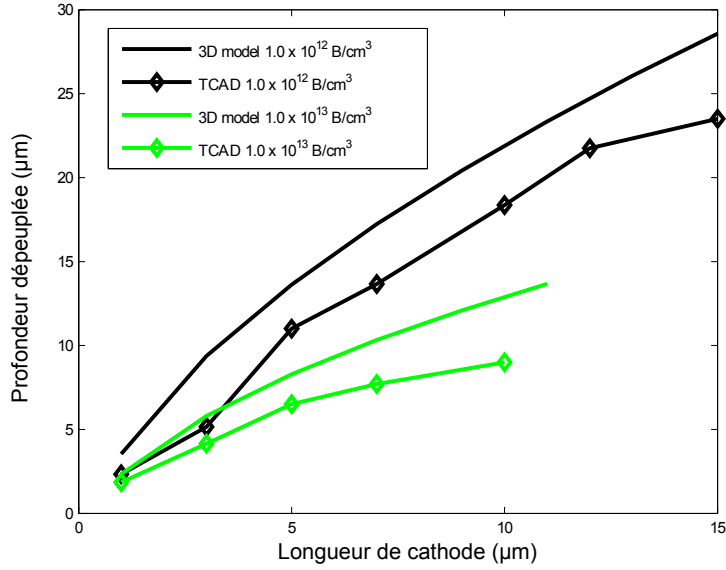


FIGURE 2.9 – Comparaison du modèle sphérique et des résultats TCAD pour une jonction abrupte sur substrats dopés à $1.0 \times 10^{12} \text{ B/cm}^3$ et $1.0 \times 10^{13} \text{ B/cm}^3$.

la neutralité électrique totale implique que les zones dépeuplées doivent s'étendre davantage en profondeur afin de conserver le même nombre de charges dans le substrat que dans la cathode des photodiodes. Nous pouvons alors supposer que pour une taille de cathode donnée, le rapprochement des cathodes contribuerait à augmenter la profondeur dépeuplée dans le substrat.

Pour vérifier cela, des simulations TCAD d'une structure en deux dimensions ont été réalisées. Elles comprennent plusieurs photodiodes de taille L espacées entre elles d'une distance L_p et polarisées à une même tension V . La profondeur dépeuplée pour une taille de cathode donnée peut être étudiée en fonction de l'espacement entre les cathodes, comme le présente la figure 2.10. On constate bien que le rapprochement des cathodes augmente la profondeur maximale dépeuplée, alors que leur espacement amène la déplétion à saturer à une valeur minimale qui est la profondeur dépeuplée par une seule photodiode (dont la zone dépeuplée est isolée de celles de ses voisines).

La profondeur maximale dépeuplée en matrice est donc dépendante de la taille de cathode, mais également de l'écartement entre les cathodes. Elle sera inférieure à l'estimation donnée par l'équation de Poisson 1D, mais supérieure à celle donnée par le modèle d'ellipse présenté précédemment, si les diodes sont assez rapprochées. Néanmoins, nous verrons plus tard que le rapprochement des cathodes risque d'augmenter la sensibilité à des courants de fuite entre les photodiodes.

Nous avons dans cette partie étudié l'extension de la ZCE sur substrat résistif à l'aide de simulations par éléments finis et d'un modèle empirique. Ces extensions en profondeur et latérale sont dépendantes de la géométrie de la cathode. Cette dernière pourrait donc

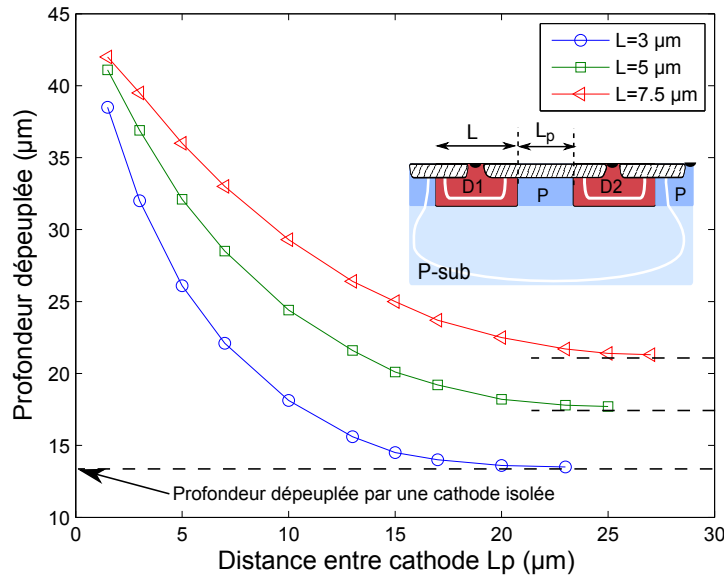


FIGURE 2.10 – Simulation TCAD de la profondeur maximale dépeuplée en fonction de l’espacement entre les cathodes.

avoir un impact sur certains phénomènes comme le punchthrough entre photodiodes ou les performances électro-optiques de l’imageur. Un autre impact concerne directement la capacité du nœud de collection du pixel. Par conséquent, nous allons dans la partie suivante nous intéresser aux fonctions électroniques intégrées dans le pixel lorsqu’elles sont implantées sur un substrat à forte résistivité.

2.4.3 Conception de l’électronique en pixel

2.4.3.1 Capacité du nœud de collection et ajustement (recul du caisson P)

La capacité du nœud de collection est un paramètre important car il détermine notamment le gain électrique du pixel. La définition de cette capacité en pixel 3T est contrainte car elle est directement liée à la géométrie de la photodiode que nous considérerons dans cette partie comme étant la somme d’une capacité périmétrique C_p et d’une surfacique C_a . Un substrat résistif aura pour impact de grandement diminuer la capacité surfacique de la photodiode. En utilisant le modèle capacitif d’un condensateur plan, on peut exprimer la capacité totale d’une diode carrée d’aire A , de périmètre P et dont les caissons latéraux sont profonds de Z_{well} en utilisant les équations suivantes :

$$C_P = P \frac{\epsilon_{Si}}{W_{well}} Z_{well}, \quad C_A = A \frac{\epsilon_{Si}}{W_{dep}} \quad (2.15)$$

W_{well} est l’extension de la zone dépeuplée entre les caissons P et la cathode, et W_{dep} est la

2.4. Conception de pixels en substrat résistif

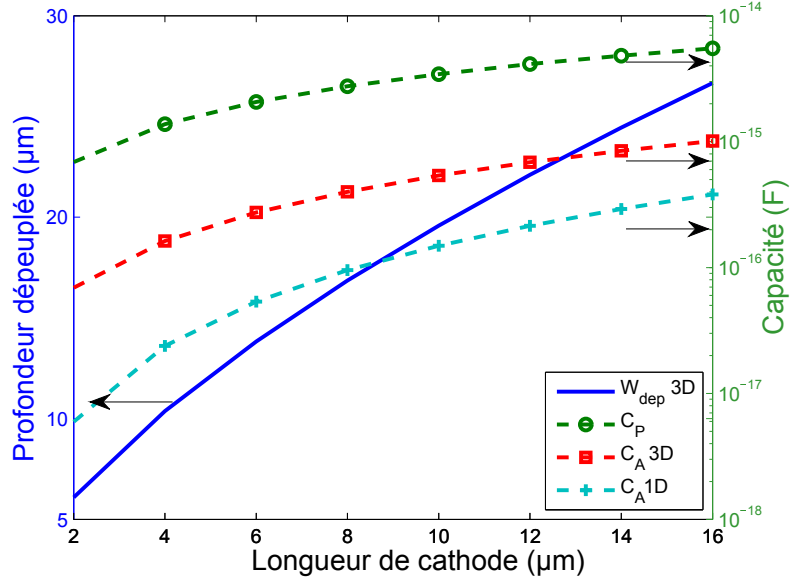


FIGURE 2.11 – Profondeur dépeuplée maximale d’après le modèle 3D (en bleu, axe de gauche), capacités surfacique et périmétrique (respectivement C_A et C_P) d’une photodiode carrée en fonction de sa taille pour $N_{\text{sub}} = 1e12 \text{at}/\text{cm}^3$ (en vert, axe de droite). C_{A3D} et C_{A1D} représentent respectivement la capacité surfacique calculée à partir de la profondeur dépeuplée estimée par le modèle 3D présenté dans ce chapitre et par l’équation de Poisson 1D. Le terme surfacique reste un ordre de grandeur plus faible que la capacité périmétrique. Un facteur $f = 1.2$ est utilisé dans le modèle analytique.

profondeur dépeuplée dans le substrat, comme représenté figure 2.8. Il faut noter que l’utilisation du modèle de ZCE ellipsoïde développé précédemment donne une profondeur dépeuplée en substrat plus faible que celle découlant de la résolution de l’équation de Poisson dans un modèle unidimensionnel. La figure 2.11 montre l’évolution des différents termes capacitifs en fonction de la taille de la cathode (que nous considérons ici carrée) et en tenant compte des modèles de ZCE en 1D (provenant de l’équation de Poisson en 1D) et 3D (provenant du modèle de ZCE ellipsoïde) de W_{dep} . On constate que malgré une large différence entre les capacités surfaciques obtenue par les deux méthodes (Poisson 1D et ellipse 3D), la capacité périmétrique reste dominante dans les deux cas. Le périmètre de la diode sera donc le paramètre déterminant dans la valeur de la capacité, même pour de petites cathodes.

Pour pouvoir ajuster la capacité du nœud de collection par la conception, il est nécessaire de travailler sur le périmètre de la cathode. Néanmoins, nous avons vu que l’extension du champ électrique des photodiodes dépend de leur taille. Vouloir augmenter la sensibilité en diminuant la taille des cathodes pourrait donc être préjudiciable à l’efficacité de collection des charges (et augmentant de plus la diaphonie). Une autre possibilité serait d’augmenter W_{well} en espaçant les caissons P entourant la cathode N d’une distance L_r . La figure 2.12 présente cette configuration. Du silicium très faiblement dopé est présent entre les zone N et P plus dopées des caissons. Cette zone de quelques microns de large est supposée entièrement

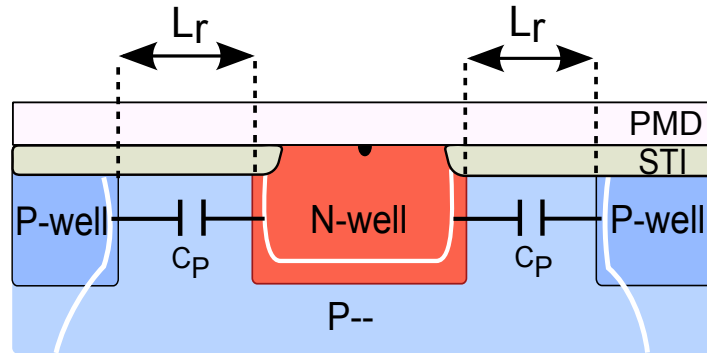


FIGURE 2.12 – Schéma d'une photodiode avec recul d'une distance L_r des caissons P entourant la cathode. La zone dépeuplée s'étend sur une grande partie du STI.

dépeuplée et on peut considérer que W_{well} est augmenté d'autant que l'écartement L_r .

Cette solution présente néanmoins un inconvénient majeur : celui d'étendre la zone dépeuplée sur l'oxyde d'isolation, augmentant ainsi le nombre de centre de génération SRH contribuant au courant d'obscurité. La figure 2.13 représente la variation théorique de capacité périmétrique que permet cette méthode pour une cathode de $4\mu\text{m}$ de côté, en supposant des profils de dopage abruptes. Ces valeurs sont calculées à partir du modèle de condensateur plan (équations 2.15) entre les limites de la zone dépeuplée à la jonction cathode - caisson P. Le courant d'obscurité provenant des défauts d'interface est également estimé en fonction du recul du caisson P à l'aide de la vitesse de recombinaison en surface s_0 [Gro67, p. 312] et de la surface dépeuplée A_s (figure 2.13) :

$$I_{\text{dark},s} = \frac{1}{2}q \cdot n_i \cdot s_0 \cdot A_s \quad (2.16)$$

Nous verrons un peu plus tard dans ce chapitre que la mise en contact de la zone dépeuplée avec l'oxyde d'isolation STI est également préjudiciable pour la résistance aux radiations ionisantes.

Finalement, une faible capacité de la photodiode peut être préjudiciable pour la dynamique du capteur à cause du couplage capacitif entre la photodiode et la source du transistor d'initialisation, intervenant lorsque sa grille passe de l'état haut à l'état bas, après le déchargement de la photodiode. Lors de ce couplage, la diminution de tension sur la photodiode est directement liée aux valeurs de capacité de la photodiode C_{PHD} et de la capacité entre la grille et la source du transistor d'initialisation C_{gs} :

$$\Delta V = V_{RST} \frac{C_{gs}}{C_{gs} + C_{PHD}} \quad (2.17)$$

En diminuant le potentiel en début d'intégration de ΔV , ce couplage réduit la dynamique du pixel. Ce effet peut être minimisé en diminuant au maximum la capacité C_{gs} du transistor

2.4. Conception de pixels en substrat résistif

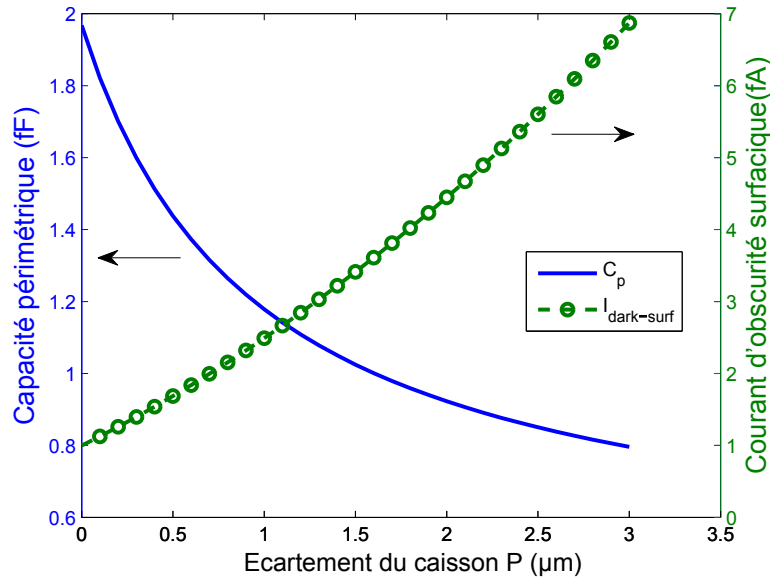


FIGURE 2.13 – Étude de l'impact du recul des caissons sur la capacité périmétrique (courbe bleue, axe de gauche) et le courant d'obscurité (courbe verte, axe de droite) (dans l'hypothèse de transition de dopage abrupte) pour une vitesse de recombinaison de 5 cm/s .

d'initialisation, c'est à dire en limitant sa largeur de grille. Un équilibre doit donc être trouvé entre gain électrique et dynamique.

2.4.3.2 MOSFETs

Nous traiterons dans cette sous-partie les éventuels impacts de l'utilisation d'un substrat résistif pour l'implantation de transistors MOS fabriqués en technologie usuelle. Les technologies actuelles sub-microniques utilisent en général un procédé dual-well permettant d'optimiser le dopage des caissons N individuellement de celui des caissons P. Le recours à un tel procédé ainsi que l'utilisation de différents implants (anti-punchthrough, V_t adjust, LDD pour 'lightly doped drain', dopage de canal SSR pour 'Super Steep Retrograde') permet d'optimiser les performances du MOS au sein du caisson [Wol02]. Les transistors sont donc à priori totalement dépendants de l'ingénierie développée dans le dopage des caissons, et non du substrat car les dopages présents dans les caissons sont bien supérieurs à celui du substrat. Des études ont également vérifié le comportement de transistors individuels sur des substrats résistifs [Ben+03]; [BHK97]; [Her+96].

Nous avons vérifié l'impact du dopage de substrat sur la formation du dopage en surface, sous la grille du transistor, en utilisant le logiciel Sprocess de Synopsys et des données de fabrication simplifiées. Les profils de dopage présentés figure 2.14 après simulation sont tous similaires en surface. Seul change la zone de transition du dopage entre le caisson et le substrat. L'utilisation d'un substrat fortement résistif ne donc devrait pas impacter les performances

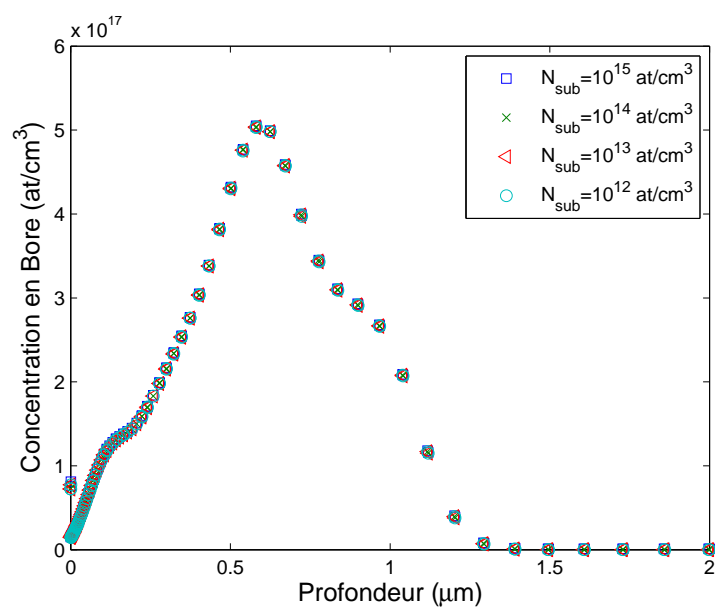


FIGURE 2.14 – Profil de dopage d'un caisson P formé sur substrats P ayant différents dopages initiaux.

des transistors. Voyons maintenant son impact potentiel sur une matrice pixels utilisant des photodiodes PN.

2.5 Intégration de matrices en substrat résistif

Nous aborderons dans cette partie les problèmes posés par l'utilisation de substrats résistifs pour l'intégration d'un imageur complet. Nous étudierons le cas d'un imageur minimaliste comprenant une matrice de pixels, des décodeurs lignes et colonnes, ainsi que des chaînes de lecture.

2.5.1 Punchthrough

Nous avons vu que les ZCEs des photodiodes s'étendent largement en profondeur dans le substrat, mais également latéralement, dans des proportions qui peuvent être supérieures aux dimensions du pixel. Positionner des pixels côte à côte au sein d'une matrice peut donc amener à abouter et confondre les ZCEs de différents pixels. Cette condition est généralement référencée dans la littérature sous les termes de punchthrough ou reachthrough [WP74]. Sous cette condition, un courant se forme entre deux zones N implantées dans un substrat P, ayant des potentiels différents et partageant une ZCE commune. Dans une matrice où chaque pixel est sensé être indépendant et fournir une information localisée à sa propre géométrie, le partage de charges entre photodiodes ne possédant par le même potentiel (et donc une information différente) est problématique. L'image résultante pourrait donc ne pas reproduire de fortes variations spatiales d'intensité car l'information serait partagée entre les pixels : il en résulterait une perte de contraste. Ce phénomène a été rapporté pour différents composants tel que les transistors NPN [WP74] les détecteurs de particules [Ell+89] ou encore les imageurs CMOS [Lan09]. Il en ressort que la densité de courant pouvant circuler dans les zones dépeuplées entre deux régions de type similaire (N ou P) est dépendante de la barrière de potentiel entre ces zones. L'injection thermoïonique est responsable de l'injection des charges par dessus cette barrière. Les charges sont ensuite balayées par le champ électrique présent dans la ZCE. On peut relier la densité du courant de punchthrough I_{pt} à la barrière de potentiel minimal entre les cathodes Φ_b par :

$$I_{pt} \propto A \exp\left(-\frac{q\phi_b}{kT}\right) \quad (2.18)$$

Lorsque l'augmentation de la tension entre les régions de même type mène à l'injection thermoïonique d'une quantité importante de charges dans la zone de champ (et dont la concentration devient comparable ou supérieure à celle des impuretés ionisées dans la zone de champ), la présence de ces charges commencent à empêcher l'injection de nouvelles charges (la barrière de potentiel ne diminue plus aussi rapidement avec la tension appliquée), amenant une limitation du courant par les charges d'espaces (ou SCLC pour Space Charge Limited Current) [CPS72]. Ce régime intervient après le déclenchement du punchthrough lorsque la tension sur la structure continue d'augmenter. Le courant évolue alors plus lentement avec la tension appliquée.

La distribution du potentiel électrostatique présent dans le substrat entre les pixels est

complexe à modéliser. Nous avons donc simulé le phénomène de punchthrough en TCAD pour des configurations de pas de pixel et de taille de photodiode différentes. Nous étudierons dans un premier temps le courant de punchthrough circulant entre deux photodiodes. La figure 2.15 montre la distribution du potentiel électrostatique dans le substrat entre deux pixels polarisés à des tensions différentes. On constate que cette distribution est en forme de 'selle de cheval' avec un minimum situé à environ $2 \mu m$ sous la surface du silicium, proche de la verticale du caisson P. Néanmoins, si l'on fait varier les potentiels des photodiodes, on constate une variation de la valeur du potentiel minimal ainsi que de sa position même si elle reste proche de la verticale du caisson P.

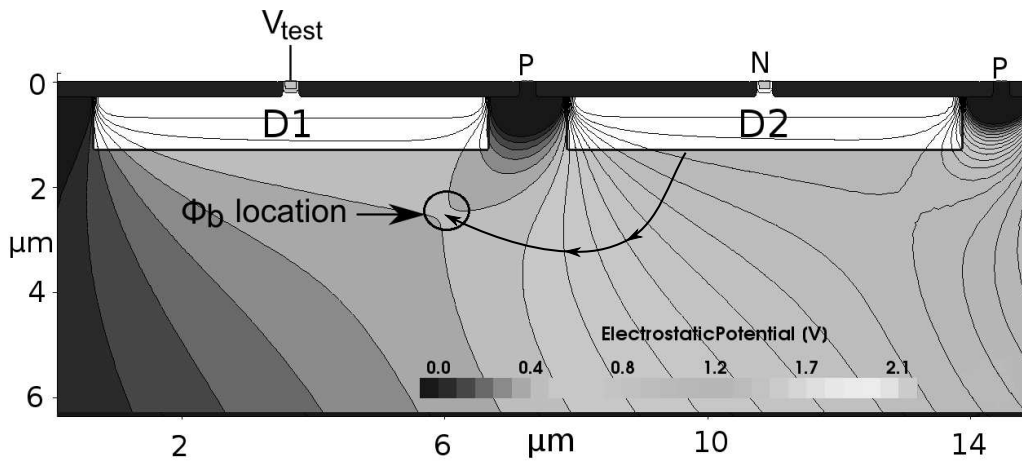


FIGURE 2.15 – Potentiel électrostatique de deux photodiodes D1 et D2 espacées de $1.5 \mu m$ et polarisées à $0V$ et $1V$ respectivement. Une ligne de champ électrique entre D2 et le minimum de barrière de potentiel est représentée à titre d'exemple.

Si l'on s'intéresse à la densité de courant circulant entre les photodiodes, on peut constater figure 2.16 que le chemin emprunté par le maximum de densité passe par ce point et reste localisé autour de $2 \mu m$ sous la surface.

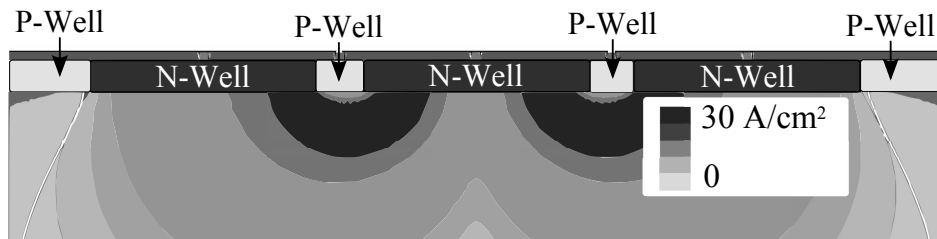


FIGURE 2.16 – Densité de courant de punchthrough pour trois photodiodes sur du substrat silicium dopé à $1.0 \times 10^{12} B/cm^3$. La diode centrale est polarisée à $3V$ et les deux autres sont à la masse.

D'après l'équation 2.18, ce courant dépend de la barrière de potentiel dans le substrat entre les diodes. Cette barrière dépend de la valeur du potentiel dans la ZCE des jonctions PN dans le substrat P. Ce potentiel dépend de la distance entre les cathodes et de leur taille, car nous avons décrit au travers du modèle analytique présenté précédemment la dépendance

2.5. Intégration de matrices en substrat résistif

entre taille de cathode et extension de la ZCE. Nous avons dès lors étudié la variation du courant de punchthrough en fonction de ces deux paramètres pour une tension entre cathode fixée à 3V. Le tableau 2.1 présente les résultats pour différentes configurations. On constate par exemple que pour un espacement de 5 μm , doubler la taille de cathode de 5 μm à 10 μm augmente le courant d'un ordre de grandeur. Pour un pas de pixel donné, la taille de cathode peut donc jouer un rôle dans l'isolation entre les pixels.

TABLE 2.1 – Courant de punchthrough pour une tension fixe de 3V entre deux photodiodes de longueur et d'espacement variables.

Longueur de cathode (μm)	Ecart entre les cathodes (μm)		
	1.5	3.5	5
1.5	5.1×10^{-9} A	3.3×10^{-12} A	4.5×10^{-13} A
5	4.0×10^{-7} A	9.0×10^{-9} A	6.1×10^{-10} A
7.5	5.5×10^{-7} A	2.8×10^{-8} A	3.7×10^{-9} A
10	6.2×10^{-7} A	4.5×10^{-8} A	8.1×10^{-9} A

Durant la phase d'intégration des charges photo-générées, les photo-diodes sont flottantes et leur potentiel évolue dans le temps en fonction du photo-courant local (qui dépend notamment de l'illumination locale). Dans un cas de fort contraste, les potentiels de deux photodiodes voisines peuvent être très différents et provoquer un fort courant de punchthrough, jusqu'à ce que la différence de potentiel entre les cathodes s'approche de zéro. La figure 2.17 présente les résultats de simulations TCAD représentant l'évolution temporelle du courant de punchthrough entre deux photodiodes D1 et D2 dont les potentiels de départ sont différents. D1 est polarisée à V_{test} durant toute la durée de la simulation, et D2 à 4V. Une fois les diodes polarisées, D2 est laissée flottante à $t=0\text{s}$ en augmentant très fortement sa résistance de charge, comme cela serait le cas dans un pixel durant la phase d'intégration. À noter que nous avons laissé une polarisation constante sur D1 pour maximiser l'effet du punchthrough² et pour s'approcher d'une configuration de test que nous avons intégré à notre prototype (voir section 3.4.2).

Le courant de punchthrough est dans un premier temps assez élevé et décroît rapidement au fur et à mesure que la différence de potentiels entre les photodiodes diminue, avant d'atteindre une valeur relativement constante. En estimant la barrière Φ_b à la location du minimum de potentiel dans le substrat et à différents temps de la simulation, on peut calculer le courant théorique I_{th} en utilisant l'équation 2.18. Ce modèle est ajusté aux courants simulés par TCAD à l'aide de la constante pré-exponentielle A, et montre une tendance très similaires avec les courants simulés. Ceci conforte l'hypothèse d'un courant créé par émission thermoionique dans le substrat.

On peut remarquer que pour une différence de potentiel initiale plus importante, le courant est légèrement plus grand en début d'intégration ($t=0\text{s}$) et reste supérieur par la suite au

2. Si les deux diodes étaient flottantes, le réajustement simultané des deux potentiels limiterait plus rapidement le courant.

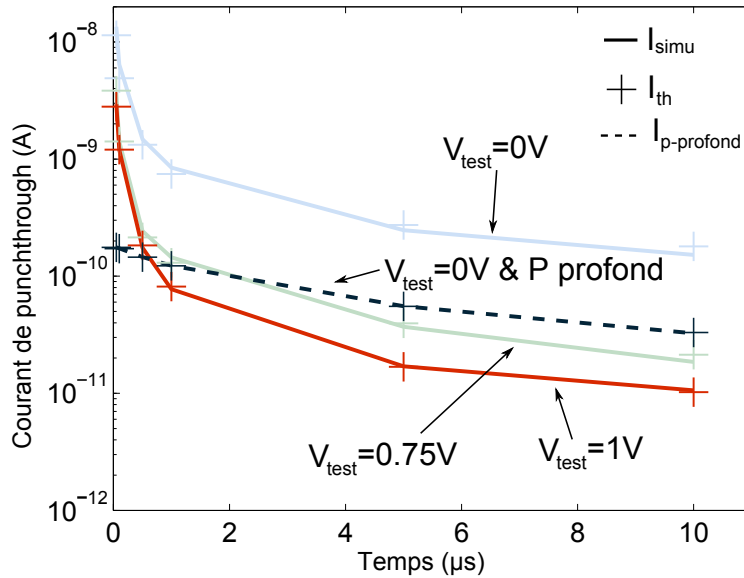


FIGURE 2.17 – Courant de punchthrough entre deux photodiodes, l’une ayant un potentiel flottant initialisé à 4V et le seconde étant polarisée à différentes tensions V_{test} . I_{simu} est le courant calculé à partir de l’estimation de Φ_b (voir eq. 2.18 au minimum de potentiel dans le substrat). I_{th} est le courant calculé par la formule 2.18 et I_{pdeep} est le courant simulé entre deux cathodes isolées par un caisson P profond (explicité plus bas dans ce paragraphe). La diminution du courant provient du réajustement du potentiel flottant dans le temps. Le courant théorique calculé par l’équation (2.18) suit la même évolution dans le temps.

courant créé par une différence de potentiel moindre. Ce phénomène provient directement de la dépendance du courant à la barrière de potentiel minimale entre photodiodes, qui est de plus en plus faible à mesure que V_{test} s’approche de la masse polarisant le substrat via les caissons P. Plus que la différence de potentiel entre les photodiodes, c’est leur potentiel par rapport à celui du substrat qui déterminera la densité de courant de punchthrough, comme déjà précisé dans [Lan09], car la barrière est plus élevée lorsque les potentiels des photodiodes par rapport au substrat sont plus élevés. Par exemple, si la photodiode D1 est à 3V et la photodiode D2 est à 2V, le courant de punchthrough sera plus intense que si D1 était à 5V et D2 à 4V.

Du fait de ces courants, la variation du potentiel de chaque photodiode évoluera différemment dans le temps. Les figures 2.18 montrent cette variation pour une ligne de cinq photodiodes dont la première (D1) est polarisée à V_{test} durant toute l’intégration, et les 4 suivantes (D2 à D5) ont un potentiel flottant initialisé à 4V en début d’intégration ($t=0s$). L’évolution du potentiel causé par le courant de punchthrough est très différent en fonction de la valeur de V_{test} . Pour $V_{test} = 0V$, la barrière de potentiel entre D1 et D2 est faible, et ce jusqu’à ce que D2 atteigne un potentiel proche de 0V. Lorsque la barrière entre D2 et D3 est assez faible, le courant se propage à D3 qui voit son potentiel diminuer. L’effet se propage ainsi jusque D5. Lorsque $V_{test} = 1V$, la barrière entre D1 et D2 est plus élevée, et le courant

2.5. Intégration de matrices en substrat résistif

de punchthrough devient très faible lorsque D2 atteint 2V environ (moment où la barrière de potentiel augmente suffisamment pour diminuer drastiquement I_{pt}). Pour les mêmes raisons, D3 maintient un potentiel plus élevé que D2 (même si celui-ci diminue à cause du courant entre D3 et D2) et D4 n'est que peu impactée par la diminution de potentiel de D3. Dans le cas $V_{test} = 2V$, l'évolution des potentiels est beaucoup plus lente (faible courant) et seul D2 est sensiblement impacté.

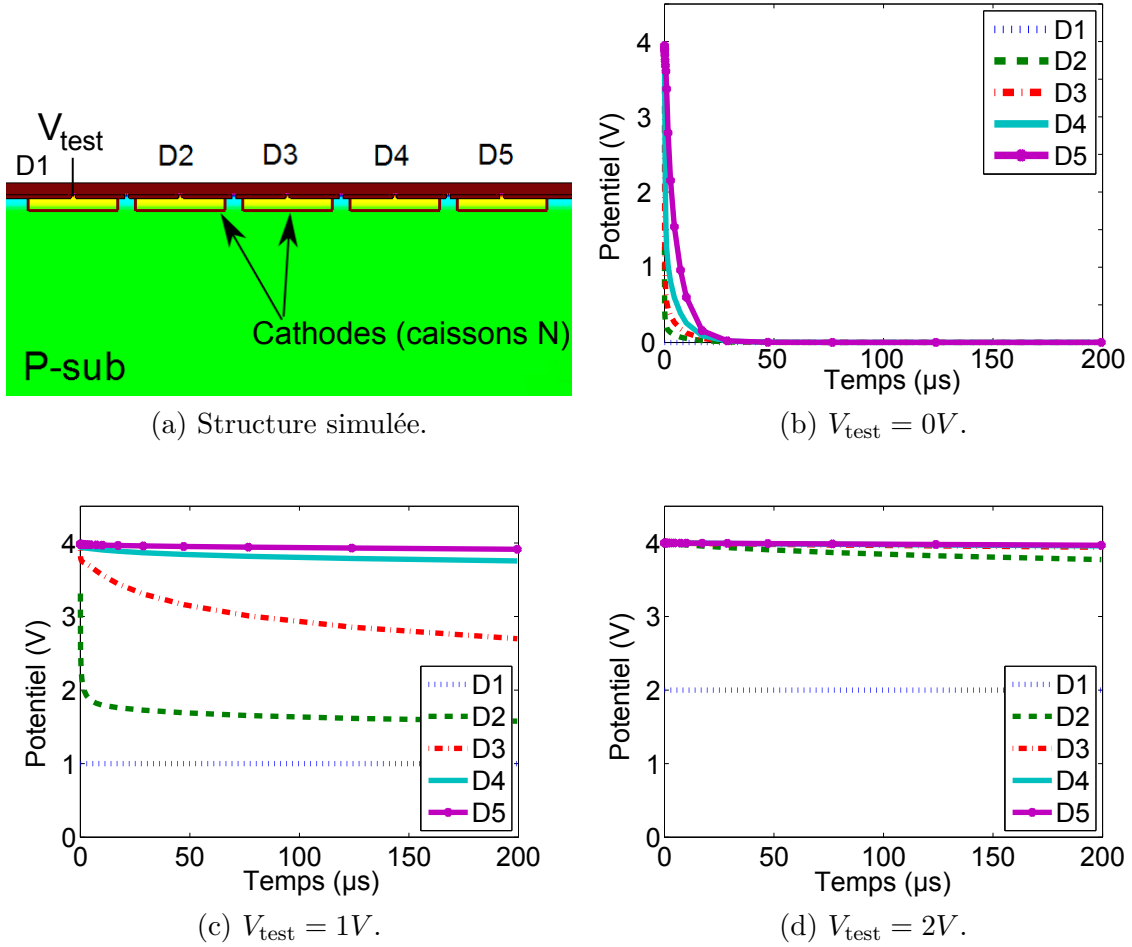


FIGURE 2.18 – Simulation temporelle de la structure décrite en (a) donnant l'évolution du potentiel des cinq photodiodes en fonction de la valeur de V_{test} . Les diodes D2 à D5 sont polarisées à $V_{r0} = 4V$ et sont flottantes pendant la simulation. Le courant est maximal pour $V_{test} - V_{r0} = 4V$ modifiant brutalement l'état des diodes (b). Pour des courants moins élevés, la variation est moins sensible (c) (d).

Cette simulation nous permet d'appréhender l'évolution et la propagation du punchthrough sur une ligne de pixels. Cette propagation est dépendante de la barrière de potentiel entre les deux premières cathode et du temps pendant lequel les diodes sont flottantes. Cette simulation reste néanmoins peu représentative d'une vraie ligne de pixel car elle possède une photodiode (D1) qui reste polarisée à V_{test} durant toute la phase d'intégration. Cela n'est plus

vrai dans un imageur où toutes les photodiodes sont flottantes pendant l'intégration. Dans ce dernier cas, un échange de charges plus ou moins important aura lieu entre photodiode jusqu'à ce que la variation des potentiels des diodes rehausse la barrière de potentiel minimal. Si un punch-through est présent, il sera bien plus problématique sur des images à fort contraste. Lorsque la tension sur une photodiode sera suffisamment faible, les charges collectées par cette photodiodes seront directement emportées sur les photodiodes voisines par le courant de punchthrough. En ce sens, le phénomène s'apparente à un éblouissement du pixel.

Nous présentons pour terminer un moyen technologique disponible dans certaines fonderies pour atténuer le phénomène de punchthrough. Nous avons vu figure 2.16 que le minimum de potentiel se situe à environ $2 \mu m$ sous le P-well. Il est aujourd'hui possible de ré-hausser le potentiel à cet endroit grâce à une implantation de bore à haute énergie (voir figure 2.19). Cette option permettant de créer un caisson P profond a été simulée dans les mêmes conditions que précédemment et les résultats sont visibles en figure 2.17. Pour $V_{test} = 0V$ (qui représente le pire cas), l'ajout de ce caisson profond permet de fortement diminuer le courant par rapport à la simulation similaire sans caisson. Ce caisson augmente donc la barrière de potentiel entre cathode, ce qui signifie qu'il limite l'extension du potentiel de ces cathodes dans le substrat, et donc l'extension de la zone de charge d'espace. Des simulations TCAD (utilisant des profils de dopage analytiques), montrent la diminution de l'extension de la zone dépeuplée, qui peut être assimilée à la restriction du champ électrique comme présenté en figure 2.20. Ce graphique affiche l'intensité du champ électrique au centre de la photodiode polarisée à 3V en fonction de la profondeur. Pour une cathode entourée d'un caisson P profond, le champ électrique est plus intense dans la cathode, mais diminue plus rapidement avec la profondeur que pour une cathode sans P profond, démontrant la limitation de l'extension de ce champ dans le substrat pour des photodiodes avec P profond.

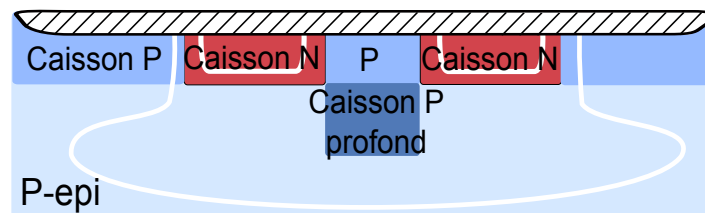


FIGURE 2.19 – Schéma montrant un caisson P profond entre deux caissons N formant les cathodes de deux photodiodes adjacentes.

Nous pouvons conclure de cette partie que le phénomène de punchthrough :

- est dépendant de l'espace entre cathode et de la taille des cathodes.
- est dépendant de la barrière minimale de potentiel entre cathode, et par voie de conséquence de la différence de potentiel entre cathodes, mais aussi de leur potentiel par rapport à la masse.
- se propage de pixel en pixel, en fonction du temps et de la configuration des barrières entre les pixels.

Ce phénomène peut donc être limité :

2.5. Intégration de matrices en substrat résistif

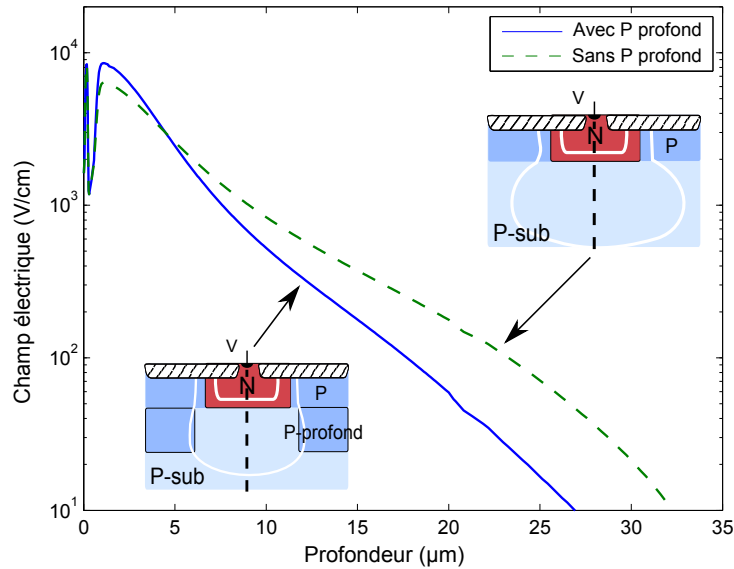


FIGURE 2.20 – Champ électrique simulé en TCAD en fonction de la profondeur sur l'axe centrale de la photodiode polarisée à 3V. Les lignes continue et discontinue représentent le champ électrique avec et sans caisson P profond autour de la cathode respectivement.

- en limitant la distance minimale entre cathodes.
- en limitant la taille des cathodes pour une distance entre cathodes donnée.
- en utilisant une implantation haute énergie de bore entre les cathodes.
- en limitant la tension maximale entre les cathodes.

2.5.2 Couplage capacitif entre pixels

Un couplage capacitif entre les photodiodes a également été répertorié dans des capteurs photonique tel que des hybrides CMOS [Fin+06] ou des photodiodes InGaAs [DJR13]. Lorsqu'un champ électrique est présent entre les photodiodes (ce qui est le cas en condition entièrement dépeuplée), ce type de couplage peut intervenir à travers le substrat bulk. En résumé, lorsque le potentiel d'un pixel totalement dépeuplé varie rapidement dans le temps, il tend à faire varier le potentiel de ses pixels voisins. Il est donc attendu lors de variation rapide du potentiel. Ce phénomène a un impact direct sur la mesure de CVF effectuée sous illumination et basée sur la mesure du bruit Poissonien : la variance du bruit est diminuée et la valeur de CVF est erronée. Des travaux développés par [Moo06] montrent que la réponse impulsionnelle de la matrice de photodiodes peut être calculée à partir du bruit poissonien et permet d'estimer ce couplage. Il peut être important d'estimer le couplage capacitif entre pixels voisins d'une matrice pour s'assurer des valeurs de CVF mesurées.

2.6 Polarisation inverse des éléments photosensibles par polarisation du substrat

2.6.1 Polarisation du substrat

Même si les technologies utilisées dans l'imagerie CMOS offrent désormais des spécificités dédiées pour ce domaine (par exemple les procédés CIS pour CMOS Image Sensor, l'amincissement et la passivation pour l'illumination par face arrière), la plupart de leurs caractéristiques sont celles de procédés CMOS standards. En particulier, la tension applicable sur la photodiode est limitée par celle proposée pour les fonctions analogiques CMOS, qui est généralement inférieure ou égale à 3,3V. Il est ainsi difficile d'accroître le volume de la ZCE d'un pixel par l'augmentation de la tension sur les jonctions PN. Une possibilité serait néanmoins d'utiliser un contact unique placé en face arrière, polarisant l'ensemble du substrat. Il serait alors possible d'opérer les MOSs en surface et les cathodes à la tension imposée par la technologie, tout en augmentant la tension sur les photodiodes, à condition que les transistors soient isolés du potentiel du substrat (en particulier les NMOSs dont les caissons P sont usuellement directement connectés au substrat). Nous étudions ici des solutions envisageables et leurs conséquences.

2.6.2 Isolation par déplétion

L'application d'un potentiel en face arrière d'un substrat tout en maintenant la polarisation à 0V des caissons P en face avant produit un large courant de trous à travers le substrat. Il est nécessaire pour supprimer ce courant de créer une barrière de potentiel entre ces contacts avant et arrière. La formation de cette barrière peut être réalisée par une implantation N, solution que nous étudierons plus tard, ou en augmentant le potentiel électrostatique sous le contact P de surface par une polarisation adéquate des caissons P et des cathodes N des photodiodes.

Cette dernière solution est équivalente à la définition du transistor à induction statique (ou SIT pour Static Induction Transistor) qui est un type de transistor JFET développé dans les années 70 et utilisé dans des applications très spécifiques telles que des applications audio haut de gamme. Ce transistor est schématisé figure 2.21 où la grille est composée des deux implantations P. Si nous inversons les dopages de cette figure, nous pouvons former un SIT dont la grille serait formée par une cathode N entourant la source formée par le caisson P, le drain étant formé par le contact arrière.

Le courant circulant dans le substrat est dépendant de l'état du potentiel électrostatique situé sous les caissons P entre les photodiodes (volume qui est dans ce cas entièrement dépeuplé). Pour de faibles valeurs, le courant dépend exponentiellement des tensions entre drain et source et entre grille et source [SS91]. La courbe représentée figure 2.22 montre la dépendance du courant simulé en TCAD passant par le contact arrière en fonction de sa polarisation. Pour des espacements de 3 μm et moins, on peut voir qu'il est possible d'appliquer jusqu'à

2.6. Polarisation inverse des éléments photosensibles par polarisation du substrat

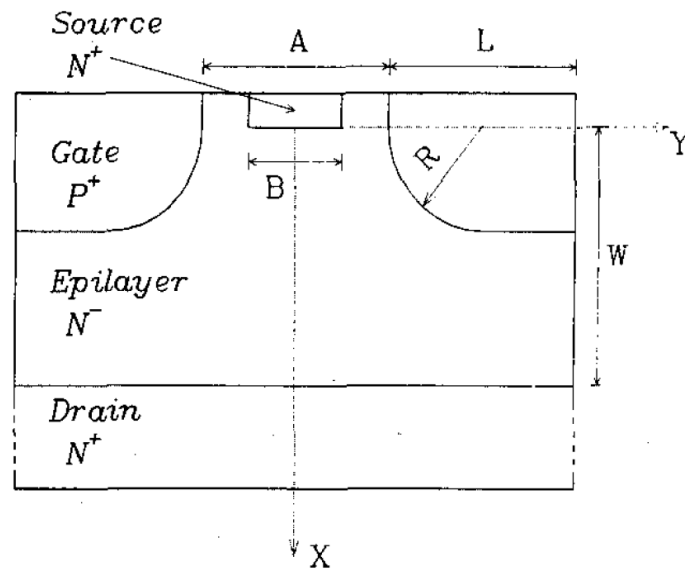


FIGURE 2.21 – Schéma d'un SIT d'après [SS91].

-5V sans augmenter sensiblement le courant de fuite. Une certaine isolation est donc présente grâce à ce type de configuration.

Néanmoins le niveau d'isolation peut se réduire sous certaines conditions. En particulier, lors de l'injection de porteurs par une source externe à la structure (par une illumination assez forte ou par le passage d'une particule ionisante), le potentiel sous les caissons varie à cause de la recharge des photodiodes (l'extension des ZCEs diminue) et en raison de la variation du potentiel causée localement par les charges elles-mêmes. Les simulations montrent que même pour les espacements de photodiodes les plus faibles ($1.5 \mu m$) l'isolation est dégradée sous illumination. Pour ces raisons, il semble compromis d'utiliser ce type de méthode pour l'imagerie.

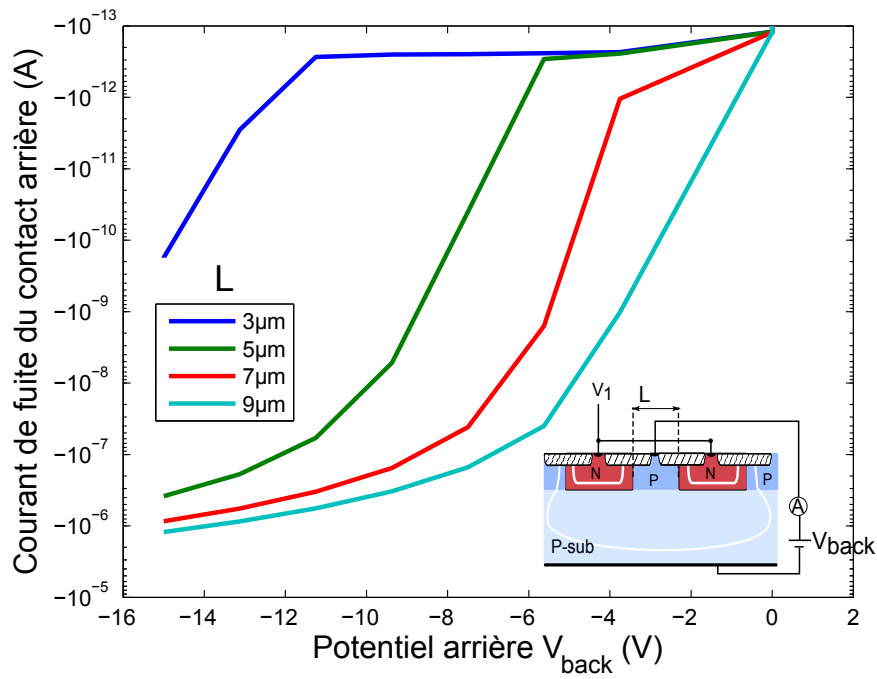


FIGURE 2.22 – Courant de fuite d’un SIT en fonction de sa polarisation et de divers espacement entre les cathodes. Pour de faibles espacements, une isolation entre les faces avant et arrière est maintenue.

2.6. Polarisation inverse des éléments photosensibles par polarisation du substrat

2.6.3 Impact sur le punch-through

Nous avons montré dans la section sur le punchthrough que le courant circulant entre photodiodes est dépendant de la barrière de potentiel minimale entre les cathodes. Cette barrière est dépendante du niveau de polarisation des cathodes par rapport à la polarisation du substrat. Diminuer le potentiel du substrat devrait donc diminuer le courant de punchthrough. Des simulations TCAD d'étude du punchthrough ont été menées en intégrant un contact en face arrière permettant d'appliquer un potentiel V_{back} au substrat (le caisson en surface reste néanmoins polarisés à 0V). La figure 2.23 montre l'évolution du courant circulant dans la diode D1 de la figure 2.18a pour une tension V_{test} fixée et proche de zéro. La courbe verte représente le courant lorsque le potentiel du substrat est à 0V (cas étudié précédemment). La courbe rouge montre le courant circulant dans une simulation similaire correspondant à un substrat polarisé à la tension $V_{\text{back}} = -7.5V$. Le courant est alors réduit d'un ordre de grandeur par rapport à la polarisation initialement considérée.

Le courant théorique représenté par les croix a été calculé à l'aide de l'équation (2.18) et ajusté aux simulations. La bonne correspondance montre une fois de plus que le phénomène est dépendant de la barrière de potentiel Φ_b entre cathodes, et que celle-ci augmente avec la tension qui leur est appliquée par rapport au substrat.

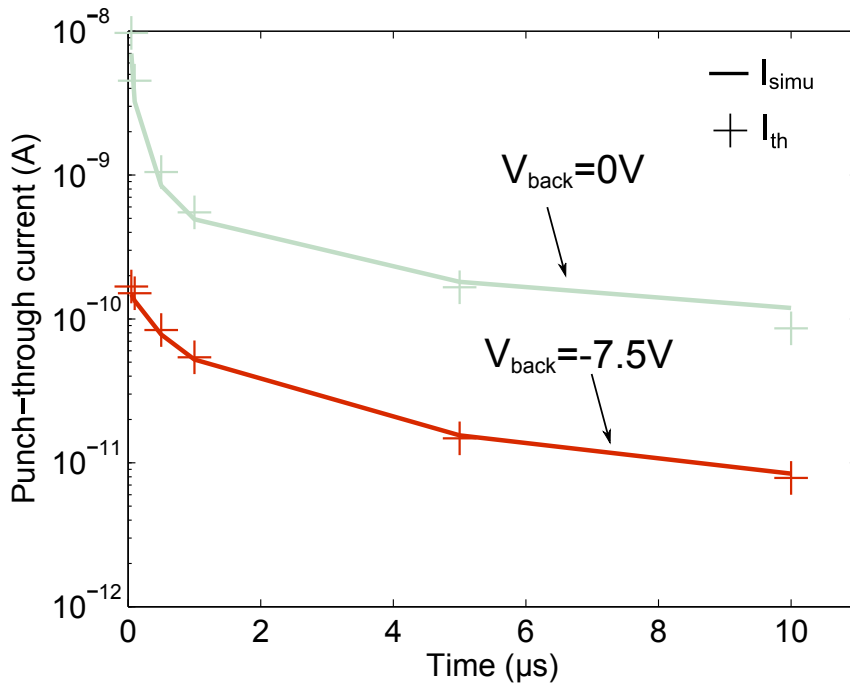


FIGURE 2.23 – En référence à la figure 2.18a, courant de punchthrough en D1 en fonction du temps pour deux potentiels en face arrière. Les lignes solides représentent le courant simulé, et les marqueurs en croix le courant théorique ajusté.

L'augmentation de la tension sur les photodiodes par le biais d'une polarisation en face arrière permet de limiter davantage les conséquences du punchthrough. Malheureusement, nous

avons également vu dans la partie précédente que l'isolation par la seule zone dépeuplée est insuffisante pour notre application. Une solution alterne basée sur une implantation profonde a été présentée dans d'autres travaux, nous l'étudierons dans la partie suivante.

2.6.4 Photodiode à caisson N profond

Une implantation N profonde a été utilisée pour permettre l'utilisation de transistors NMOS en pixel tout en polarisant le substrat à un potentiel autre que celui des caissons abritant les NMOS. Elle consiste à entourer les caissons P contenant ces transistors de caissons N et d'un caisson N profond [Jan]. Ainsi, le caisson P contenant ces transistors est complètement isolé du substrat P, qui peut alors être polarisé à une tension négative par un contact face avant ou face arrière. Un tel pixel est représenté figure 2.24.

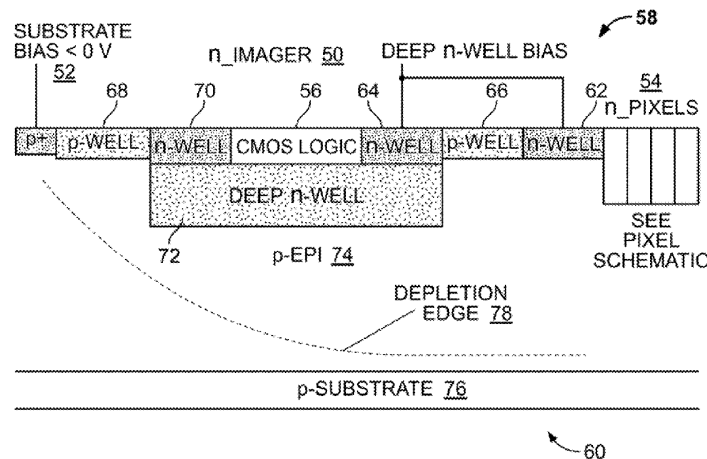


FIGURE 2.24 – Concept de photodiode à caisson N profond d'après [Jan]

Si nous reprenons le modèle capacitif utilisé dans le paragraphe 2.4.3.1 pour estimer la capacité d'une photodiode, on constate que l'utilisation de cette solution augmente considérablement la surface de la jonction métallurgique entre le caisson P des transistors et l'ensemble des caissons N formant la photodiode, augmentant d'autant la capacité du nœud de collection. De plus la taille minimale du caisson P est en partie déterminée par le placement des transistors à l'intérieur. Pour un pixel 3T et un nœud technologique d'environ $0.180 \mu m$, l'aire minimale nécessaire serait d'environ $3 \times 4 \mu m^2$. Cette solution limite donc la conception et la capacité minimale des photodiodes. Pour un tel pixel, le gain qui dépend de la capacité de la photodiode serait limitée. Pour s'affranchir de cette dépendance, il est possible d'utiliser un préamplificateur de charge intra-pixel [Riz07]. Cette solution nous éloigne néanmoins de notre objectif qui reste l'utilisation de pixels 3T.

En conclusion, l'application d'un potentiel négatif au substrat permettrait d'augmenter le volume dépeuplé mais de conserver une barrière de potentiel entre les cathodes, limitant le courant de punchthrough. Pour un pixel 3T, cette polarisation requiert l'utilisation d'implantation de type N de haute énergie afin d'isoler les caissons P abritant les NMOS. Cette

2.6. Polarisation inverse des éléments photosensibles par polarisation du substrat

solution contraint la conception de tels pixels. La solution alternative de l'isolation par zone dépeuplée est compromise pour notre application.

2.7 Impacts des radiations

Nous étudierons dans cette partie l'impact que peuvent avoir les radiations sur un imageur fabriqué sur un substrat résistif.

2.7.1 Impact des radiations sur le substrat

Le substrat est uniquement impacté par la dose de déplacement. Nous avons vu dans la section 1.5.2 que cette dose de déplacement produit entre autre une augmentation de la recombinaison des porteurs libres, un piégeage temporaire des charges et une variation de la concentration en porteurs.

Concernant la recombinaison, l'équipe dirigée par W. Dulinski a mesuré une diminution de la collection de charges dans les premiers capteurs de la série MIMOSA [Dev+03] lors d'une irradiation aux neutrons. L'étude menée sur différentes variations géométriques conclut que la diminution du temps de vie des porteurs peut effectivement être la cause de diminution de l'efficacité de collection [Dev+07]. Pour ces raisons, le pas du pixel est un paramètre important dans la détection des particules afin de limiter la perte des charges par diffusion [Doe+13]. Une diminution de la collection a également été rapportée pour un capteur CIS, mais pour une dose de déplacement très importante. Le changement apparent de dopage pourrait dans ce cas expliquer le phénomène [Vir+12a].

2.7.2 Effets des radiations dans le pixel

2.7.2.1 Augmentation du signal d'obscurité

Dans un imageur à pixels 3T, les principales sources de courant d'obscurité sont les centres de génération SRH dans la zone dépeuplée de la photodiode. Ces centres peuvent être situés dans le silicium ou aux interfaces silicium-oxyde. L'évolution du courant d'obscurité due aux radiations sera donc dépendant du type de dommage généré par l'interaction rayonnement-matière. La dose ionisante provoquera une augmentation du courant d'obscurité en surface (à l'interface avec l'oxyde) alors que la dose de déplacement induira des défauts dans le substrat qui peuvent générer un courant d'obscurité s'ils sont situés dans une zone dépeuplée.

Concernant la dose de déplacement D_d , le facteur universel de Srour : K_{dark} (ou UDF pour Universal Dammage Factor) permet de directement relier l'augmentation du courant d'obscurité à la dose de déplacement reçue par le capteur pour des particules dont le NIEL dépasse $10^{-4} MeV cm^2/g$ [SL00]. Sa valeur est d'environ $1.9 \times 10^5 porteurs/cm^3 \cdot sec$ par MeV/g . L'augmentation du courant d'obscurité est alors définie par :

$$\Delta I_{dark} = K_{dark} \cdot V_{dep} \cdot D_d \quad (2.19)$$

2.7. Impacts des radiations

V_{dep} est ici le volume dépeuplé dans le silicium. Pour des particules au NIEL assez élevé, l'augmentation du courant d'obscurité est principalement dépendant des clusters générés dans le silicium. Le K_{dark} ne semble pas être dépendant du type de dopage et de la résistivité du matériau. Pour un substrat résistif, l'augmentation du signal d'obscurité moyen de génération due à la dose de déplacement sera donc plus importante du fait du volume dépeuplé plus important.

En réalité, la création des défauts dans le silicium n'est pas uniforme spatialement, générant une non uniformité du courant d'obscurité dans la matrice. La distribution de l'augmentation du courant d'obscurité induit par la dose de déplacement a été modélisée empiriquement [Vir+12b] et montre un comportement similaire entre plusieurs technologies et particules incidentes (protons-neutrons) résumé par la loi exponentielle :

$$f(\Delta I_{dark}) = \frac{1}{\nu_{dark}} \cdot \exp\left(-\frac{\Delta I_{dark}}{\nu_{dark}}\right) \quad (2.20)$$

ν_{dark} est une constante pour toutes les données expérimentales et est lié au facteur de Srour. Cette équation représente la distribution de l'augmentation du courant d'obscurité lorsqu'au maximum une seule interaction rayonnement-matière a eu lieu par pixel. Pour prendre en compte plusieurs interactions par pixel, l'étude introduit une loi de Poisson :

$$f(N_q, \mu) = \frac{\mu^{N_q} \cdot \exp(-\mu)}{N_q!} \quad (2.21)$$

où N_q est le nombre de défauts par pixels et μ est le nombre moyen de ces défauts. Il convient alors de trouver la relation entre μ et le volume dépeuplé pour pouvoir prédire l'évolution de la distribution de l'augmentation du courant d'obscurité dans les pixels réalisés sur substrats fortement résistifs. Ce facteur a été défini en l'ajustant aux résultats expérimentaux pour plusieurs technologies et particules et est donné par :

$$\mu = \gamma_{dark} \cdot V_{dep} \cdot Dd \quad (2.22)$$

avec $\gamma_{dark} = 3.3 \times 10^4 \mu m^{-3} \cdot (TeV/g)^{-1}$. Ce facteur permet de relier l'impact de l'extension de la zone dépeuplée à la distribution de l'augmentation du courant d'obscurité sur l'imageur. Ce facteur étant également dépendant du facteur de Srour, il ne devrait pas varier avec la résistivité. Le facteur μ est ainsi dépendant de la résistivité du silicium uniquement du fait du paramètre V_{dep} . Pour une même condition de polarisation, V_{dep} augmente avec la résistivité du silicium, et μ suit la même évolution, modifiant la distribution décrite par l'équation 2.21.

Comme nous pouvons le voir figure 2.25, l'augmentation du volume dépeuplé, et donc de μ , augmente la valeur moyenne du signal d'obscurité ainsi que la valeur maximale du signal d'obscurité.

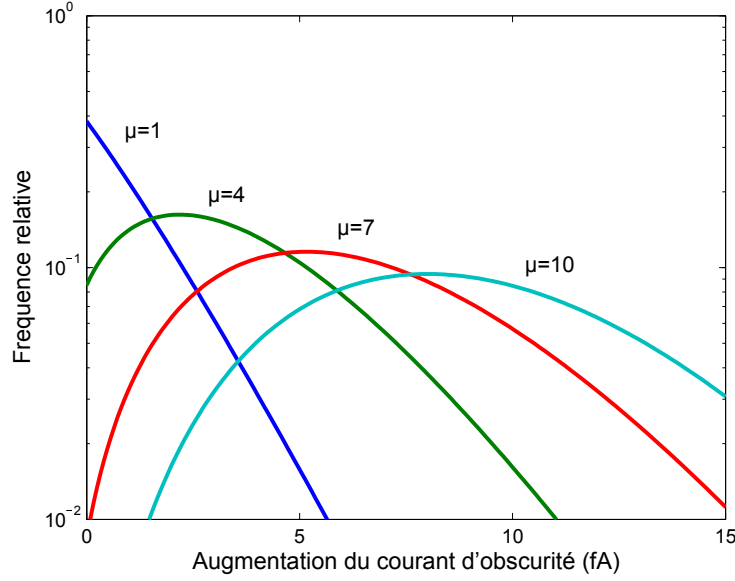


FIGURE 2.25 – Distribution de l’augmentation du courant d’obscurité pour différentes valeurs de μ , dépendant du volume dépeuplé.

2.7.2.2 Bruit RTS

Les défauts créés par les radiations ont également un impact sur le bruit RTS. Ils augmentent d’une part l’amplitude maximale du bruit RTS et d’autre part le nombre de pixels impactés par ce type de signal. Tout comme pour l’augmentation du courant d’obscurité, il est donc pertinent d’étudier la distribution de ce bruit sur le nombre maximal de pixels de l’imageur. Concernant les centres générés par la dose de déplacement, un modèle basé sur une loi exponentielle permet de décrire la distribution de l’amplitude maximale du signal sur les pixels [Vir+13]. La densité de probabilité de cette loi est décrite par le paramètre $A_{RTS} \approx 1200e - /s$ et par un facteur $K_{RTS} \approx 30 - 35 \text{ centres } /cm^3 \cdot (MeV/g)^{-1}$ à température ambiante. Ces deux grandeurs semblent toutes deux indépendantes de la technologie ou du type de particule utilisée. La fonction représentant la distribution est donnée par :

$$F(k) = \frac{B \cdot N_{pix} \cdot V_{dep} \cdot Dd \cdot K_{RTS}}{A_{RTS}} \exp\left(-\frac{k \cdot B}{A_{RTS}}\right), \quad k \in N \quad (2.23)$$

N_{pix} est le nombre de pixels dans la matrice, B est l’intervalle de regroupement des pixels (en $e - /s$). Le facteur $V_{dep} \cdot Dd \cdot K_{RTS}$ donne le rapport du nombre de pixels affectés par le signal RTS sur l’ensemble de la matrice. La figure 2.26 représente la distribution donnée par l’équation 2.23 pour différents dopages de substrat. On constate que l’augmentation de V_{dep} (générée par la réduction du dopage du substrat) provoque un accroissement du nombre de pixels impactés pour une dose donnée, mais également une augmentation de l’amplitude maximale du signal RTS.

2.7. Impacts des radiations

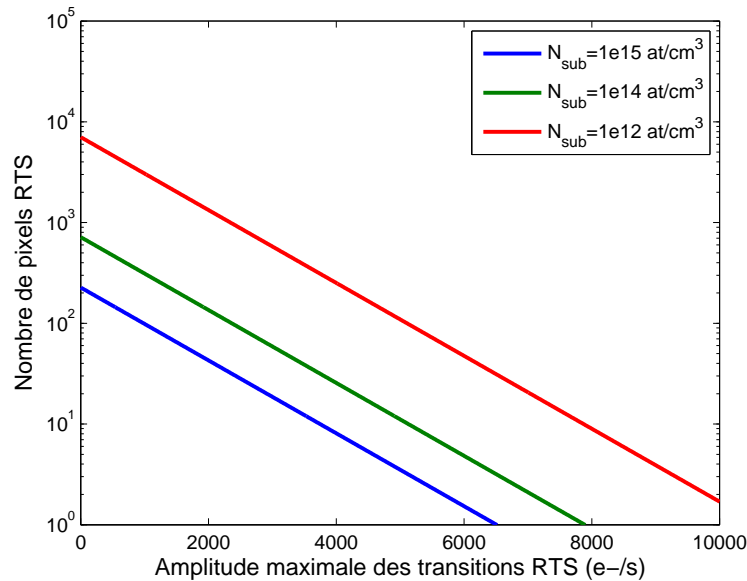


FIGURE 2.26 – Distribution de l’amplitude maximale du signal RTS pour une dose de 1 PeV/g sur des photodiodes de 7 μm pour 3 dopages différents du substrat.

La dose ionisante produit également des centres RTS à l’interface STI/silicium dont la distribution peut être représentée par une exponentielle [Goi+11]. Si l’amplitude du signal RTS généré par la TID reste plus faible que celle produite par la dose de déplacement, le nombre des pixels impactés augmente rapidement avec la dose reçue, et est déjà appréciable pour de faibles doses. La formation de ces défauts RTS est également dépendante du type d’oxyde d’isolation utilisé [Goi+11]; [Vir+13]. Le STI semble par exemple plus sensible à la formation de ce type de défauts que l’oxyde de surface correspondant au premier oxyde de métallisation (PMD). Reculer le STI du pourtour de la photodiode pourrait donc limiter l’augmentation du signal RTS due aux radiations.

2.7.2.3 MOSFETs

A l’échelle d’un pixel 3T, ne contenant que des NMOS, les risques et dégradations liées aux radiations proviennent principalement de la dose ionisante générant des défauts dans les oxydes. La hausse de résistivité du substrat ne devrait donc pas modifier la variation du comportement des MOSFETs générée par ce type de défauts.

2.7.3 Single Event Latchup

La densification des circuits intégrés et la diminution de la taille des transistors a fortement augmenté la probabilité d’apparition d’événements singuliers tels que le Single Event Latchup (SEL). Lorsqu’un NMOS et un PMOS sont intégrés dans des caissons adjacents, il se forme

un thyristor pnpn parasite représenté figure 2.27. Cette structure peut se décomposer en un transistor bipolaire PNP et un NPN dont le collecteur de l'un est également la base de l'autre, et vice et versa. Lorsque les conditions de déclenchement d'un SEL sont réunies, un large courant peut passer et être auto-entretenu tant que les MOS sont polarisés. Ce phénomène peut entraîner une perte de fonctionnalité du circuit mais aussi une destruction thermique du composant si le courant est important.

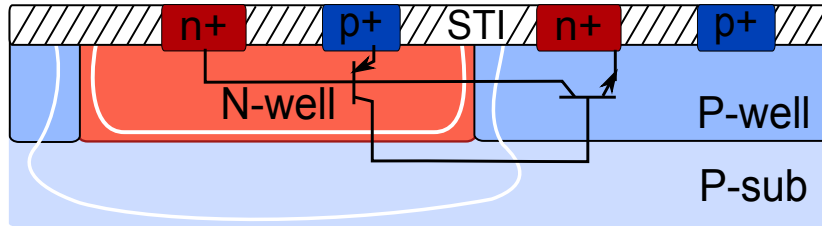


FIGURE 2.27 – Représentation schématique de la structure parasite se formant entre un NMOS et un PMOS, et pouvant déclencher un SEL.

Le latchup peut être déclenché par un événement interne au circuit, mais également par un événement externe tel que le déchargement d'un câble lors de son branchement, le passage d'une particule alpha ou d'un ion lourd générant des charges dans le silicium [Mor+93] ; [Vol07]. Dans de tels cas d'injection de porteurs, l'utilisation de substrats plus résistifs accroît la sensibilité au latchup [Vol05]. L'augmentation de l'épaisseur de la couche d'épitaxie accroît d'autant plus cette sensibilité [LaB+95]. Des déclenchements de latchup dans des imageurs ont déjà été rapportés et localisés dans les circuits périphériques de l'imageur, contenant des agencements assez denses de NMOS et PMOS (décodeurs par exemple) [Lal13]. Les fonctions logiques des imageurs sont généralement générées à partir d'outils de synthèse et de bibliothèques standards et aucune règle de conception et de placement/routage n'est appliquée pour limiter la sensibilité aux SELs. Comme nous souhaitons augmenter le volume de silicium résistif de l'imageur afin d'augmenter ses performances, l'augmentation de sa sensibilité au latchup doit être étudié.

Le phénomène de déclenchement du latchup est relativement complexe. Lors du passage d'une particule ionisante (qui est le cas qui nous intéresse pour les applications spatiales), les deux types de porteurs (électrons et trous) sont impliqués dans ce phénomène. Dans un premier temps, les électrons générés dans la zone P diffusent vers le caisson N et créent un courant de base pour le transistor PNP [Vol05]. Les trous restants dans le substrat contribuent à modifier localement le potentiel. Les trous générés dans le N-well diffusent vers la jonction métallurgique et peuvent servir de courant de base au transistor NPN. Les électrons restants modifient le potentiel dans le N-well. Comme nous l'avons évoqué plus haut, le déclenchement du latchup dépend de la résistivité, et les substrats epitaxiés étaient utilisés pour abaisser la sensibilité au latchup en ajoutant un substrat fortement dopé sous la couche d'épitaxie. Le passage à des substrats résistifs pourrait au contraire accroître cette sensibilité. Le déclenchement est également dépendant de l'énergie déposée par la particule (son LET en $keV.cm^2/mg$), du point d'impact et de la géométrie de la structure (dopage et dimensions).

Plusieurs études sur substrat résistif ont par ailleurs montré une diminution de la sensi-

2.7. Impacts des radiations

bilité au latchup en ajoutant une implantation profonde sous les caissons (similaire à celle pouvant être utilisée pour réduire le courant de punchthrough, voir section 2.5.1) [Ohg+00]; [Mom+09]. Cette implantation peut être de type N ou P et de bons résultats ont récemment été obtenus pour une implantation profonde N sur substrat P [Dod+12]. Néanmoins, l'utilisation d'une implantation de type N pour un capteur d'image sur substrat P risque de concurrencer la collection des charges des photodiodes. Cette solution est donc à éviter en pixel. Elle pourrait néanmoins être utilisée pour les circuits périphériques qui sont très généralement les plus sensibles au latchup dans un imageur CMOS pour les raisons évoquées un peu plus haut dans ce paragraphe.

Nous avons simulé à l'aide de TCAD l'impact d'un ion lourd sur une structure simple telle que celle proposée par [Iee]. Elle est composée d'un caisson N et d'un caisson P tous deux polarisés par un contact. Ils possèdent en plus un contact de dopage opposé proche de la jonction entre les caissons. Les dimensions à cet endroit sont les dimensions minimales accessibles par la filière CMOS sélectionnée. L'ion lourd impacte perpendiculairement le silicium à la jonction entre caissons, qui est la zone la plus sensible [Roc+95]. Les résultats des simulations TCAD pour la structure 2.27, dans le cas d'un substrat avec un dopage conventionnel et un très faible dopage sont présentés tableau 2.2. Les mêmes simulations sont par ailleurs réalisées pour un caisson P profond sous l'ensemble des caissons. On constate que l'ajout de ce caisson permet de retrouver un comportement similaire à celui du silicium dopé à $10^{15}/cm^3$, mais pour un silicium très résistif ($10^{12}/cm^3$).

TABLE 2.2 – Résultats TCAD du déclenchement de latchup pour une structure simple conçue en utilisant les dimensions minimales.

Dopage substrat (at/cm^3)	LET déclencheur ($keV.cm^2/mg$)	
	Sans caisson P profond	Avec caisson P profond
$1e15$	140	1000
$1e12$	60	150

Les valeurs de LET évaluées par simulations ne sont pas à considérer comme étant absolues. Les simulations étant menées en 2 dimensions uniquement, l'impact de l'ionisation est plus important et les seuils de LET sont probablement sous-évalués.

Nous avons vu dans cette section que l'utilisation de substrat résistif peut limiter la résistance aux radiations via plusieurs phénomènes. La croissance du volume dépeuplé avec la résistivité du substrat favorise l'augmentation du courant d'obscurité et l'apparition de pixel de type RTS. Par ailleurs, l'augmentation de la sensibilité au latchup est avérée mais semble pouvoir être contrebalancée par l'utilisation de caissons profonds.

2.8 Conception d'un véhicule de test

Ce chapitre, permet de souligner des points spécifiques à étudier pour l'intégration d'un imageur sur un substrat résistif. Nous avons conçu, en se basant sur les résultats de cette étude, un véhicule de test comportant différentes structures isolées, ainsi qu'un imageur composé d'une matrice de pixels, de décodeurs lignes et colonnes et d'une chaîne de lecture. Cet ensemble forme un prototype similaire à la figure 1.7. Nous décrirons brièvement ici les structures et pixels nous permettant d'adresser les problématiques soulevées dans ce chapitre. L'annexe B présente plus en détails ce véhicule de test.

Ne pouvant utiliser de technologies permettant de polariser négativement le substrat, l'extension des zones dépeuplées sera principalement dépendante du dopage du silicium, et de la géométrie du pixel. Afin de limiter la photo-génération sous les zones dépeuplées, l'idéal est d'utiliser un substrat fortement dopé avec une épitaxie très peu dopée déposée en surface. Les contraintes industrielles ne nous ont pas permis d'accéder à ce type de substrat, mais uniquement à des substrats float-zone. La totalité des structures utilisées dans cette étude sont donc intégrées sur ce type de substrat, très peu dopé en bore ($N_a \approx 10^{12} \text{at/cm}^3$) et de plusieurs centaines de microns d'épaisseur. Le fondeur utilise un procédé CMOS offrant des tensions analogiques de 5V permettant d'accroître le volume dépeuplé par rapport à des procédés plus usuel, limité à 3.3V.

Seul l'imageur est mis en boîtier, afin de le connecter à une carte de proximité. A l'inverse, les structures seront directement connectées via des pads métalliques à une station de test sous pointes afin de les caractériser.

2.8.1 Transistors

Même si la formation des caissons contenant les transistors ne devrait pas être impactée par le faible dopage du substrat, nous souhaitons vérifier les caractéristiques des transistors NMOS et PMOS seuls. Trois variations géométriques de grille sont présentes pour chaque type de transistors : largeur et longueur minimales, longueur minimale et largeur importante, longueur et largeur importantes, afin de comparer les comportements des transistors avec les modèles du fondeur pour des cas variés.

La technologie utilisant un caisson P profond sous les caissons des transistors, nous avons décliné chaque variation de MOS avec et sans P profond afin d'évaluer l'impact et la nécessité de cette implantation sur les caractéristiques des transistors.

2.8.2 Diodes PN

Plusieurs types de diodes PN sont intégrées dans différents buts. Des diodes de grandes tailles (supérieure à la centaine de microns) avec différents ratio périmètre / surface seront utilisées pour estimer les termes de capacité périmétrique et surfacique, afin de donner une

2.8. Conception d'un véhicule de test

estimation du profil de dopage par la méthode de la capacité différentielle. Ceci permettra également d'estimer la profondeur dépeuplée par de grandes diodes, et l'homogénéité du dopage.

De plus petites diodes similaires à celles intégrées dans les pixels sont également présentes afin de vérifier les variations de la capacité du nœud de collection, et par conséquent celles du facteur de conversion, mesurées avec les pixels de l'imageur. Afin de pouvoir mesurer la capacité des photodiodes qui est de l'ordre du femto-farad, 400 diodes du même type sont connectées en parallèle par un rail métallique. Ce rail métallique est également dessiné seul pour pouvoir mesurer et ôter sa capacité parasite à la mesure de la capacité des photodiodes.

2.8.3 Diodes d'étude du punchthrough

L'étude du punchthrough requiert des paires de photodiodes afin de mesurer les courants circulant entre les cathodes. Nous souhaitons avec ces structures montrer la présence ou non de ce courant, sa dépendance aux variations géométriques de la photodiode et à la présence du caisson P profond. Nous avons donc conçu plusieurs paires de photodiodes avec différents espacements, longueurs de cathode, avec et sans caisson P profond.

2.8.4 Imageurs CMOS 3T

En complément des structures de test destinées à être caractérisées sous pointes, un imageur complet est dessiné sur le véhicule de test. Nous souhaitons avec celui-ci déterminer les contraintes imposées par l'utilisation d'un substrat peu dopé sur la géométrie des pixels, et son impact sur les performances. Plus particulièrement, la dépendance de l'extension de la zone dépeuplée avec la géométrie du pixel sera étudiée, en intégrant de multiples variations de pixels (variations de la taille de cathode et de l'implantation de caisson P profond), et deux pas de pixels différents ($10\ \mu m$ et $20\ \mu m$) dans plusieurs sous-matrices. L'ensemble de ces sous-matrices constitue la matrice complète de l'imageur.

Afin d'étudier l'extension de la zone dépeuplée en fonction de la géométrie des pixels (pas du pixel, taille de cathode et présence du caisson P profond), nous utiliserons les courants de punchthrough circulant entre les pixels de l'imageur. Ces courants sont directement dépendant de l'extension de la zone dépeuplée des photodiodes, et leur impact sur la réponse des pixels sera utilisé comme un outil de comparaison entre les variations de pixels. Pour cela, des pixels spécifiques (appelés 'pixels test') dont la tension sur la cathode est contrôlée par une source externe sont intégrés au sein de plusieurs sous-matrices de pixels. L'étude de la réponse de leurs proches voisins donne une indication sur le courant circulant entre les pixels, et donc sur l'extension des zones dépeuplées dans ces sous-matrices.

Dans les pixels de $10\ \mu m$, quatre tailles de cathode carrée (1.5 , 3 , 5 et $7.5\ \mu m$) sont utilisées dans des pixels avec P profond autour de la cathode et trois tailles (1.5 , 3 , $5\ \mu m$) sont présentes dans des pixels avec P profond uniquement sous les circuits du pixel (ces pixels

sont par la suite nommés "pixels sans P profond"). Les pixels de pas $20\ \mu\text{m}$ possèdent 6 tailles différentes avec P profond ($5, 7.5, 10, 13, 15, 17\ \mu\text{m}$) et 5 pour les pixels sans P profond ($5, 7.5, 10, 13, 15\ \mu\text{m}$). Ces pixels nous permettront d'étudier la dépendance des performances électro-optiques à la conception du pixel, en particulier du fait de l'extension plus ou moins importante du volume dépeuplé dans le pixel. En particulier, la comparaison des pixels de pas 10 et $20\ \mu\text{m}$ permettra d'isoler les paramètres de distance entre cathode et de taille de cathode pour l'étude des courants de punchthrough entre pixels.

Nous étudierons également les performances de l'imager à travers sa caractérisation électro-optique (CVF, QE, diaphonie, FTM). Certaines variations de pixels permettent d'étudier l'impact du recul du caisson P sur le CVF. Quatre variations d'espacement (entre 0.6 et $2\ \mu\text{m}$) ont été choisies permettant de suivre l'évolution du recul de l'implantation avec celui du CVF du pixel.

La diaphonie et la fonction de transfert de modulation seront déterminées à l'aide de masques métalliques formés par des niveaux de métal pendant le procédé de fabrication.

2.9 Conclusion

Dans ce chapitre, nous avons effectué une revue des moyens technologiques afin d'augmenter les ZCEs de pixels en matrice. Compte tenu des tensions CMOS disponibles et de la difficulté à polariser le substrat autrement qu'à la masse, l'utilisation de silicium fortement résistif est nécessaire. En fonction du substrat et du type d'illumination (face avant ou arrière), des procédés d'amincissement et passivation devraient être requis afin d'améliorer la collection des charges et limiter le courant d'obscurité.

L'extension de la zone dépeuplée est dépendante de la géométrie des pixels et notamment de la taille de cathode du fait d'un effet 3D marqué. Le volume dépeuplé est de forme ellipsoïdale dans le substrat. Pour cette raison, la profondeur maximale dépeuplée n'est pas bien estimée par la solution de l'équation de Poisson en une dimension. Néanmoins, dans une matrice de pixels, la mutualisation des zones dépeuplées provoque l'augmentation de la profondeur maximale dépeuplée. La déplétion est donc moins profonde que celle estimée par un modèle 1D, mais plus profonde que celle donnée par le modèle d'ellipsoïde.

Un phénomène de punchthrough est présent lorsque la barrière de potentiel minimale entre cathodes est trop faible. Cette barrière dépend de la tension appliquée sur les photodiodes adjacentes. Lorsqu'un courant (comme un photo-courant) recharge la capacité d'une photodiode et que celle-ci atteint un potentiel assez faible pour provoquer le phénomène, le courant de punchthrough impact alors le potentiel des cathodes voisines. Ceci se traduit par une répartition entre pixels des charges représentant l'information de la scène observée.

Ce problème peut être limité en ajustant la taille et l'espacement entre photodiodes, en utilisant une implantation profonde de bore entre les photodiodes ou une polarisation adéquate du substrat par rapport aux photodiodes. Ces solutions potentielles ne sont pas

2.9. Conclusion

sans inconvénients, tels que : des contraintes sur le pas du pixel, sur la taille des photodiodes et donc sur la capacité du nœud de collection, l'accès à une fonderie offrant une implantation profonde ou encore une contrainte de polarisation du substrat qui nécessite l'isolation des caissons P. Néanmoins, la barrière de potentiel minimale entre les caissons P étant dépendante de l'extension des zones dépeuplées, l'étude des courants de punchthrough peut nous donner des informations sur l'impact des choix de conception du pixel (taille de cathode par exemple) sur l'extension du volume dépeuplé dans le substrat.

Le substrat résistif pourrait permettre d'ajuster la capacité des photodiodes en écartant les caissons P de la cathode. Cette solution augmente néanmoins le courant d'obscurité et peut être préjudiciable dans un environnement radiatif ionisant.

L'augmentation du courant d'obscurité engendrée par les radiations devrait être équivalente à celle d'un composant sur substrat classique (hormis un rapport de grandeur provenant de la différence de volume dépeuplé) car le facteur K_{dark} de Srouf est constant à partir d'un certain NIEL ($1keV.cm^2/g$, ce qui est le cas des protons du vent solaire et de la ceinture de radiation). Ce facteur est également indépendant des impuretés présentes dans le wafer et donc de la méthode de fabrication utilisée pour le réaliser.

L'utilisation d'un large volume résistif augmente la sensibilité au latchup. Néanmoins, des simulations montrent que l'utilisation d'une implantation profonde est ici également bénéfique. Ces observations laissent entrevoir un portage de circuits existants sur du silicium résistif avec un effort raisonnable de reprise de conception si des implantations profondes sont disponibles.

Pour valider ces observations, un prototype a été conçu et fabriqué sur un substrat résistif. Plusieurs variations de pixel et de structures de test y sont intégrées afin d'être caractérisées au laboratoire. Les prochains chapitres présentent les résultats de ces caractérisations.

Intégration de matrices en substrat résistif

3.1 Introduction

Étendre le volume dépeuplé de l'imageur n'est réalisable que par l'utilisation de silicium résistif et/ou par l'application de fortes tensions de polarisation des éléments de collection des charges. L'augmentation de la tension sur les photodiodes PN n'est possible qu'au moyen d'une polarisation du substrat. Cette solution nécessite d'isoler les caissons des transistors intra-pixel du substrat, à l'aide de caissons profond spécifiques. Il est donc nécessaire pour augmenter la tension de polarisation d'avoir accès à un procédé CMOS très spécifique. De plus, appliquer cette solution sur du silicium dopé à $N_a = 10^{15} \text{at/cm}^3$ qui est de l'ordre de grandeur des niveaux de dopage utilisés en imagerie, n'augmenterait que faiblement le volume dépeuplé, et le gain en performance pourrait être faible vis à vis de l'augmentation de la complexité requise.

L'utilisation de silicium résistif est par conséquent nécessaire afin d'augmenter dans une plus large proportion le volume dépeuplé, et cette solution est à étudier en priorité car elle est plus accessible que les solutions permettant l'augmentation de la tension. L'impact du silicium résistif sur le fonctionnement de l'imageur doit néanmoins être étudié. En particulier, la fonctionnalité des circuits de lecture et de décodage doit être vérifiée, et les impacts sur la fonctionnalité et les performances d'une matrice de pixels contenant des photodiodes PN doivent être étudiés. Plus précisément, nous avons vu dans le chapitre précédent que la géométrie et la conception des pixels jouent un rôle prépondérant dans l'extension de la zone dépeuplée. Parmi les facteurs d'intérêts, la taille des cathodes, l'espacement des cathodes et la présence du caisson P profond seront plus particulièrement étudiés. Pour assurer la bonne interprétation des résultats, la mesure du profil de dopage du silicium résistif est nécessaire. Cette problématique sera également présentée dans ce chapitre.

Plusieurs structures de test et une matrice contenant plusieurs variations de pixels ont été dessinées avec l'aide de l'équipe de conception du l'équipe CIMI, puis testée au sein du laboratoire. Ce chapitre présente les résultats de caractérisations permettant d'étudier la bonne intégration d'un imageur CMOS sur un substrat fortement résistif.

3.2 Vérification du dopage du substrat.

3.2.1 Méthode de la capacité différentielle

Qu'il s'agisse d'une couche d'épitaxie ou d'un substrat "bulk", la métrologie du profil de dopage du silicium résistif est importante pour interpréter et valider les observations expérimentales et les modélisations associées, mais présente des difficultés techniques. Les méthodes de caractérisations de la concentration en bore dans le silicium peinent en effet à mesurer de faibles concentrations. Par exemple, la limite de résolution par SIMS (Secondary Ions Mass Spectroscopy) est de l'ordre de $N_a = 10^{13} \text{at/cm}^3$. La Scanning Capacitance Spectroscopy (SCM) ne permet pas de descendre en dessous d'un seuil d'environ $N_a = 10^{14} \text{at/cm}^3$. La méthode dite du Spreading Resistance Profil (SRP) reste à priori la mesure la plus adaptée pour des mesures de très faible concentration en bore mais demande l'accès à un instrument calibré.

La méthode de la capacité différentielle quand à elle ne permet pas une grande précision sur la profondeur, et demande de pouvoir estimer la capacité parasite des éléments mesurés. De plus, le profil de dopage que nous souhaitons mesurer n'est associé qu'à la capacité surfacique de la diode, et il convient donc de ne pas prendre en compte le terme de capacité périmétrique dans l'analyse. Sur un substrat très résistif, même une diode de surface importante générerait une erreur sur la mesure [Sak+11].

Néanmoins, la précision en profondeur n'est pas réhabilitaire dans notre cas et nous avons étudié durant ces travaux de thèse un modèle linéaire de la capacité d'une photodiode PN permettant de découpler la capacité parasite et la capacité périmétrique de la capacité surfacique de la diode. Nous avons donc utilisé ce modèle en association avec la méthode de la capacité différentielle afin d'estimer le dopage du substrat à l'aide de mesures $C(V)$ réalisées sur les équipements du laboratoire.

La méthode de la capacité différentielle est basée sur le modèle de capacité surfacique de la jonction PN. On définit la capacité surfacique $C_a = dQ/dV$ comme étant la variation de charges dans la zone dépeuplée causée par une variation de tension. Si on estime que la variation de tension inverse aux bornes du volume dépeuplé s'étendant à une profondeur W provoque une augmentation du champ électrique $dE = dQ/\epsilon_{Si}$ et que $dV \approx dE.W$, alors la capacité surfacique est liée à la profondeur de zone dépeuplée par [Gro71, p. 312] :

$$C_a = \frac{\epsilon_{Si}}{W} \tag{3.1}$$

qui peut être assimilé au modèle de capacité d'un condensateur plan dont les plaques conductrices sont espacées de W . Cette capacité peut être reliée à la concentration N_a de la zone la moins dopée :

3.2. Vérification du dopage du substrat.

$$\frac{1}{C_a^2} = \frac{2}{q \cdot \epsilon_{Si} \cdot N_a} V \quad (3.2)$$

La méthode de la capacité différentielle se base alors sur l'équation 3.3 pour estimer la concentration en dopant à la profondeur W , cette dernière évoluant avec la tension inverse appliquée à la jonction PN.

$$N_a(W) = \frac{2}{q \cdot \epsilon_{Si}} \frac{1}{d(1/C_a^2)/dV} \quad (3.3)$$

La capacité peut être estimée à l'aide d'une diode PN ou d'une capacité MOS. Dans ce dernier cas, la mesure est néanmoins plus complexe à mettre en œuvre et peut être affectée par des pièges à l'interface avec l'oxyde [Sch98, p. 65]. Nous souhaitons de plus pouvoir estimer la profondeur dépeuplée par les photodiodes PN, ce qui nous amène à mesurer la capacité sur ce type de composant. Il convient dans notre cas d'estimer le terme capacitif associé à la profondeur dépeuplée sous la photodiode et de l'isoler du terme de capacité périmétrique associé à la zone de charge d'espace entre le caisson N et les caissons P l'entourant.

On suppose que la capacité totale est la somme d'une capacité parasite $C_0(V)$, d'une capacité surfacique $C_A(V) = C_a(V) \cdot A$ et d'une capacité périmétrique $C_P(V) = C_p(V) \cdot P$. A et P sont respectivement l'aire et le périmètre de la photodiode, et $C_0(V)$ est un terme parasite provenant des interconnexions, pads métalliques etc ... La dissociation de ces trois termes peut être réalisée en utilisant plusieurs photodiodes d'aires et de périmètres variés et en pratiquant une régression linéaire sur les mesures de capacité. Le système à résoudre peut se présenter sous la forme matricielle (3.4) dans le cas de 'm' photodiodes différentes, et donc de 'm' caractéristiques $C(V)$ mesurées :

$$\begin{bmatrix} C_1(V) \\ C_2(V) \\ \vdots \\ C_m(V) \end{bmatrix} = \begin{bmatrix} 1 & A_1 & P_1 \\ 1 & A_2 & P_2 \\ \vdots & \vdots & \vdots \\ 1 & A_m & P_m \end{bmatrix} \cdot \begin{bmatrix} C_0(V) \\ C_a(V) \\ C_p(V) \end{bmatrix} \quad (3.4)$$

Les mesures sont réalisées sur cinq photodiodes dont les dimensions sont résumées dans le tableau 3.1. L'équipement de mesure consiste en un analyseur paramétrique Keithley K 4200 équipé d'un module de mesure de capacité, et d'une station de test sous pointes. Une technique de mesure quatre pointes est utilisée pour limiter la capacité parasite des câbles et des connections. Du fait du montage expérimental, la connexion des câbles de mesure est réalisée à l'entrée de la station de test sous pointes.

La capacité surfacique extraite par régression linéaire pour chaque valeur de la tension inverse appliquée peut alors être utilisée dans l'équation 3.1 afin d'estimer la profondeur dépeuplée, qui est comparée en figure 3.1 à la profondeur dépeuplée théorique d'une jonction abrupte unidimensionnelle. Cette profondeur théorique correspond aux mesures si elle est estimée pour une concentration dans le substrat $N_a = 6.10^{-12} \text{at/cm}^3$ et un $V_{bi} = 0.55V$.

#	L(μm)	W(μm)
1	274	274
2	400	400
3	500	150
4	500	500
5	1000	75

TABLE 3.1 – Dimensions des photodiodes PN pour les mesures capacitives.

Les profondeurs dépeuplées présentées figure 3.1 montrent une tendance similaire avec l'augmentation de la polarisation inverse sur les photodiodes. Cela signifie que notre estimation de $C_a(V)$ présente les caractéristiques du modèle unidimensionnel de la zone dépeuplée de la jonction PN avec dopage uniforme du substrat.

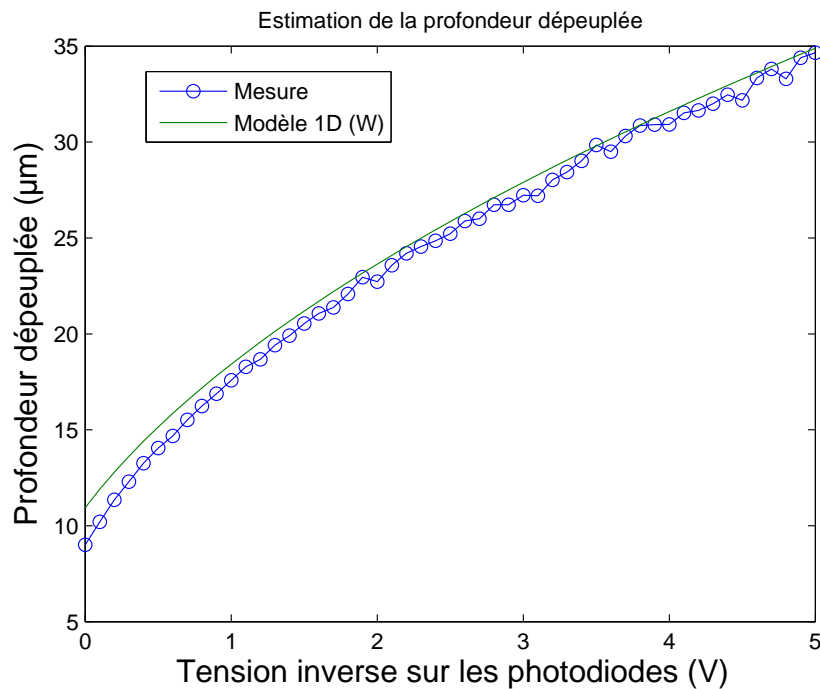


FIGURE 3.1 – L'estimation de la profondeur dépeuplée à l'aide de la capacité surfacique estimée présente une caractéristique très proche du modèle unidimensionnel de la jonction PN basé sur la résolution de l'équation de Poisson en une dimension (pour $N_a = 6.10^{-12} at/cm^3$ et un $V_{bi} = 0.55V$).

On peut dès lors avoir une estimation du dopage du substrat en mesurant la pente de la courbe produite par l'équation 3.2 dont le tracé est présenté figure 3.2. Cette estimation nous donne ici $N_a = 6.10^{-12} at/cm^3$, ce qui justifie notre choix de N_a pour tracer la figure 3.1.

On peut également utiliser l'équation 3.3 afin d'estimer le dopage en fonction de la profondeur dépeuplée. Cela n'est pas nécessaire ici car le dopage semble uniforme (la caractéristique de la figure 3.2 est linéaire), comme attendu d'un substrat float-zone, mais les résultats sont

3.2. Vérification du dopage du substrat.

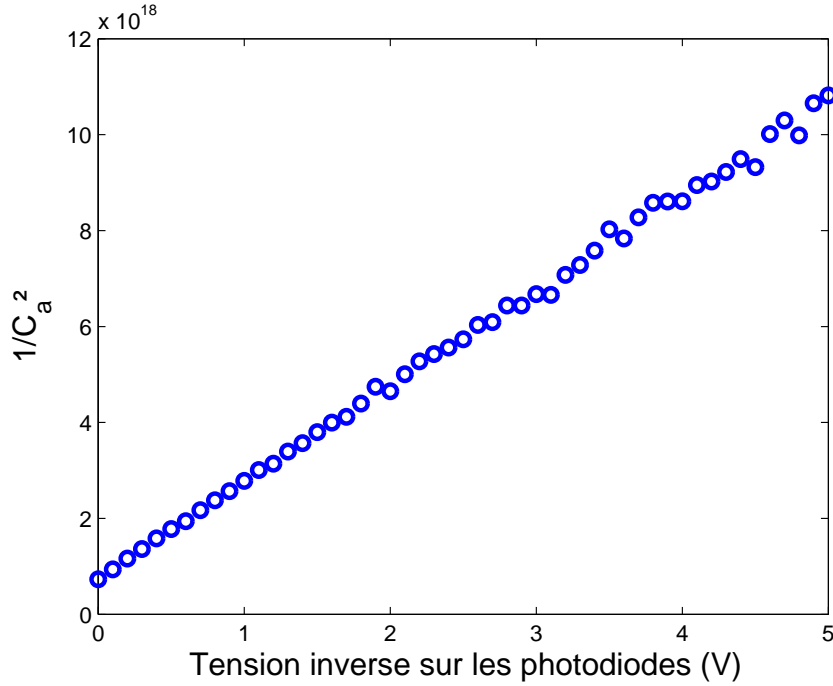


FIGURE 3.2 – L'inverse de la capacité surfacique au carré en fonction de la tension inverse permet d'estimer la concentration d'un dopage uniforme à l'aide de sa pente. Dans le cas d'un dopage uniforme (comme pour le substrat float-zone utilisé ici), cette relation est une droite.

présentés à titre d'exemple figure 3.3.

On y remarque en particulier le bruit introduit par la dérivée discrète, qui est un des défauts de cette méthode. L'erreur sur la mesure est estimée d'après [Blo86] par $\sigma_{N_a} = \sqrt{2}C/\beta$ où C est l'erreur de mesure de l'instrument (2% dans nos conditions de mesure) et $\beta = \Delta C/C$, le pas relatif de la capacité mesurée. Cette erreur est représentée figure 3.3. En complément, la résolution en profondeur est limitée par la longueur de Debye λ_d (équation 3.5), qui augmente avec la diminution du dopage. En conséquences, des paliers de profile de dopage localisés sur des distances inférieures à plusieurs fois celle de Debye ne seront pas correctement mesurés [Joh71]. À titre d'exemple, cette longueur de Debye est de $1.7\mu m$ pour la valeur estimée de $N_a = 6.10^{-12}at/cm^3$.

$$\lambda_d = \sqrt{\frac{\epsilon_s k T}{q^2 N_a}} \quad (3.5)$$

Nous avons estimé le dopage en bore d'un substrat float-zone à environ $N_a = 6.10^{-12}at/cm^3$ à l'aide de mesure de capacité sur des jonctions PN. Les résultats sont cohérents avec le substrat utilisé : la valeur absolue du dopage est très faible et constante avec la profondeur. L'estimation de la profondeur dépeuplée est proche du modèle de jonction PN abrupte. L'estimation du terme de capacité parasite C_0 que nous avons retranché aux mesures est au

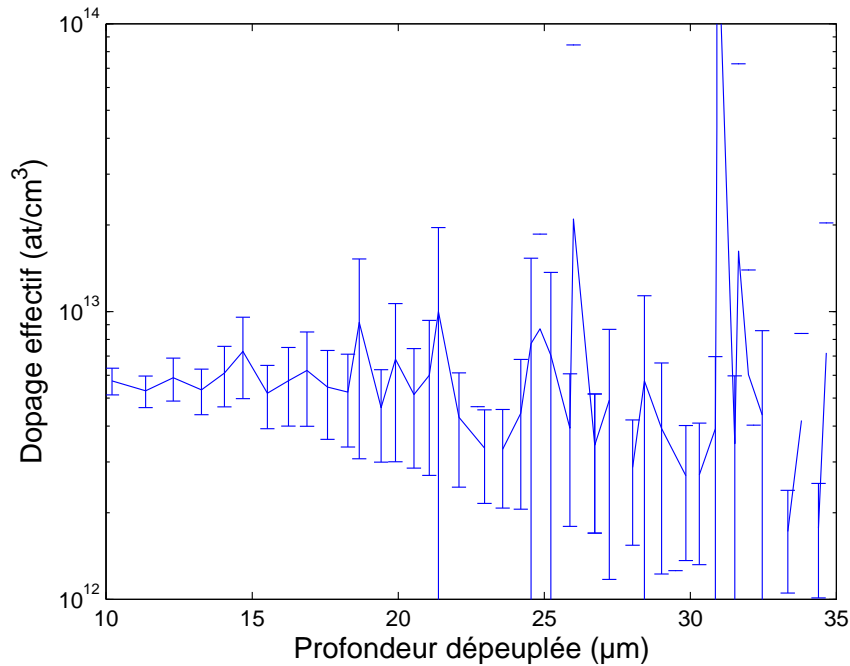


FIGURE 3.3 – Estimation du dopage en fonction de la profondeur dépeuplée à l’aide de la méthode de la capacité différentielle. Le bruit est introduit par la dérivée discrète.

maximum de 25% de la valeur mesurée. Ce point peut être amélioré en connectant les quatre terminaux utilisés pour la mesure, à quatre pads de connexions directement réalisés sur le circuit intégré. Ceci permettrait de supprimer la capacité parasite entre les connecteurs en entrée de la station de test et le bout des pointes.

3.2.2 Spreading Resistance Profiling (SRP)

Nous avons également mesuré la concentration en dopants avec la technique SRP à l’aide d’un instrument semi-automatique à l’Atelier Inter-universitaire de Micro-nano Électronique (Toulouse). Cette méthode mesure la résistance d’un échantillon en fonction de la profondeur à l’aide de pointes contactant l’échantillon. Celui-ci doit être au préalable biseauté et poli afin de pouvoir mesurer la résistance en fonction de la profondeur en augmentant la résolution de déplacement des pointes, comme présenté figure 3.4. Une estimation de la résistivité, et donc de la concentration en dopants peut alors être réalisée en fonction de la profondeur.

Les résultats de cette mesure sont présentés figure 3.5 où l’on peut voir la concentration en dopant estimée en fonction de la profondeur. On voit qu’au delà de 2 μm de profondeur dans le substrat, la concentration en dopant est estimée à un peu plus de $10^{12}\text{at}/\text{cm}^3$, ce qui est plus faible que l’estimation réalisée par la méthode de la capacité différentielle. Cette différence peut avoir de nombreuses causes, en particulier une mauvaise estimation des différents termes capacitifs pour le cas de la capacité différentielle. La SRP est quant à elle calibrée jusque

3.2. Vérification du dopage du substrat.

30 $\Omega.cm$ et les résultats pour les résistivités plus élevées sont extrapolés à partir de cette calibration, pouvant légèrement biaiser les résultats. Néanmoins, les deux méthodes montrent une concentration inférieure à $10^{13}at/cm^3$, constante en profondeur, cohérente avec ce qui était attendu compte tenu du substrat float-zone utilisé.

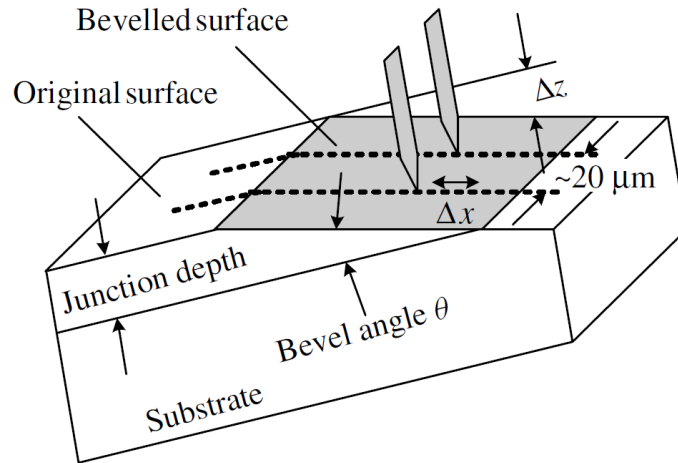


FIGURE 3.4 – Principe de la mesure SRP le long d'un échantillon biseauté, d'après [Sch98, p. 30].

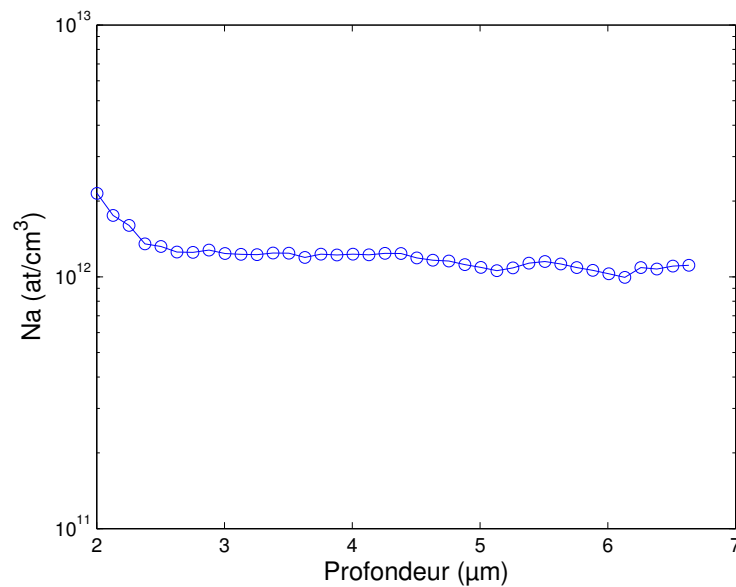


FIGURE 3.5 – Estimation de la concentration en dopant en fonction de la profondeur par la mesure SRP sur un de nos échantillons biseauté.

3.3. Vérification des circuits implémentés dans l'imageur.

3.3 Vérification des circuits implémentés dans l'imageur.

3.3.1 Caractérisation de MOSFETs en régime statique

Le véhicule de test comporte six transistors (trois NMOS et trois PMOS) de dimensions variées afin de vérifier les caractéristiques de ces composants sur le silicium résistif. Nous avons focalisé cette étude sur les transistors 5V uniquement pour limiter le nombre de structures et la surface requise sur le véhicule de test.

Le procédé de fabrication utilisé intègre systématiquement les transistors dans des caissons eux-mêmes intégrés sur un caisson P profond. Pour étudier la possibilité d'intégrer ces transistors en substrat résistif, et l'impact que peut avoir ce caisson P profond sur les caractéristiques des transistors, nous avons également décliné toutes les variations de transistors avec et sans caisson P profond. L'ensemble des variations implémentées est résumé dans le tableau 3.2.

NMOS			PMOS		
#	W(μm)	L(μm)	#	W(μm)	L(μm)
1	0.8	0.55	1	0.8	0.6
2	10	0.55	2	10	0.6
3	10	10	3	10	10

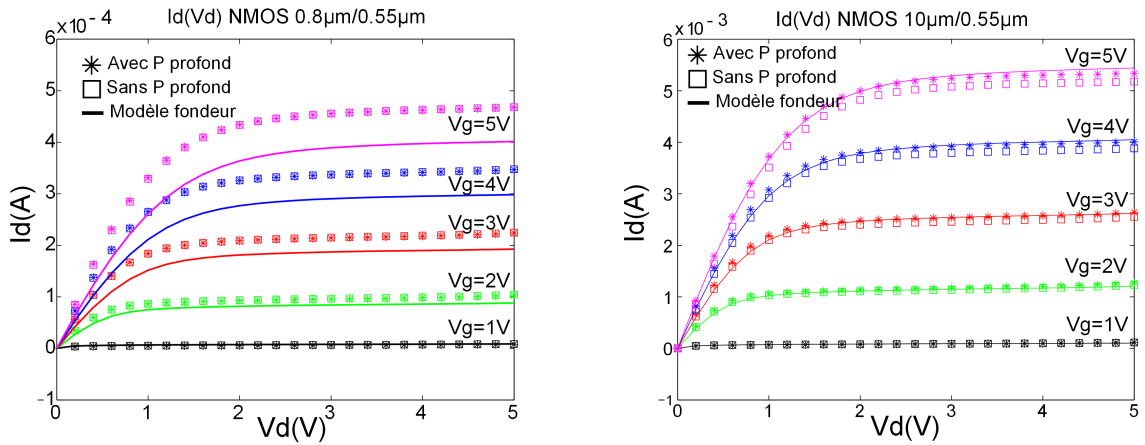
TABLE 3.2 – Variations de taille des transistors de test. Chaque variation est déclinée avec et sans le caisson P profond.

3.3.1.1 Transistor NMOS

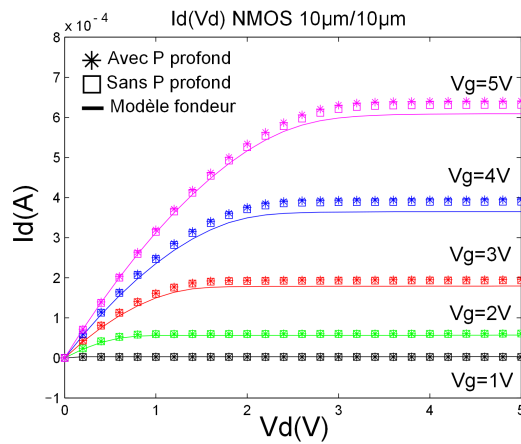
Les figures suivantes présentent les caractéristiques $I_d(V_d)$ des transistors NMOS. Ces mesures sont comparées aux modèles fournis par le fondeur et utilisés dans le logiciel de simulation Spice.

Concernant les transistors NMOS, il n'y a que de très faibles variations entre les transistors intégrés au-dessus d'un caisson P profond et ceux sans P profond. Cette constatation permet d'affirmer que la présence d'un caisson P profond ne modifie pas physiquement le transistor, notamment les dopages dans le canal, de la source et du drain. Le caisson P est donc suffisamment dopé pour pouvoir faire fonctionner un transistor NMOS sur substrat résistif. De plus, le modèle Spice prédit correctement les caractéristiques $I_d(V_d)$ malgré quelques différences entre mesures et modèle pour la taille de grille la plus faible. Ces écarts peuvent être causés par des modèles non mis à jour pour les tailles extrêmes de transistors.

Les tensions de seuil de ces transistors présentées dans le tableau 3.3 ont été estimées à l'aide de mesures $I_d(V_g)$ et par la méthode de la tangente pour une tension V_{ds} entre drain et source de 100mV.



(a) Caractéristiques $I_d(V_d)$ du transistor NMOS de largeur de grille $0.8\mu\text{m}$ et de longueur de grille $0.55\mu\text{m}$, et comparaison avec le modèle du fondeur. (b) Caractéristiques $I_d(V_d)$ du transistor NMOS de largeur de grille $10\mu\text{m}$ et de longueur de grille $0.55\mu\text{m}$, et comparaison avec le modèle du fondeur.



(c) Caractéristiques $I_d(V_d)$ du transistor NMOS de largeur de grille $10\mu\text{m}$ et de longueur de grille $10\mu\text{m}$, et comparaison avec le modèle du fondeur.

FIGURE 3.6 – Caractéristiques $I_d(V_d)$ des trois variantes de transistors NMOS. Les mesures venant des transistors avec caisson P profond sous-jacent sont représentées par les marqueurs en étoile, et celle venant des transistors sans caisson P profond par des marqueurs carrés. Les simulations basées sur le modèle fondeur sont représentées par les lignes continues.

3.3. Vérification des circuits implémentés dans l'imageur.

W(μm)	L(μm)	P profond	Vt(V)
0.8	0.55	Avec	0.84
		Sans	0.86
10	0.55	Avec	0.82
		Sans	0.82
10	10	Avec	0.83
		Sans	0.83

TABLE 3.3 – Tension de seuil des transistors NMOS.

3.3.1.2 Transistors PMOS

Concernant les transistors PMOS, le modèle Spice permet une assez bonne prédiction sauf pour la plus petite taille de transistor, comme pour les NMOS. Néanmoins, les mesures réalisées sur les PMOS avec et sans caisson P profond sous-jacent donnent des résultats différents. Pour les mêmes tensions de grilles, les caractéristiques $I_d(V_d)$ sont différentes ce qui laisse supposer une variation de tension de seuil.

Ces tensions de seuil ont également été estimées par la méthode de la tangente sur les caractéristiques $I_d(V_g)$. On voit clairement dans le tableau 3.4 un décalage d'environ 1V sur les tensions de seuil, ce qui explique pleinement les variations observées sur les courbes $I_d(V_d)$.

W(μm)	L(μm)	P profond	Vt(V)
0.8	0.6	Avec	4.25
		Sans	3.25
10	0.6	Avec	4.3
		Sans	3.24
10	10	Avec	4.2
		Sans	3.17

TABLE 3.4 – Tension de seuil des transistors PMOS.

La tension de seuil d'un MOSFET est décrite par l'équation 3.6 à l'aide de la tension de bande plate V_{FB} , du potentiel induit ϕ_b et du dopage N_d [Sze85, p. 305].

$$V_T = V_{FB} - 2\phi_b - \frac{qN_d}{C_{ox}} \sqrt{\frac{4\epsilon_s\phi_b}{qN_d}}, \phi_b = \frac{kT}{q} \ln \frac{N_d}{n_i} \quad (3.6)$$

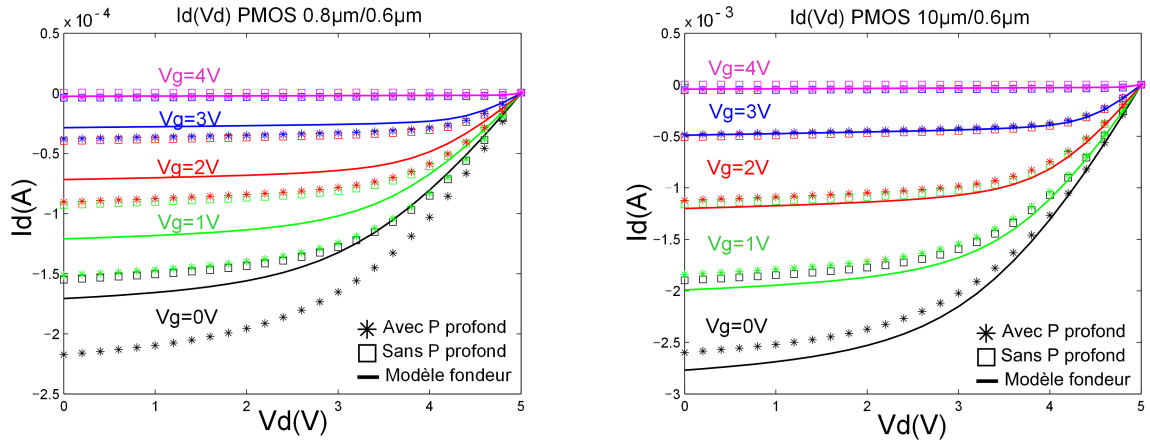
La variation mesurée sur la tension de seuil ne peut être due qu'à une variation du dopage N_d . La tension de seuil mesurée sur les PMOS sans P profond étant plus faible, la concentration du dopage N_d doit donc être plus élevée que dans le cas avec P profond. Cela fait sens si l'on considère que le dopage effectif N_d dépend des impuretés implantées : $N_d = N_d(implant) - N_a(implant)$. Si l'on considère que les variations de tension de bande plate et de potentiel induit ϕ_b causées par la variation de potentiel sont faibles devant celle du terme sous la racine, une variation de V_T de 1V peut correspondre à une variation du dopage d'un ordre de grandeur dans le canal.

Cette variation de tension de seuil est donc principalement due à la variation de dopage en surface induite par l'omission du caisson P profond. Elle n'est donc pas causée par la faible résistivité du substrat, et est relative à la modification du procédé de référence (l'utilisation systématique du caisson P profond sous les transistors).

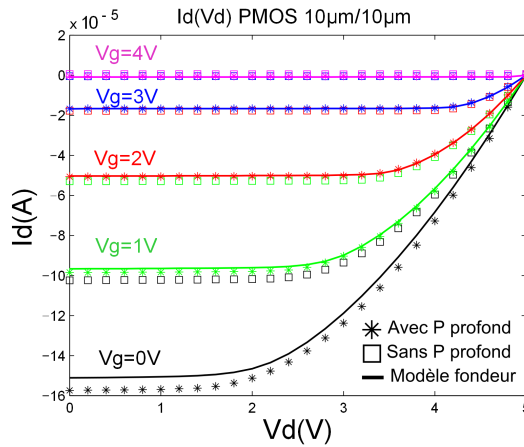
Nous avons dans cette partie vérifié le bon fonctionnement en régime statique de transistors NMOS et PMOS 5V. Les mesures sont cohérentes avec les modèles utilisés par les simulateurs. Néanmoins la modification du procédé de référence utilisant systématiquement un caisson P

3.3. Vérification des circuits implémentés dans l'imageur.

profond sous les caissons des transistors doit se faire avec précaution car il peut entraîner une modification du dopage des caissons N dans la région du canal des transistors PMOS, et ainsi modifier la tension de seuil de ces transistors.



(a) Caractéristiques $I_d(V_d)$ du transistor PMOS de largeur de grille $0.8\mu m$ et de longueur de grille $0.6\mu m$.
 (b) Caractéristiques $I_d(V_d)$ du transistor PMOS de largeur de grille $10\mu m$ et de longueur de grille $0.6\mu m$.



(c) Caractéristiques $I_d(V_d)$ du transistor PMOS de largeur de grille $10\mu m$ et de longueur de grille $10\mu m$.

FIGURE 3.7 – Caractéristiques $I_d(V_d)$ des trois variantes de transistors PMOS. Les mesures venant des transistors avec caisson P profond sous-jacent sont représentées par les marqueurs en étoile, et celle venant des transistors sans caisson P profond par des marqueurs carrés. Les simulations basées sur le modèle fondeur sont représentées par les lignes continues.

3.3. Vérification des circuits implémentés dans l'imageur.

3.3.2 Fonction de transfert électrique de la chaîne de lecture

L'étude de transistors isolés montre la bonne intégration de ces composants sur le substrat résistif si le procédé n'est pas modifié, malgré quelques différences observées entre le modèle Spice et les mesures pour les plus petites tailles de grille. Les circuits ayant été conçus à partir de ces simulations, leur comportement réel pourrait être différent de celui attendu.

Nous nous sommes dès lors assurés du bon fonctionnement d'un des circuits intégrés utilisant ces transistors : la chaîne de lecture analogique des pixels de la matrice. Cette chaîne a été dimensionnée par l'équipe de conception avec le logiciel Cadence et le modèle Spice fourni par le fondeur, et nous avons cherché à vérifier ses caractéristiques expérimentalement. Son bon fonctionnement est primordial pour exploiter correctement les résultats de caractérisations des différentes variations de pixels en matrice.

Nous utilisons pour cela un pixel particulier (appelé pixel test), dont la photodiode est directement contrôlée par une source de tension externe (V_{in}), ce qui permet de caractériser la fonction de transfert de la chaîne de lecture schématisée par la figure 3.8.

La comparaison en figure 3.9 des mesures et de la simulation de la chaîne de lecture montre un comportement très proche de celui attendu. Ce dernier résultat contribue à la validation de la bonne intégration des transistors 5V sur le silicium résistif lorsqu'ils sont intégrés dans un caisson P.

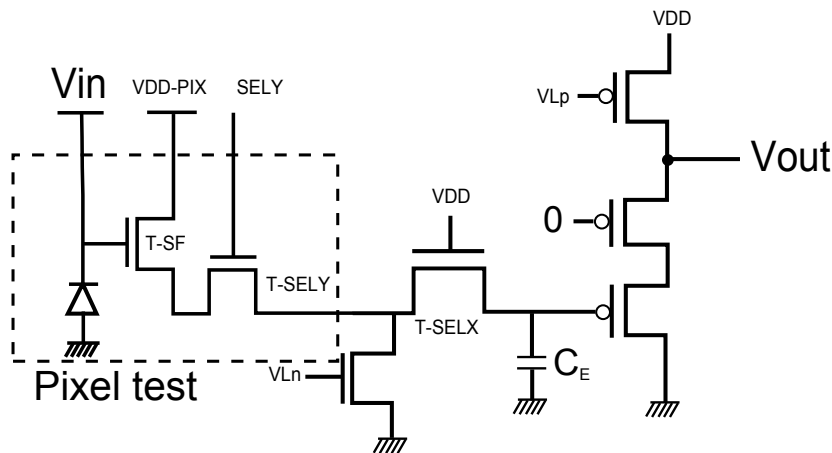


FIGURE 3.8 – Schématique d'un pixel test et chaîne de lecture associée. La variation de V_{out} en fonction de V_{in} permet de caractériser la fonction de transfert de la chaîne de lecture.

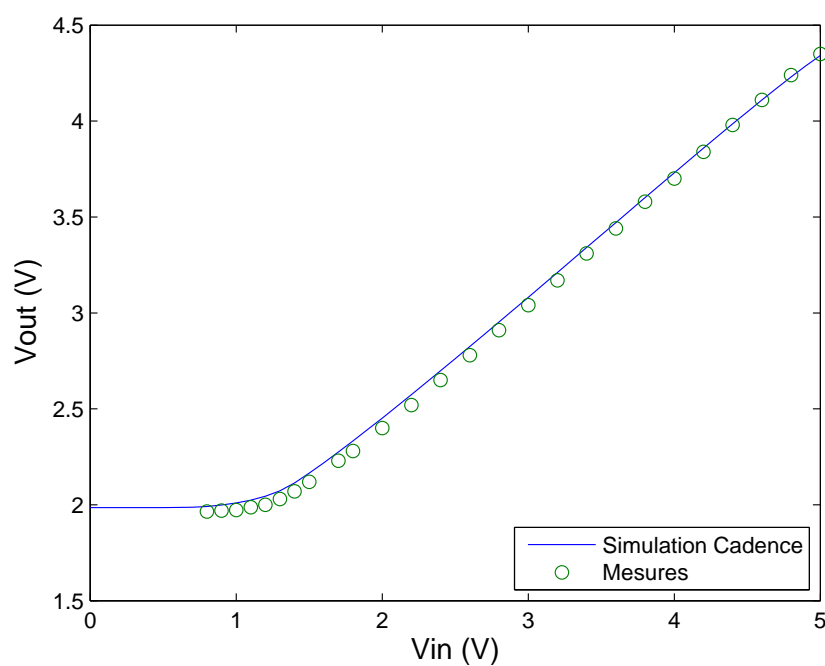


FIGURE 3.9 – Vérification de la fonction de transfert électrique en régime statique. Les mesures réalisées sur la chaîne de lecture montrent un comportement très proche de celui simulé lors de la phase de conception.

3.3. Vérification des circuits implémentés dans l'imageur.

3.3.3 Vérification des circuits décodeurs

Les circuits décodeurs sont composés de circuits numériques alimentés à 1,8V. Ces circuits utilisent des portes NON, NON-ET, OU afin de sélectionner les lignes et colonnes à partir de mots binaires générés à l'extérieur du circuit intégré. Un étage d'adaptation de tension de 1.8V vers 5V est présent entre la sortie du bloc de décodage d'adresse et les transistors intra-pixel.

On peut valider le bon fonctionnement des circuits de décodage en vérifiant la cohérence spatiale d'une mire acquise avec la matrice du véhicule de test. L'image correspondante est présentée par la figure 3.10. On y voit les motifs de la mire bien ordonnés, validant le décodage des adresses lignes et colonnes. La partie gauche de l'imageur est constituée de pixels carrés de $10\ \mu m$ de pas tandis que la partie droite contient des pixels carrés de $20\ \mu m$ de pas. Nous avons néanmoins utilisé des circuits décodeurs au pas de $10\ \mu m$ sur l'ensemble de la matrice, ce qui signifie qu'une sortie de décodeur sur deux n'est pas connectée dans la zone contenant les pixels $20\ \mu m$. En conséquence, l'image y est striée d'une colonne noire sur deux et d'une ligne noire sur deux.

La réalisation de ces images démontrent la bonne intégration des circuits numériques permettant le décodage des lignes et des colonnes.

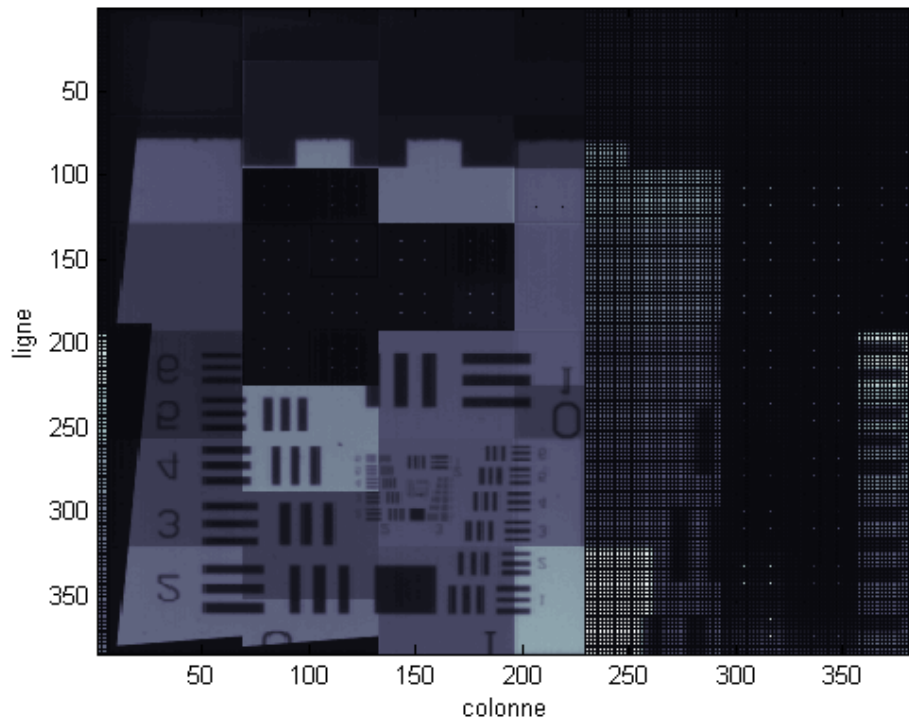


FIGURE 3.10 – Image d’une mire réalisée par la matrice de pixel montrant que le décodage des lignes et colonnes est correctement réalisé. Les lignes et colonnes noires de la partie droite de l’image sont dues à l’absence d’un pixel sur deux du fait de l’intégration de pixel de $20\mu m$ de pas dans cette zone.

3.4 Courant de fuite entre photodiodes (punchthrough)

L'étude préliminaire de l'intégration de photodiodes sur un substrat résistif avait montré qu'un phénomène de courant de fuite important pouvait apparaître entre photodiodes (également appelé courant de 'punchthrough') du fait de la diminution de la barrière de potentiel résiduelle entre les cathodes. Plus précisément, cette barrière de potentiel située dans le substrat résistif (entre les cathodes) régit l'intensité de ce courant selon une loi exponentielle relative à un phénomène d'injection thermoïonique (voir section 2.5.1).

Nous avons alors formulé plusieurs hypothèses sur le comportement et les conséquences de ce courant de fuite sur une matrice de pixels, notamment :

- une augmentation du courant de fuite avec le rapprochement entre cathodes.
- une augmentation du courant de fuite avec la taille de la cathode (pour un espacement entre cathodes similaire).
- une augmentation du courant de fuite avec l'augmentation de la différence de potentiel entre diodes.
- une diminution du courant de fuite avec l'ajout d'un caisson P profond entre les cathodes.
- une diminution du courant de fuite avec l'augmentation de la moyenne des tensions inverses appliquées aux diodes (pour une différence de potentiel entre diodes similaire).

En dehors de son impact sur la qualité et l'intégrité de l'image produite par l'imageur, ce courant de fuite représente également un outil permettant d'étudier l'extension de la zone dépeuplée des photodiodes en fonction de la conception des pixels (taille de cathode, présence du caisson P profond).

Afin de vérifier et d'étudier la présence du phénomène de punchthrough dans nos circuits, plusieurs structures ont été intégrées dans le véhicule de test. En parallèle, la matrice de pixels contient plusieurs pixels test dont la photodiode est directement contrôlée par une source de tension externe. La réponse des pixels voisins (pixels normaux) aux pixels test sera étudiée pour différentes tensions appliquées sur la photodiode de ces derniers. Nous pourrions alors déterminer si un phénomène de punchthrough est présent en matrice (entre le pixel test et ses proches voisins), et déterminer son impact selon les conditions (polarisation et géométrie des pixels).

3.4.1 Étude du courant de fuite sur structure dédiées

Les structures dédiées à l'étude du courant de fuite ont quatre objectifs principaux :

- Démontrer ou non la présence du phénomène.
- Étudier son évolution avec les tensions appliquées sur les cathodes.
- Étudier son évolution avec la distance entre les cathodes.
- Étudier son évolution avec l'ajout d'un caisson P profond entre les cathodes.

Pour cela, des paires de photodiodes séparées d'une distance L variable sont utilisées. Les tailles des photodiodes sont de $10 \times 100 \mu\text{m}^2$ et sont disposées côte à côte suivant leur plus long côté. Quatre variations de distance L sont présentes : $1.5 \mu\text{m}$ (distance minimale autorisée

entre deux cathodes N), $5\mu\text{m}$, $11.5\mu\text{m}$ et $30\mu\text{m}$. De plus, pour chacune de ces distances L , les paires de photodiodes sont déclinées en deux variations : l'une ne possédant pas de caisson P profond autour des photodiodes, et la seconde incluant ce caisson P situé à une distance de $1\mu\text{m}$ tout autour de la cathode (à l'exception de la variation $L = 1.5\mu\text{m}$, où le caisson P profond est distant de $0.5\mu\text{m}$ de la cathode).

Nous désignons dans la suite les photodiodes d'une structure de test par D1 et D2, et la polarisation qui y est appliquée par V_1 et V_2 . Le potentiel appliqué au substrat est nommé V_{sub} . Le schéma 3.11 représente la structure de test utilisée.

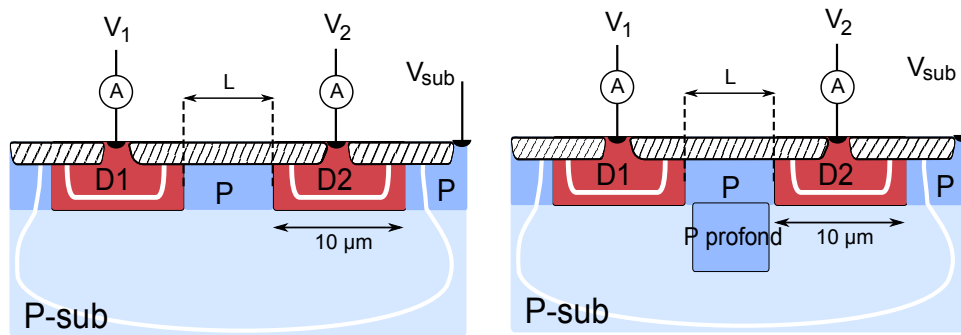


FIGURE 3.11 – Schéma en coupe des structures de test utilisées pour étudier le courant de fuite entre photodiodes.

3.4.1.1 Impact de la polarisation des photodiodes

Avant d'étudier les effets de conception (espacement entre cathodes et implantation P profonde) sur le courant de fuite, nous nous penchons ici sur l'impact de la polarisation des photodiodes. Nous utilisons pour cela les deux photodiodes avec l'espace entre cathodes le plus faible ($1.5\mu\text{m}$) et ne présentant pas d'implantation P profonde, afin de favoriser l'intensité du courant de fuite.

Nous avons vu au chapitre 2 que le courant de fuite dépend de l'augmentation de la différence de potentiel entre les cathodes mais également de leur tension relative au substrat : pour une même différence de potentiel entre cathode, au plus leur tension est élevée par rapport au substrat, au moins le courant de fuite est important. Pour vérifier ce comportement, nous avons mesuré le courant de fuite en polarisant le substrat à la masse, D2 à différentes tensions fixes, et en appliquant à D1 une rampe de tension. Les résultats sont présentés figure 3.12.

On constate sur ces courbes trois régimes de conduction. Le premier est dominé par un phénomène de diffusion/génération des charges dans le substrat et produit une caractéristique de diode polarisée en inverse. Le second régime présente une augmentation exponentielle du courant de fuite, caractéristique d'un courant de punchthrough entre les cathodes. Il intervient

3.4. Courant de fuite entre photodiodes (punchthrough)

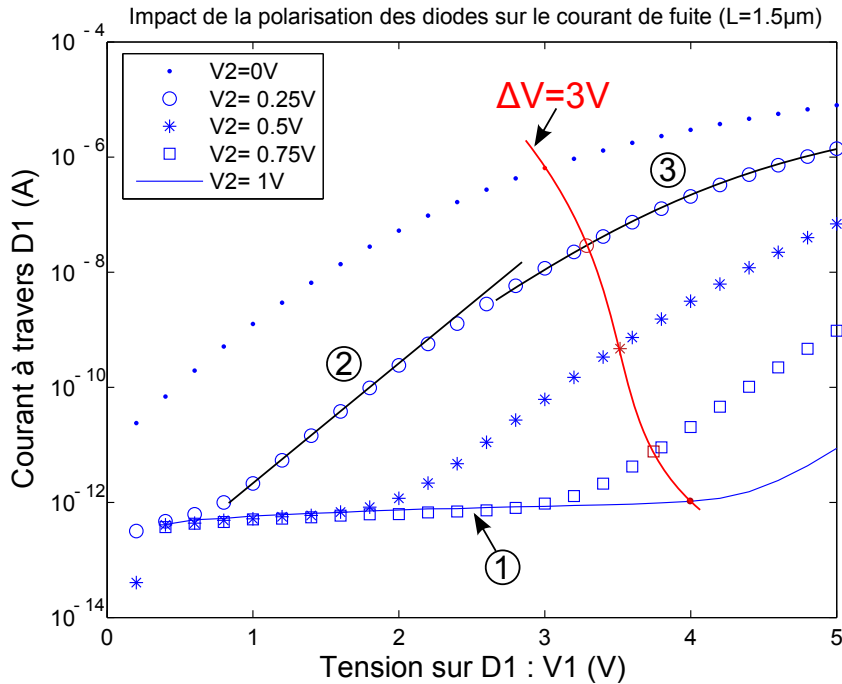


FIGURE 3.12 – Impact de la polarisation de D1 et D2 sur le courant de fuite. Il n’y a pas de caisson P profond entre les cathodes et la distance entre les cathodes est minimale ($1.5 \mu\text{m}$). Le substrat est à la masse.

lorsque la barrière de potentiel entre les photodiodes est assez faible pour laisser passer un large courant provenant d’une émission thermoïonique dans le substrat dépeuplé. Finalement, et pour de plus fortes tensions, l’augmentation du courant avec la tension appliquée est moins rapide, pouvant signifier une non linéarité de la relation entre la barrière de potentiel et la tension appliquée, ou le passage à un régime de conduction limité par les charges d’espace (SCLC pour Space Charge Limited Current) [CPS72].

La deuxième constatation est une augmentation de la tension de déclenchement du punch-through V_{pt} avec l’augmentation de la polarisation sur D2. Cet effet est directement lié à l’augmentation de la barrière de potentiel entre cathodes, comme précisé dans le chapitre précédent.

En prolongement du point précédent, la courbe rouge présentée figure 3.12 montre les points mesurés pour une même différence de potentiel entre cathodes, mais pour des tensions par rapport au substrat différentes. Elle montre que pour une même différence de potentiel entre cathodes (3V ici), augmenter la polarisation par rapport au substrat permet de diminuer le courant de punchthrough. Ceci est une fois de plus directement causé par l’augmentation de la barrière de potentiel.

Il est donc théoriquement possible de limiter le phénomène de punchthrough en augmentant la tension absolue sur les photodiodes, ce qui peut être également réalisé en polarisant négativement le substrat (dans le cas d’un substrat P). Cette expérience a été réalisée avec

les conditions suivantes : D2 étant à la masse, le substrat est polarisé à une tension V_{sub} et une rampe de tension est appliquée au substrat. Les courbes expérimentales sont présentées figure 3.13.

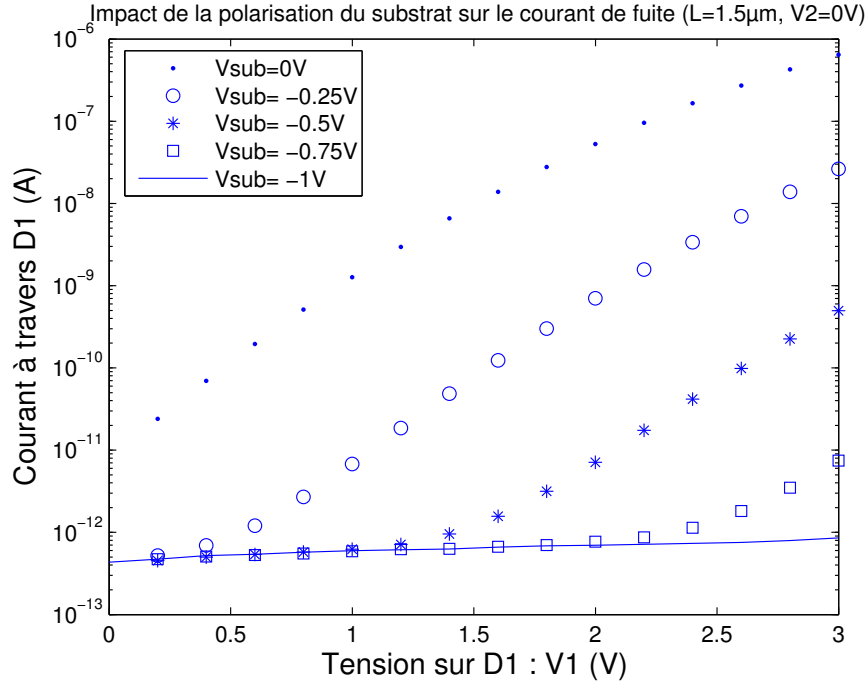


FIGURE 3.13 – Impact de la polarisation du substrat sur le courant de fuite. La distance entre cathodes est minimale ($1.5 \mu m$), la cathode D2 est polarisée à 0V et il n’y a pas de P profond entre les cathodes.

On y remarque que l’application du potentiel négatif sur le substrat a bien l’effet escompté sur le courant de punchthrough. Pour prouver qu’il s’agit ici de la même modulation de la barrière de potentiel entre cathode que précédemment, nous avons superposé en figure 3.14 les courbes obtenues dans les deux cas de figure suivants : l’augmentation de la barrière par la polarisation positive de D2 et avec la polarisation négative du substrat. La superposition des courbes obtenues est quasi parfaite.

Ces résultats confirment qu’un phénomène de punchthrough peut être présent dans nos structures et matrices de pixels, et confirment les tendances observées au chapitre précédent via les simulations TCAD concernant la polarisation du substrat. En particulier, la polarisation des cathodes par rapport au substrat est importante. Au plus on polarise négativement le substrat, au plus la barrière de potentiel est grande entre les cathodes, et limite le courant de fuite.

Ce courant de fuite peut être gênant dans une matrice de pixel car il contraint un pixel à partager les charges accumulées par sa photodiode avec ses pixels voisins, si les conditions de polarisation sont défavorables. Or, les potentiels des cathodes durant l’intégration des charges sont déterminés par le contraste de l’objet imagé. Dans des conditions de fort contraste, un

3.4. Courant de fuite entre photodiodes (punchthrough)

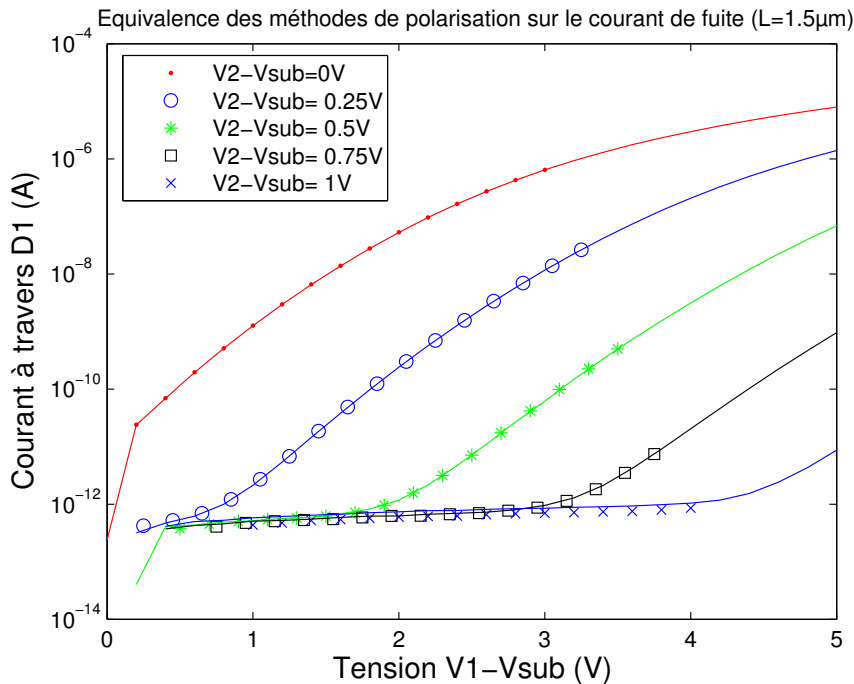


FIGURE 3.14 – Équivalence de la méthode de polarisation des photodiodes. Les lignes représentent le courant mesuré avec un substrat à la masse et différente polarisation de D2, et les marqueurs représentent le courant mesuré avec D2 à la masse et en polarisant négativement le substrat à différents potentiels.

phénomène de saturation pourrait donc être présent avant la limite théorique de ce phénomène (c'est à dire avant que les pixels ne soient saturés). Ce phénomène est dépendant des tensions sur les cathodes et de la géométrie des pixels. Nous étudierons donc dans la partie suivante le rôle joué par la géométrie des cathodes sur le courant du punchthrough.

3.4.1.2 Impact de la distance entre cathode et de la présence du caisson P profond

Afin d'étudier l'évolution du courant de fuite en fonction de la distance entre les deux photodiodes et de la présence du caisson P profond entre ces photodiodes, nous avons fixé D2 ainsi que le substrat à la masse et appliqué une rampe de tension sur D1. Ces conditions de polarisation représentent d'après notre étude préliminaire le pire cas et devraient favoriser l'apparition du courant de fuite entre les cathodes.

La figure 3.15 présente les courants mesurés à travers D1 en fonction de la polarisation $V1$ qui y est appliquée, et de l'espacement entre les cathodes. Le courant d'obscurité d'une photodiode seule (ne présentant pas de courants de fuite) y est également tracé pour comparaison. On peut y constater la dépendance du courant de fuite à trois paramètres : une augmentation avec la tension $V1$ appliquée sur D1 (comme précédemment), une diminution

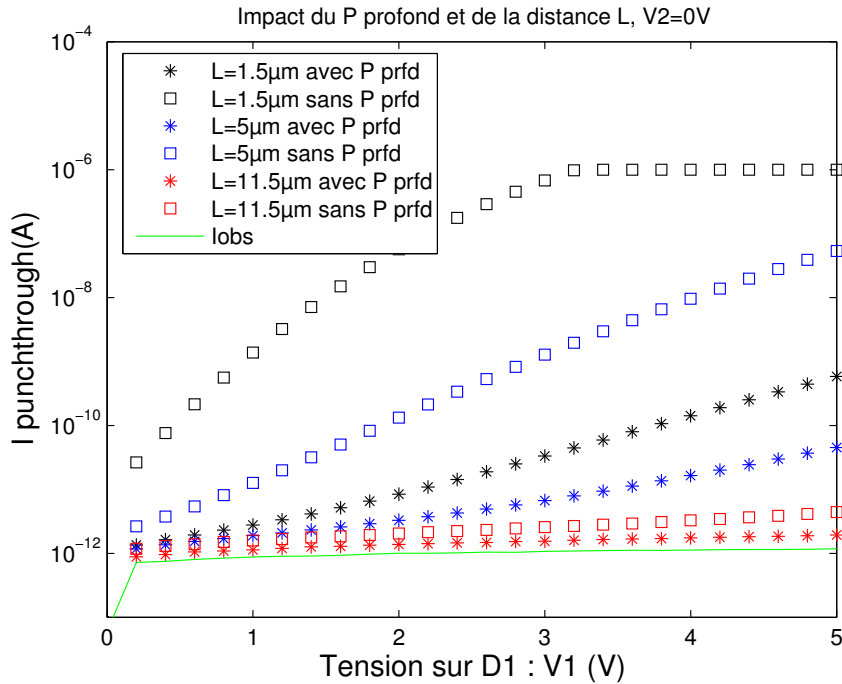


FIGURE 3.15 – Impact de la distance L entre cathode et de la présence du caisson P profond sur le courant de fuite.

avec la distance entre les cathodes, et une diminution avec l'ajout du caisson P profond.

Le courant de fuite est lié à la barrière de potentiel et par conséquent à la tension appliquée suivant une loi de type :

$$I \propto \exp \frac{-qf(V1)}{kT} \quad (3.7)$$

Les variations de dépendance du courant à la tension observée figure 3.15 montrent que les variations apportées à la géométrie modifient la relation $f(V1)$ entre la tension et la barrière de potentiel minimale mais ne permettent pas de complètement supprimer ce courant. Le caisson P profond est quant à lui particulièrement efficace pour limiter le courant sur les espacements de cathodes les plus faibles (1.5 et 5 μm) pour lesquels la majorité du courant circule dans un volume entre les cathodes situé à environ 1.5 μm sous la surface du silicium, volume qui est occupé par le P profond lorsqu'il est présent.

Il est donc possible de limiter le courant de punchthrough à l'aide d'un écartement et / ou de l'ajout d'un caisson P profond entre les cathodes. Pour quantifier l'impact que pourrait avoir ces courants dans une matrice de pixel, on peut par exemple fixer les ordres de grandeur du CVF à 10 $\mu V/e-$ et du temps d'intégration à 100 ms. La réponse du pixel est alors proportionnelle à $I/qt_{int}CVF$. Pour avoir un impact sur la réponse du pixel de moins de 0.1V, il faudrait des courants inférieurs à 10⁻¹¹ A, et par conséquent des espacements de 5

3.4. Courant de fuite entre photodiodes (punchthrough)

μm minimum avec P profond ou de $11,5 \mu m$ sans P profond. Néanmoins, les cathodes utilisées ici sont bien plus grandes que celles utilisées en matrice, et il est possible que la longueur en vis à vis des cathodes puisse jouer un rôle dans l'intensité du courant, comme nous allons l'étudier dans la partie suivante.

3.4.1.3 Impact de la longueur des photodiodes

Les structures étudiées peuvent être assimilées à des transistors NPN dont le courant entre drain et source (les deux cathodes dopées N) est dépendant du minimum de potentiel situé dans le substrat entre source et drain. On peut alors supposer que le courant de fuite est dépendant de l'espacement entre cathodes et de la longueur en vis à vis des cathodes, tout comme le courant de drain du transistor est dépendant de la longueur L et de la largeur Z de grille [Tau09, p. 156] :

$$I_d \propto \frac{Z}{L} f(V_d) \quad (3.8)$$

Nous avons donc fait varier la longueur des photodiodes pour vérifier l'évolution du courant de punchthrough en fonction de ce paramètre pour un même espacement entre D1 et D2. La figure 3.16 présente les courants de punchthrough de ces structures sans caisson P profond et ayant un espacement de $1.5 \mu m$ entre les cathodes. Les largeurs en vis à vis des cathodes utilisées sont de $25 \mu m$, $50 \mu m$ et $100 \mu m$.

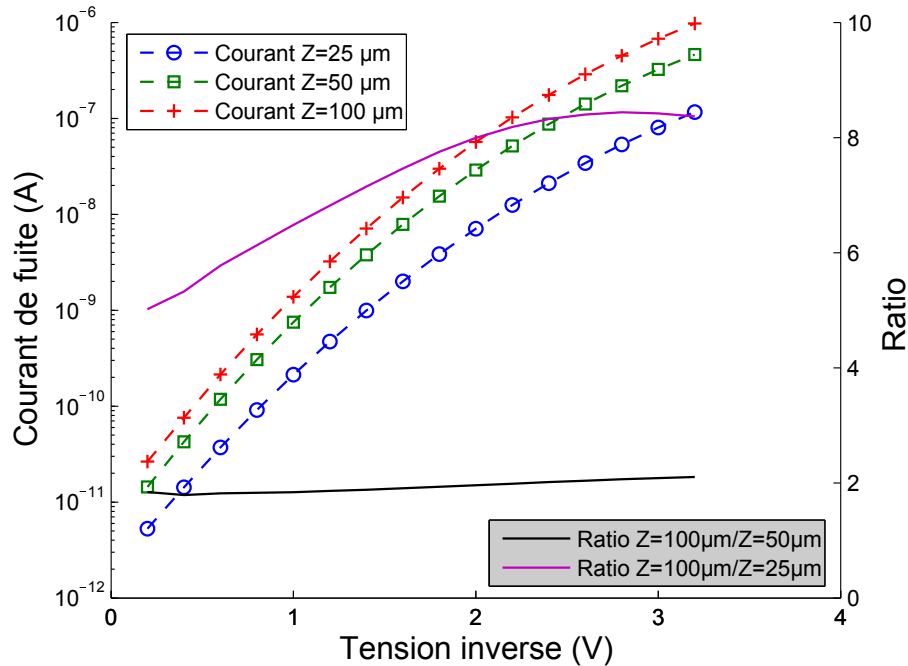


FIGURE 3.16 – Impact de la largeur Z des cathodes en vis à vis sur le courant de fuite.

On peut constater que le rapport des courants entre les largeurs de 50 et 100 μm est très proche de 2, tout comme le ratio des largeurs, ce qui tend à confirmer que le courant de punchthrough varie proportionnellement avec la largeur des cathodes. Le ratio des courants entre les cathodes de largeur 25 et 100 μm est situé quant à lui entre 5 et 8 en fonction de la tension appliquée, ce qui ne confirme par l'observation précédente. De plus, cet effet ne peut pas être attribué à une diminution des courants de génération et de diffusion car nous avons vu figure 3.15 que la somme de ces derniers est de l'ordre du pico-ampère. Il s'agit donc bien d'une modulation du courant de punchthrough. Néanmoins, cela ne rejette pas nécessairement l'hypothèse proposée car du fait de la faible largeur de cathode, il est très probable dans ce cas qu'un effet de restriction géométrique de la zone dépeuplée par la taille de cathode soit présent et limite le courant de fuite en modifiant la relation $\phi_b = f(V1)$.

En effet, le ratio des courants des diodes de largeur Z de 25 et 100 μm n'est pas constant et montre que les courants, et donc l'impact de la tension sur la barrière de potentiel, ne sont pas modulés de la même manière. Le fait que le courant de la diode de 25 μm augmente moins rapidement avec la tension que pour les deux autres variations de largeur appuie cette hypothèse.

Ainsi, pour des cathodes d'assez grandes dimensions, le courant de punchthrough est dépendant de l'espacement entre ces cathodes et de la longueur en vis à vis des cathodes, à l'instar du courant de drain d'un transistor dépendant de la longueur et de la largeur de grille d'un transistor. Cet effet est modulé pour des petites cathodes à cause de la diminution du volume dépeuplé provoqué par l'effet 3D géométrique. Les cathodes des structures de test étant de 10x100 μm^2 contre au maximum 17x17 μm^2 en matrice, les courants mesurés sur ces structures surestiment à priori les éventuels courants de punchthrough en matrice, que nous étudierons dans la prochaine partie.

3.4.2 Courant de fuite entre photodiodes de pixels en matrice

Pour étudier l'impact du courant de punchthrough sur une matrice de pixels, nous avons observé ce phénomène durant le fonctionnement normal d'un imageur.

Pour cela, des pixels test ont été disséminés dans la matrice de pixels. Ces pixels ont une photodiode qui n'est pas connectée au transistor d'initialisation, mais qui est contrôlée directement par une source de tension externe au circuit intégré. Ils permettent donc de modifier la différence de potentiel avec ses pixels voisins. En opérant la matrice en obscurité, nous pouvons mesurer la réponse des pixels voisins aux pixels test en fonction de la tension appliquée sur leurs photodiodes.

Contrairement aux mesures sur structures dédiées, nous étudions donc ici la réponse des pixels sous l'influence du courant de fuite, qui se traduit par un signal en sortie du capteur. Ce signal est la différence mesurée entre une tension d'initialisation notée V_{ref} et d'une tension V_{sig} mesurée après un certain temps d'intégration du courant vu par la photodiode de chaque pixel. En l'absence de courant de fuite, la réponse des pixels voisins devraient être uniquement dépendante du courant d'obscurité. En présence du courant de fuite, leur réponse devrait

3.4. Courant de fuite entre photodiodes (punchthrough)

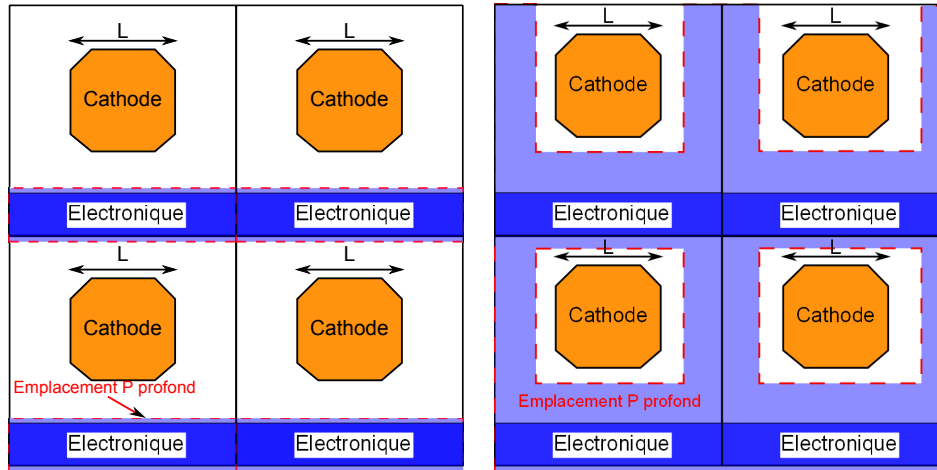


FIGURE 3.17 – Schéma de conception des pixels dit sans P profond (à droite) et avec P profond (à gauche). Dans les deux cas, un caisson P profond est présent entre les lignes pour l'intégration de l'électronique intra-pixel.

dépendre majoritairement de ce dernier, car il est bien supérieur au courant d'obscurité.

Nous avons vu dans notre étude préliminaire que le courant de punchthrough était dépendant de la distance entre les cathodes des photodiodes, de la taille des cathodes et de la présence du caisson P profond entre les cathodes. Nous avons donc conçu différentes variations de pixel ayant des photodiodes de tailles variées. Des pixels de taille $10\mu\text{m}$ et $20\mu\text{m}$ permettent de varier la distance entre cathodes, pour des tailles de cathodes similaires. Toutes les cathodes sont de forme carrée, les distances entre cathodes sont donc les mêmes dans les directions des lignes et des colonnes.

Le fondeur nous recommandant de conserver un caisson P profond sous les transistors, tous les pixels possèdent un caisson P profond sous leur électronique. L'étude des transistors a montré que ceci n'est finalement pas nécessaire. Néanmoins, cette précaution implique qu'un caisson P profond est présent sur toutes les lignes de pixels entre les cathodes. À l'inverse, la présence ou non de caissons P entre les colonnes de pixels n'est pas obligatoire. Nous avons donc conçu des variations de pixels ayant la même taille de cathode mais possédant ou non des caissons P profond disposés verticalement à gauche et à droite des cathodes. Ces règles de conception sont résumées figure 3.17. Les pixels ne possédant qu'un P profond sous l'électronique seront dénommés "pixels sans P profond" tandis que les pixels avec un P profond entourant la cathode seront appelés "pixel avec P profond".

Pour la suite, les pixels étudiés seront nommés relativement à leur position par rapport au pixel test en utilisant les sens cardinaux. Un exemple de réponse mesurée est présenté figure 3.18 pour une tension de 23mV ¹. En variant cette polarisation, nous pouvons moduler le courant de punchthrough et étudier son impact sur les pixels voisin.

1. Tension la plus faible atteignable par le pont diviseur utilisé.

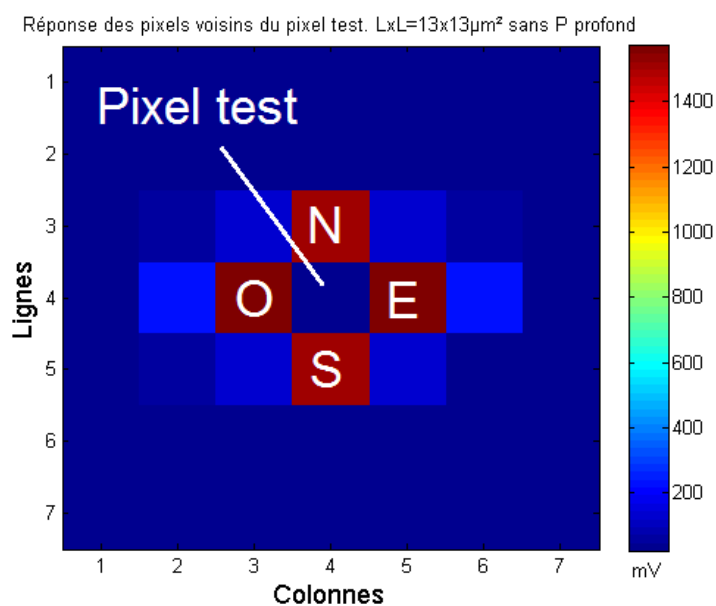


FIGURE 3.18 – Exemple de réponse en obscurité de pixels entourant un pixel test lors d’un phénomène de punchthrough. Chaque carré représente un pixel et le pixel test est polarisé à 23mV. Les premiers voisins sont saturés et les seconds voisins commencent à subir l’influence du courant.

3.4.2.1 Impact du caisson P profond

Nous étudierons dans cette partie l’impact du caisson P profond sur le phénomène de punchthrough en matrice. Pour une taille de cathode donnée, nous pouvons comparer la réponse au punchthrough des variations avec et sans P profond. La figure 3.19 montre les résultats pour les pixels de pitch $10 \mu\text{m}$. La réponse du pixel Est y est tracée en fonction du potentiel appliquée sur le pixel test pour chaque variation de taille de cathode présente en matrice.

On voit clairement que pour une taille de cathode donnée, l’ajout d’un caisson P profond entre le pixel test et le pixel Est limite le phénomène en décalant la tension du pixel test nécessaire à son déclenchement. Il est par exemple possible de limiter davantage le courant de fuite sur une cathode de $7.5 \mu\text{m}$ avec le P profond que sur une cathode de $5 \mu\text{m}$ sans P profond. Nous avons donc bien une modulation de la barrière de potentiel entre les cathodes par l’utilisation de l’implantation profonde de bore.

Nous pouvons également comparer les réponses des pixels Nord et Est des pixels sans P profond entre les colonnes pour s’assurer que les variations sont bien attribuables au caisson P profond. La figure 3.20 présente les résultats des pixels dits sans P profond, avec une cathode de $5 \mu\text{m}$ au Nord et à l’Est du pixel test. Ces pixels possèdent uniquement un caisson P profond sous l’électronique. On peut ici visualiser que la réponse du pixel Nord, (séparé du pixel test par le P profond), est moins impacté que le pixel Est par la tension appliquée sur le pixel test. A l’inverse, dans le cas des pixels avec P profond, la réponse est homogène entre

3.4. Courant de fuite entre photodiodes (punchthrough)

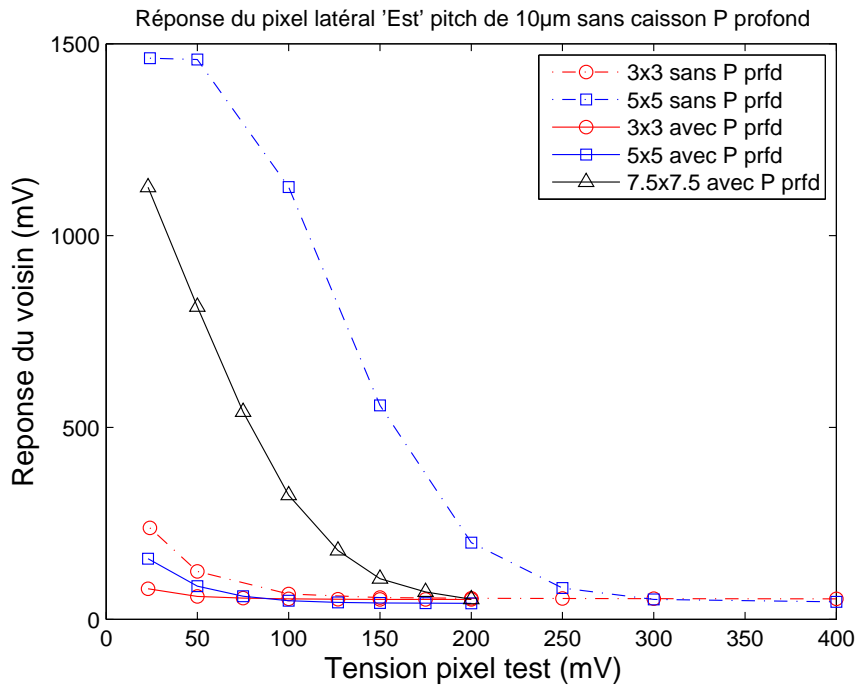


FIGURE 3.19 – Réponse du premier pixel voisin (Est) en fonction de la polarisation du pixel test. Pour une même taille de photodiode, le caisson P profond retarde l'impact du courant de fuite sur la réponse du pixel.

les pixels Nord et Est. Nous avons donc ici mis en évidence un effet directionnel permettant d'attribuer les variations observées au caisson P profond.

Pour finir, on voit que ce caisson est nécessaire pour limiter l'impact du punchthrough en pixel de pas 10 μ m pour des cathodes de taille supérieure à 5 μ m. Le pixel avec une taille de cathode de 7.5 μ m présente également une sensibilité assez importante (1V) pour des tensions du pixel test inférieure à 0.2 V, même avec la présence d'un caisson P profond. On peut donc définir comme limite des tailles de cathode strictement inférieures à 7.5 μ m avec le caisson P profond et à 5 μ m sans P profond. A titre de comparaison, les réponses des pixels Est pour les pixels de pas 20 μ m avec P profond sont présentées figure 3.21 où l'on peut voir qu'il est préférable de limiter la taille de cathode à 13 μ m.

L'augmentation du courant de punchthrough avec la taille de cathode peut être provoquée par un rapprochement des bords des cathodes, comme nous l'avons vu avec les structures de test, mais aussi par une extension de la zone dépeuplée causée par l'augmentation de la taille de cathode. Nous montrerons dans la partie suivante l'influence de cet effet.

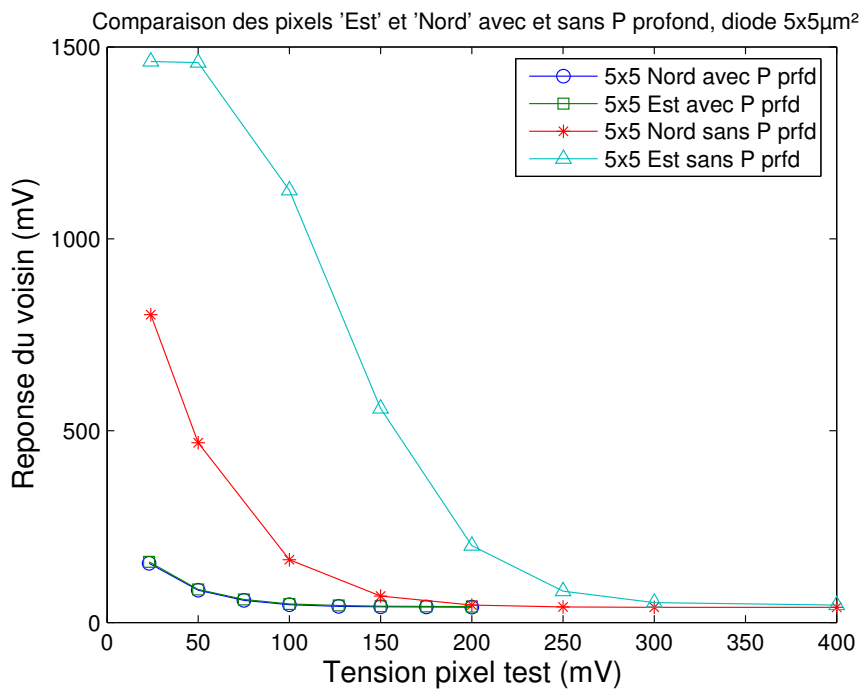


FIGURE 3.20 – Impact du caisson P profond sur les pixels avec cathode de $5 \mu\text{m}$. Lorsque le caisson P profond est présent tout autour de la cathode, la réponse des pixels Nord et Est est similaire. Comme attendu, cela n'est plus vrai pour le pixel dont le P profond est absent entre les colonnes (pixel sans P profond).

3.4. Courant de fuite entre photodiodes (punchthrough)

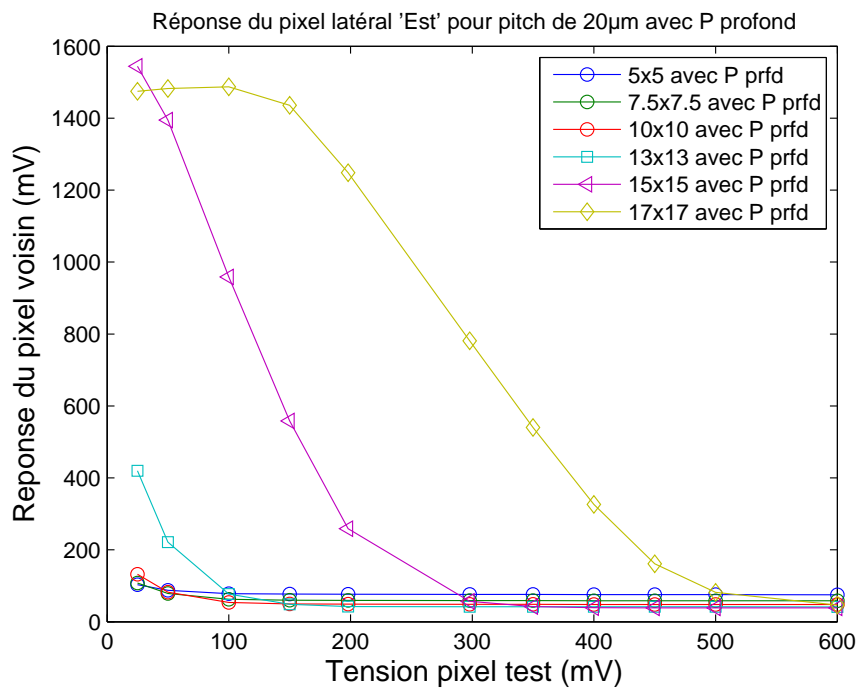


FIGURE 3.21 – Réponse des pixels Est pour des pixels de pas 20 μm avec P profond. L'effet du punchthrough est facilement détectable pour des tailles de cathodes supérieures à 13 μm .

3.4.2.2 Impact de la taille de cathode

Afin de pouvoir étudier l'impact de la taille de la cathode sur l'extension de la zone dépeuplée, nous avons utilisé deux pas de pixels différents, le premier à $10\ \mu m$ et le second à $20\ \mu m$. Il est ainsi possible en comparant certaines variations de taille de cathode présentes sur les deux pas de pixels, de discriminer l'effet de la taille de cathode de celui de l'espacement entre cathode. Afin de pouvoir comparer des photodiodes dont les tailles de cathode, et donc le CVF diffèrent, nous calculons ici le courant moyen de fuite vu par le pixel à partir de sa réponse en tension, de son CVF et du temps d'intégration tel que $I(V_{test}) = q * V(V_{test}) / (CVF * T_{int})$.

La figure 3.22 présente le courant de fuite moyen estimé sur des cathodes de $3\ \mu m$ et $5\ \mu m$ dans des pixels de pas $10\ \mu m$, et des cathodes de $13\ \mu m$ et $15\ \mu m$ dans des pixels de pas $20\ \mu m$. La distance entre deux cathodes de $3\ \mu m$ et entre deux cathodes de $13\ \mu m$ est donc la même ($7\ \mu m$), et la distance entre deux cathodes de $5\ \mu m$ au pitch de $10\ \mu m$ et deux cathodes de $15\ \mu m$ au pitch de $20\ \mu m$ est de $5\ \mu m$. Les données présentées proviennent du pixel Est de pixels sans P profond, c'est à dire qu'il n'y a pas de caisson P profond entre les cathodes.

On peut voir sur la figure 3.22 que pour une distance entre cathodes donnée, le courant de fuite moyen est beaucoup plus important pour les cathodes les plus larges. Si on considère que ce courant est proportionnel à la largeur de cathode en vis à vis, le ratio de ces largeurs n'est pas suffisant pour expliquer à lui seul l'augmentation de courant observée. Le courant étant directement dépendant de la barrière de potentiel résiduelle entre cathode, et donc de l'extension de la zone dépeuplée, ces résultats confirment que l'extension de cette zone dépeuplée est dépendante de la taille de cathode, comme nous l'avions présenté dans le chapitre 2 à l'aide de simulations TCAD et d'un modèle empirique.

On peut également noter figure 3.22 l'augmentation puis la diminution du courant avec la diminution de la tension du pixel test pour la cathode de $15\ \mu m$. Cette diminution avec V_{test} est en réalité un artefact de mesure causé par une diminution du signal du pixel voisin, visible figure 3.23. Pour comprendre ce phénomène, la tension d'une cathode de $15\ \mu m$ d'un pixel Est a été mesurée pendant son initialisation et est présentée figure 3.24 pour différentes tensions V_{test} sur le pixel test. On remarque que dès la fin de la période d'initialisation de la photodiode (Reset), la tension sur la cathode diminue, et ce d'autant plus rapidement que la tension V_{test} est faible. Le signal V_{ref} est échantillonné dans notre cas environ $1\ \mu s$ après la fin de l'initialisation et est donc impacté par le courant de fuite important. Le signal V_{sig} atteint très rapidement (moins de $200\ \mu s$) la tension basse de saturation de notre chaîne de lecture qui est de $2V$. L'effet observé provient donc de la méthode de mesure du signal du pixel, qui compare la tension de référence V_{ref} acquise au début du temps d'intégration, à la tension de signal effective acquise à la fin du temps d'intégration. Le signal en sortie du capteur $\Delta V = V_{ref} - V_{sig}$ diminue avec l'accumulation des charges pendant l'intégration, mais également pendant la mesure de V_{ref} , ce qui explique les mesures de la figure 3.23. Dans des conditions normales de fonctionnement et d'éclairage, le courant photonique n'est pas assez intense pour diminuer sensiblement la tension V_{ref} échantillonnée, ce qui n'est plus le cas avec les courants de fuites importants mesurés ici.

3.4. Courant de fuite entre photodiodes (punchthrough)

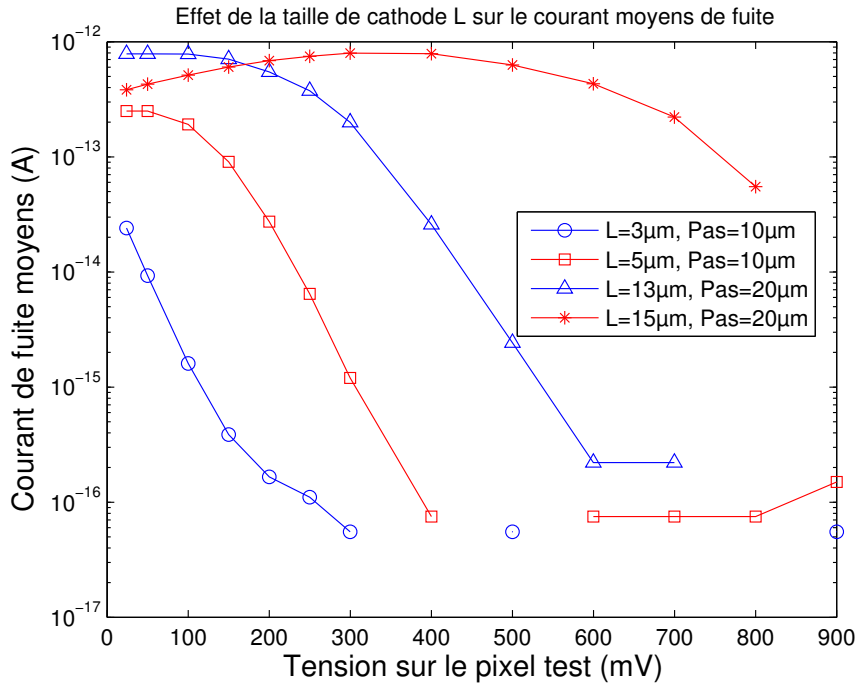


FIGURE 3.22 – Courant moyen de fuite entre cathodes de taille différente dans des pixels de pas différents. Les courbes bleues représentent le courant pour un espacement entre cathode de $7 \mu m$, et les courbes rouges pour un espacement de $5 \mu m$. La diminution apparente du courant pour la diode de $15 \mu m$ lorsque V_{test} diminue est un artefact de mesure causé par un courant trop élevé affectant la tension de référence.

En complément, nous pouvons estimer le courant de fuite à chaque instant t à partir des mesures présentées en figure 3.24. Le courant est ici estimé par $I_{pt}(t) = q\Delta V / (\Delta t \cdot CVF)$ et est tracé en fonction du potentiel flottant de la photodiode en figure 3.25. Le courant estimé est du même ordre de grandeur que les mesures réalisées sur les structures de test (en particulier des diodes de largeur $Z = 25 \mu m$, plus proche de la taille des photodiodes intra-pixel, dont le courant de fuite est présenté figure 3.16).

Nous avons donc montré que la taille de cathode modifie l'extension de la zone dépeuplée et qu'un courant de punchthrough similaire à celui circulant dans les structures de test est présent en matrice. Concernant les limites de tailles de cathode dans un pixel de pas $10 \mu m$, les tailles maximales sont de $5 \mu m$ avec P profond, et inférieures à $5 \mu m$ sans P profond. Dans un pixel de pas $20 \mu m$, ces tailles sont de $13 \mu m$ avec P profond, et inférieures à $10 \mu m$ sans P profond.

Pour les courants les plus intenses, l'effet se propage de proche en proche comme nous le verrons dans la partie suivante.

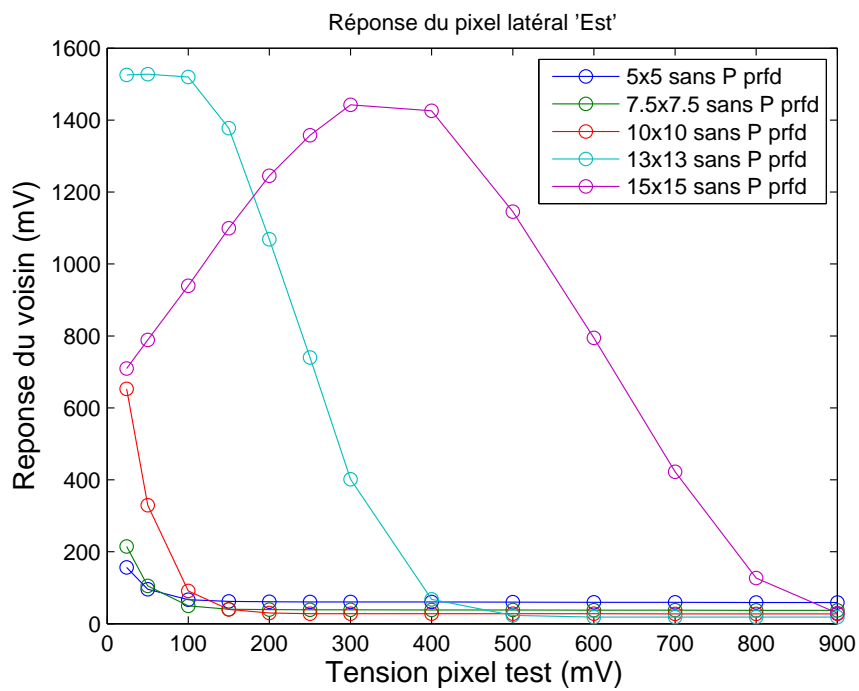


FIGURE 3.23 – Réponse des premiers pixels voisins Est au pas de $20 \mu m$ et sans P profond entre les colonnes en fonction de la tension appliquée sur le pixel test et pour différentes tailles de cathode.

3.4. Courant de fuite entre photodiodes (punchthrough)

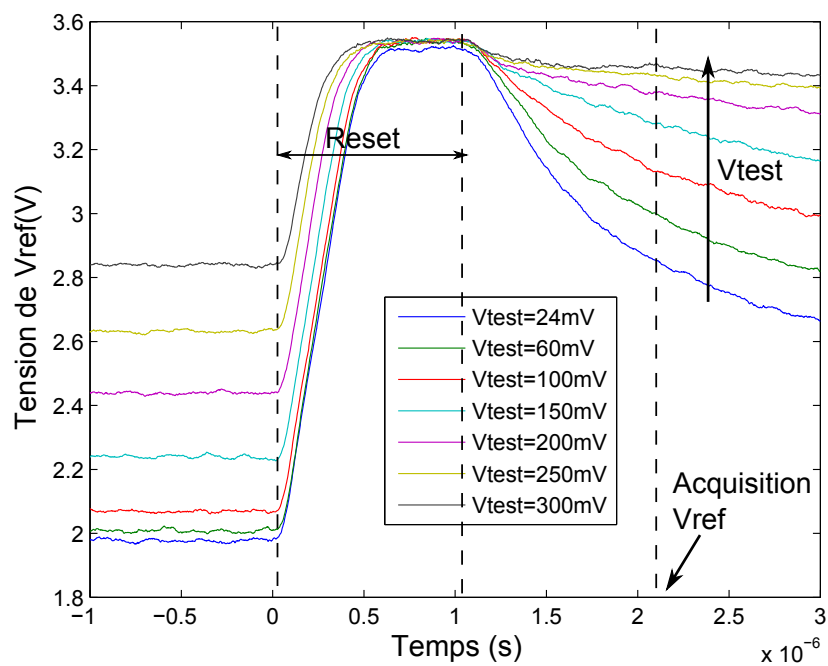


FIGURE 3.24 – Potentiel de la cathode de $15 \times 15 \mu m^2$ d'un pixel voisin Est en fonction du temps et pour différents potentiel sur le pixel test. L'initialisation de la photodiode est réalisée ici entre 0 et $1 \mu s$ et l'échantillonnage de la tension de référence V_{ref} est réalisée environ $1 \mu s$ après la fin de l'initialisation. Cette tension de référence est impactée par le fort courant de fuite rechargeant la photodiode.

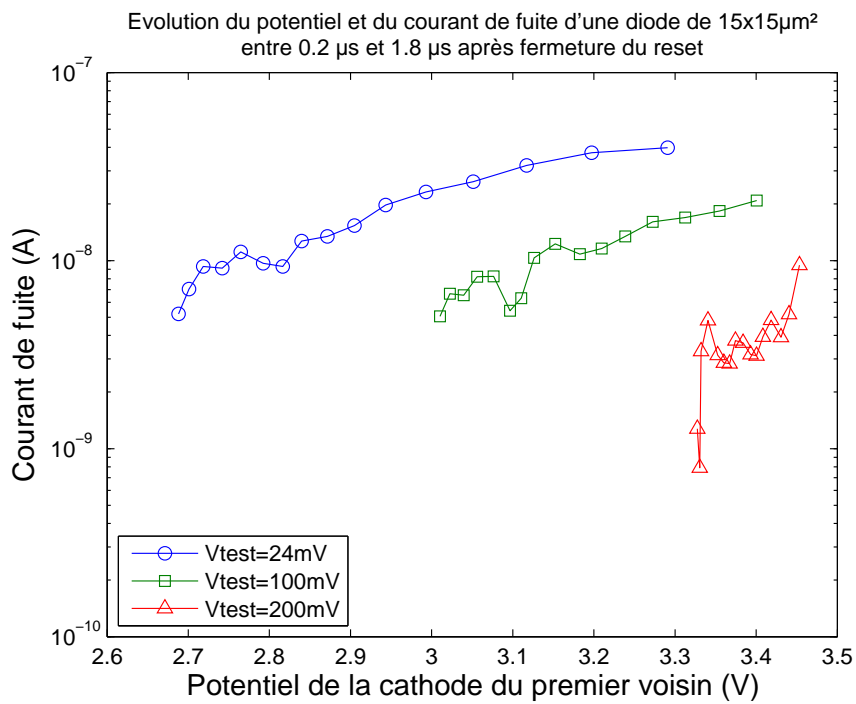


FIGURE 3.25 – Estimation du courant de fuite à partir de la variation de potentiel de cathode de $15 \times 15 \mu\text{m}^2$ mesurée à l'oscilloscope (présenté figure 3.24). Le courant de fuite estimé est du même ordre de grandeur que celui mesuré en structure de test.

3.4. Courant de fuite entre photodiodes (punchthrough)

3.4.2.3 Propagation entre pixels

Nous avons jusqu'à présent étudié la réponse des premiers voisins du pixel test pour démontrer l'impact des variations géométriques et technologiques sur le courant de fuite. Le phénomène de punchthrough est également présent lorsque la différence de potentiel entre les cathodes des premiers et seconds voisins est assez faible pour déclencher le phénomène, ce qui est le cas des pixels présentés figure 3.18.

La réponse des trois premiers voisins Est d'un pixel test est représentée figure 3.26 pour des tailles de cathode de $15 \mu m$ et sans P profond. Comme décrit précédemment, la réponse du premier voisin augmente lorsque la tension du pixel test diminue à cause d'une diminution du signal V_{sig} . Puis, la réponse diminue à cause d'une saturation du signal V_{sig} et d'une diminution du signal V_{ref} . Pour de forts courants de punchthrough, le potentiel de la cathode du premier voisin diminue suffisamment durant le temps d'intégration (74 ms) pour générer un courant de fuite avec le second voisin. Le phénomène se propage donc de proche en proche pour des temps d'intégration assez longs et / ou des courants assez importants. Dans nos conditions de mesures, seuls les pixels de pas $20 \mu m$ présentent une propagation aux seconds voisins.

Ainsi, si une source d'électrons est présente dans la matrice (ionisation importante par une particule incidente ou bien défaut générant dans la zone dépeuplée d'un pixel), son effet peut se propager sur plusieurs pixels voisins. Le nombre de pixel impacté augmente avec le nombre de charges disponibles, le courant de punchthrough et le temps d'intégration des charges.

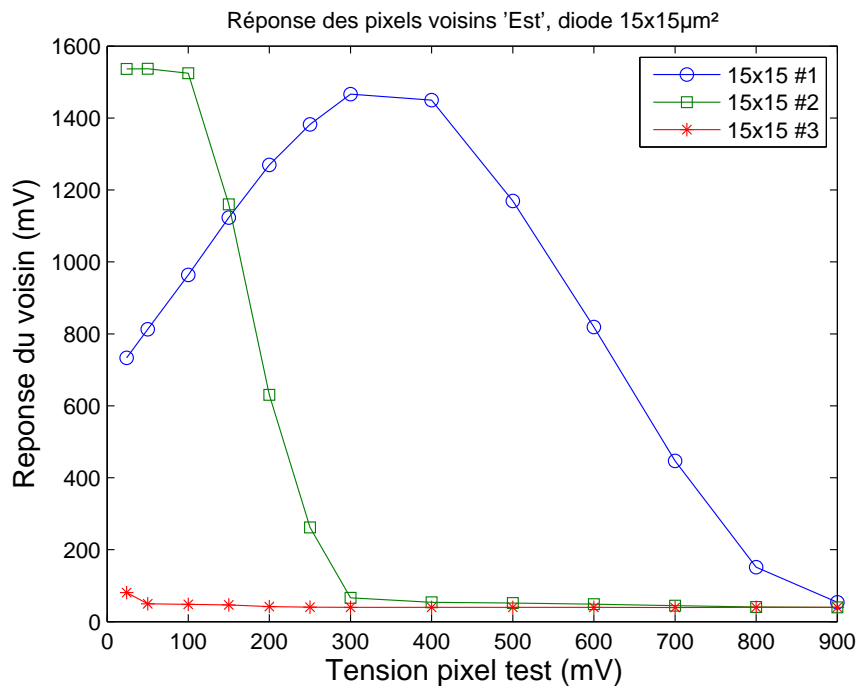


FIGURE 3.26 – Réponse du premier, second et troisième voisin Est du pixel test en fonction de la tension appliquée à ce dernier. Mesures réalisées avec des cathodes de $15\mu m$ et sans P profond entre les colonnes. Pour des tensions faibles sur le pixel test (courant de fuite élevé), le courant de fuite se propage de proche en proche.

3.4. Courant de fuite entre photodiodes (punchthrough)

3.4.2.4 Impact de la distance entre le caisson P profond et la cathode

Nous avons montré l'efficacité du caisson P profond à limiter le courant de punchthrough en modifiant l'extension de la zone dépeuplée. La distance entre le caisson P profond et la cathode N est donc un des paramètres pouvant également avoir une influence sur ce courant. Des variations de pixels ont été dessinées pour vérifier l'impact de la distance, notée L_{esp} , entre le P profond et la cathode. Le schéma des pixels est présenté figure 3.27 et les résultats en figure 3.28

Les courbes expérimentales montrent que l'écartement du caisson P profond de la cathode provoque une augmentation du signal des premiers voisins, ce qui signifie que le courant de punchthrough a augmenté. En d'autres termes, la contrainte que le caisson P profond exerce sur l'extension de la zone dépeuplée est plus faible avec la distance le séparant de la cathode. Ceci démontre la variation des potentiels situés dans le substrat entre les cathodes par une implantation de bore plus ou moins proche des cathodes. Par contre, l'effet ne varie plus pour des espacements plus faible que $1 \mu m$.

Pour que le caisson P profond soit le plus efficace dans la réduction du courant de punchthrough, celui-ci doit donc être placé à au moins $1 \mu m$ de la cathode.

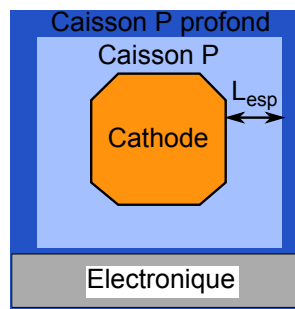


FIGURE 3.27 – Schéma présentant un pixel et la localisation de l'implantation de bore à haute énergie, formant les caissons P profonds.

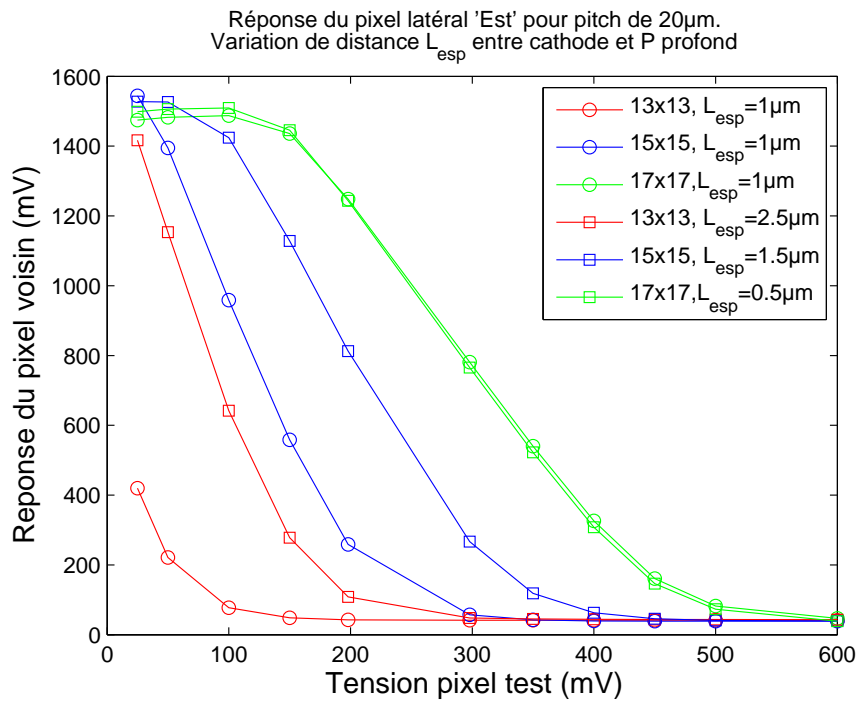


FIGURE 3.28 – Impact de l’espacement entre le caisson P profond et la cathode sur la réponse du premier voisin, et donc sur le courant de punchthrough. L’augmentation du courant avec la distance L_{esp} démontre la modulation du potentiel dans le substrat.

3.5 Conclusion

Nous avons dans ce chapitre réalisé l'étude de l'intégration d'un imageur CMOS 3T sur un substrat hautement résistif. Ce circuit constitué de circuits CMOS alimentés en 1.8V et 5V, ainsi que de photodiodes réparties en une matrice de pixels, a été intégré avec succès sur un substrat float-zone à l'aide d'un procédé CMOS d'une fonderie commerciale spécialisé dans l'optoélectronique.

Le dopage du substrat a été estimé en utilisant la technique de la capacité différentielle sur des photodiodes PN. Nous souhaitons utiliser avec cette méthode la valeur de capacité uniquement attribuable à la jonction entre le substrat et le fond de la cathode N. Pour extraire les termes de capacité surfacique, périmétrique et parasite de la mesure totale, plusieurs grandes photodiodes de rapport géométrique variés ont été utilisées. L'expérience montre un comportement de la zone dépeuplée dans le substrat proche de celle d'une jonction PN abrupte unidimensionnelle, et une estimation du dopage en bore de $N_a = 6.10^{12} \text{at/cm}^3$ homogène dans le substrat. Ces résultats sont cohérents avec ceux attendus d'un substrat float-zone même si la valeur absolue du dopage peut paraître légèrement élevée. Nous avons comparé ces résultats avec ceux d'une mesure SRP montrant une concentration plus faible mais constante avec la profondeur. Les erreurs de mesure et la modification du dopage durant la fabrication des composants peuvent en être la cause.

La bonne intégration des transistors MOSFET 5V a été vérifiée à l'aide des mesures de leurs caractéristiques en régime statique. Ces mesures ont montré un assez bon accord avec les simulations réalisées sur la base du modèle Spice. Pour les NMOS, l'utilisation d'un caisson P profond sous-jacent à leur caisson P ne modifie pas leur caractéristiques $I(V)$. À l'inverse, les PMOS montrent des caractéristiques modifiées suivant qu'ils sont ou non intégrés sur un caisson P profond. Leur tension de seuil est modifiée, indiquant une modification du dopage du canal. Néanmoins, cela n'est pas attribuable au faible dopage du substrat, mais plutôt au procédé de fabrication lui-même : le caisson P profond contribue à la détermination du dopage dans le canal, et donc de la tension de seuil du transistor. La chaîne de lecture analogique du capteur se comporte selon les simulations et les circuits de décodage des adresses sont eux aussi fonctionnels.

L'utilisation d'une matrice de photodiodes rapprochées les unes des autres sur un substrat résistif peut donner naissance à des courants de fuite entre ces photodiodes. Ce courant est dépendant de :

- la différence de potentiel entre les photodiodes
- l'espacement entre les cathodes
- la taille de la cathode
- l'utilisation d'un caisson P profond

Un phénomène de propagation de proche en proche a également été démontré pour les cathodes les plus larges des pixels de pas $20 \mu\text{m}$.

L'étude du courant de punchthrough en fonction des variations géométrique des pixels

et de leur cathode nous donne des informations sur l'extension des zones dépeuplées dans le substrat. En particulier, cette étude confirme que les zones dépeuplées s'étendent avec la taille de la cathode, et que le caisson P profond limite leur extension, comme nous l'avons vu dans le chapitre 2.

Nous pouvons définir quelques règles pour éviter les échanges de charges entre pixels sur la technologie utilisée : un caisson P profond est nécessaire pour les tailles de cathode supérieures à $5 \mu m$ dans les pixels de pas $10 \mu m$, et pour les tailles de cathode de $10 \mu m$ dans un pixel de $20 \mu m$. Pour de plus petites tailles de cathode, ce caisson n'est pas nécessaire (il reste néanmoins présent sous les circuits dans tous les pixels étudiés). Ce caisson P doit être situé à $1 \mu m$ de la cathode pour être pleinement efficace. Même avec un caisson P profond, les tailles de cathode doivent être inférieures à $7.5 \mu m$ en pixel de pas $10 \mu m$ et à $13 \mu m$ pour des pixels au pas de $20 \mu m$.

Ces résultats servent également à anticiper l'impact du punchthrough sur le fonctionnement de l'imageur. Nous avons ici utilisé des pixels test contrôlés en tension afin de démontrer et étudier le phénomène. Ces pixels peuvent être considérés comme des sources d'électrons inépuisables disposées au sein de la matrice. Pour un imageur en vol, on peut remplacer ces sources par le passage d'une particule ionisante (protons, ions lourds, électron etc ...), par l'image d'un objet fortement contrasté, ou par un pixel défaillant générant des charges dans le substrat (dit pixel chaud). Dans ce cas, la quantité de charges pouvant se répartir entre les pixels est finie, et l'impact du punchthrough en terme d'amplitude et de nombre de pixel impacté devrait être plus faible que pour notre étude.

L'impact du punchthrough sur les pixels est principalement dépendant du nombre de charges disponibles pour recharger les photodiodes et du potentiel des différentes photodiodes. Dans le cas d'un dépôt donné de charges (particule ionisante) dans le silicium, l'impact est similaire à celui d'une saturation des pixels (blooming). Dans le cas d'une saturation sans punchthrough, le pixel sur le trajet de la particule collecte des charges jusqu'à saturation de sa photodiode et le reste des charges générées dans le silicium diffuse ensuite vers les pixels voisins. Si un courant de punchthrough est présent, les charges seraient collectées par un pixel jusqu'à ce que sa photodiode atteigne un potentiel augmentant fortement le courant de punchthrough avec les pixels voisins, et les charges circuleraient ensuite vers les pixels voisins par émission thermoionique.

Dans le cas d'un pixel chaud comportant un défaut générant dans la zone dépeuplée, la génération SRH recharge la photodiode et le courant d'émission thermoionique recharge les proches voisins simultanément. Un pixel chaud aura donc un impact sur ses proches voisins dépendant du temps d'intégration de la matrice et de sa génération de charges en interne.

Pour limiter les effets de saturation sur un imageur conventionnel, une solution consiste à garder une polarisation V_g sur la grille du transistor d'initialisation supérieur à sa tension de seuil pendant l'intégration des charges. Dans ces conditions, si le potentiel de la photodiode descend sous $V_g - V_t$ alors le transistor devient passant et recharge la diode, empêchant son potentiel de descendre davantage. Ceci permet de conserver un puits de potentiel et d'évacuer les électrons surnuméraires qui auraient diffusé vers les pixels voisins. Cette solution peut

3.5. Conclusion

aussi empêcher les photodiodes d'atteindre des tensions assez basses pour provoquer un fort courant de punchthrough. La chaîne de lecture saturant pour des tensions inférieurs à 2V, cette solution peut être applicable dans notre cas sans diminuer la dynamique du capteur.

Nous avons donc réalisé un imageur fonctionnel sur substrat résistif et étudié l'impact que peut avoir le courant de punchthrough sur l'image obtenue. Le comportement de l'imageur étant maintenant connu, la caractérisation électro-optique sera réalisée dans le chapitre suivant.

Performances électro-optique sur substrat résistif

4.1 Introduction

Nous avons étudié dans le chapitre précédent l'intégration d'un imageur CMOS sur un substrat résistif et déterminé les risques liés à l'extension de la zone dépeuplée en fonction des variations de conception des pixels. A travers cette étude, nous avons démontré l'extension latérale de la zone dépeuplée avec la taille de cathode, qui s'accompagne théoriquement d'une extension en profondeur, comme présenté dans l'étude théorique du chapitre 2. Nous disposons donc d'un imageur fonctionnel, composé de plusieurs sous-matrices de pixels permettant une caractérisation électro-optique du composant.

Nous présentons dans ce chapitre les résultats de cette caractérisation qui comporte plusieurs volets. Premièrement, le CVF des pixels a été déterminé et comparé aux mesures de capacité réalisées sur des photodiodes en structures de test. Ces mesures sont également comparées aux résultats d'un modèle analytique de prédiction du CVF afin de corrélérer l'impact supposé des variations de conception, avec les variations mesurées de CVF. Nous étudierons principalement l'impact de la taille de la cathode et de l'espacement entre cathode et caisson P. En second lieu, le QE externe a été mesuré pour l'ensemble des variations de pixel. La diaphonie est ensuite étudiée ainsi que la FTM en utilisant des motifs métalliques déposés dans l'empilement des couches d'oxyde sur l'imageur. Le couple QE/diaphonie représente l'efficacité de collection des charges, dont l'amélioration reste l'objectif principal de ce travail de thèse. Nous comparerons ces résultats avec les variations de volume dépeuplé provoquées par les différentes géométries implémentées. Finalement, une étude du courant d'obscurité est menée afin de déterminer son intensité et les sources composant ce courant.

4.2 Dispositif expérimental

Un banc de caractérisation du laboratoire a été utilisé pour l'évaluation des performances électro-optique du capteur. Ce banc schématisé figure 4.1 comprend un ordinateur contrôlant un générateur de mot dans le but de séquencer la lecture de la matrice de pixel. Ce générateur de mot permet, via une carte FPGA, l'envoi des adresses et signaux de commande au capteur. Une carte de proximité permet de connecter le capteur testé à l'ensemble des entrées

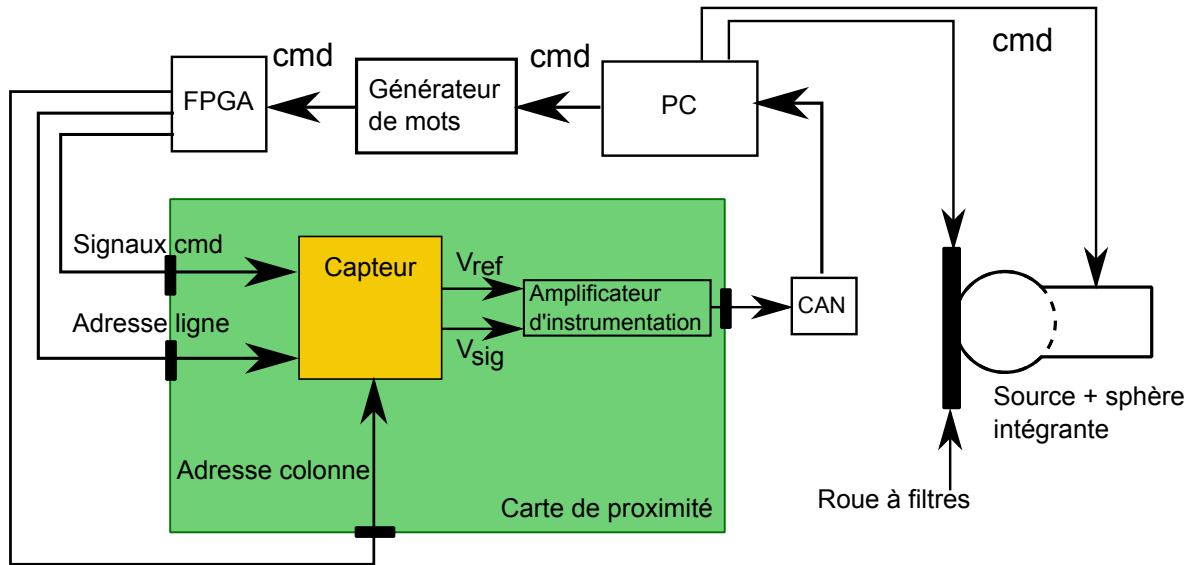


FIGURE 4.1 – Schéma du banc de caractérisation sous illumination utilisé pour l'évaluation des performances électro-optiques.

et sorties du banc de mesure. Un amplificateur d'instrumentation intégré à cette carte permet entre autre d'effectuer la différence des signaux V_{ref} et V_{sig} sortant du capteur. Le signal est alors envoyé en entrée d'un convertisseur analogique / numérique renvoyant ce signal digitalisé à l'ordinateur du banc. Une source de lumière blanche ainsi qu'une sphère intégrante sont utilisées comme source d'illumination. Cette lumière blanche est ensuite filtrée par différents filtres interférentiels placés dans une roue à filtre devant la sphère. Ce montage permet d'éclairer un capteur en champ plat pour différentes longueurs d'onde. L'intensité de la source et la sélection du filtre sont également commandées par l'ordinateur de mesure.

4.3 Facteur de conversion charge-tension

Le facteur de conversion d'un pixel 3T est déterminé par la capacité équivalente de la photodiode PN et par les capacités des éléments intra-pixel qui lui sont connectés. Ces capacités peuvent être résumées par la capacité entre le rail métallique et le substrat, la capacité entre le drain du transistor d'initialisation et son caisson P, et la capacité entre la grille du transistor suiveur et le substrat. En dehors de la jonction PN, ces capacités sont dépendantes de la conception de l'électronique intra-pixel, et elles ne devraient en principe subir aucune modification de par l'utilisation d'un substrat résistif car les transistors sont intégrés dans des caissons dont le dopage est déterminé par le procédé de fabrication principalement. Nous avons d'ailleurs vérifié le bon fonctionnement de ces transistors dans le chapitre précédent, confirmant la bonne formation des caissons dans le substrat résistif. Au contraire, la photodiode qui est directement intégrée dans le silicium résistif voit sa capacité diminuer avec la dopage du substrat. L'ensemble de ces termes est représenté figure 4.2.

4.3. Facteur de conversion charge-tension

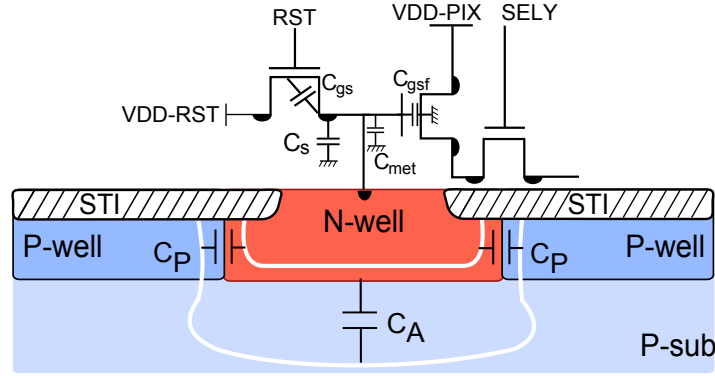


FIGURE 4.2 – Éléments capacitif au sein d'un pixel.

Si nous utilisons les concepts développés dans les chapitres précédents pour évaluer la capacité de la photodiode, nous pouvons supposer qu'elle est composée de deux termes : un terme surfacique et un terme périmétrique. En utilisant la relation $C = \epsilon_{Si}/W$ où W représente une largeur de zone dépeuplée, nous pouvons décrire la capacité de la diode à l'aide de l'extension de la zone dépeuplée autour de la cathode et sous la cathode, définissant respectivement la capacité C_P et C_A de la figure 4.2. Comme précisé dans le chapitre 2, le terme surfacique est faible devant le terme périmétrique qui déterminera la capacité totale de la photodiode. Ce type de modèle a été utilisé durant la phase de conception du véhicule test pour estimer les variations de CVF.

Nous disposons de peu de renseignements pour évaluer l'ensemble des composantes prenant part à la capacité du nœud de collection. En particulier, les dopages ne sont pas connus et les capacités relatives à l'électronique intra-pixel ($C_s, C_{gs}, C_{met}, C_{gsf}$) sont estimées par des expressions analytiques ou les modèles du fondeurs, introduisant une incertitude sur ces termes. Nous déterminons la capacité de la source du transistor d'initialisation à l'aide du modèle utilisé par le logiciel Cadence, la capacité de grille du transistor suiveur est estimée par celle de l'oxyde de grille : $C_{gsf} = 2/3.W.L.\epsilon_{ox}/t_{ox}$, et la capacité des connexions métalliques est estimée par la capacité entre le métal et le substrat : $C_{met} = A_{met}\epsilon_{ox}/t_{ox1}$.

La capacité totale du nœud de collection est donc $C_{tot} = C_p.P + C_a.A + C_{met} + C_{gsf} + C_s$ et le facteur de conversion y est directement lié par :

$$CVF = G \cdot \frac{q}{C_{tot}} \quad (4.1)$$

G est le gain de la chaîne de lecture et est égal dans notre cas à 0.6. Le facteur de conversion a été déterminé par des mesures en matrice via la méthode de la mean-variance ainsi que par la méthode Pain-Hancock (ou méthode de l'estimation non linéaire) [PH03]. Les mesures de variance réalisées étant entachées d'un bruit d'origine inconnue, nous utiliserons principalement ici les résultats donnés par la méthode de Pain-Hancock qui se sont montrés reproductibles sur deux imageurs différents, à l'inverse de ceux obtenus par la méthode de la mean-variance, plus sensibles au bruit du banc.

Paramètres	Équation	Valeur
C_{met}	$C = \epsilon_{Si}/t_{ox}l$	$< 0.1\text{fF}$
C_{gsf}	$2/3C_{ox}L_gW_g$	1.2 fF
C_s	Eldo	0.4 fF

TABLE 4.1 – Estimation des capacités parasites du nœud de collection.

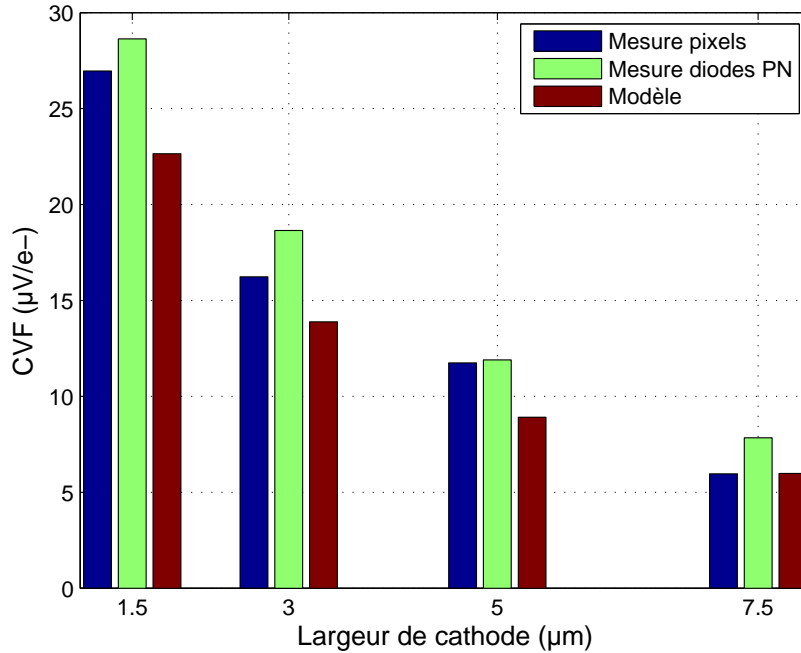


FIGURE 4.3 – Facteur de conversion des pixels de $10\ \mu\text{m}$ pour différentes largeurs de cathode. Comparaison avec le CVF estimé à partir des mesures sur diodes PN et par le modèle analytique.

En complément, la capacité de la photodiode a également été mesurée à l’aide d’un réseau de 400 diodes PN connectées en parallèle. La capacité du rail métallique a été mesurée séparément sur une structure dédiée afin de ne pas la prendre en compte. Un facteur de conversion peut être estimé à partir de ces mesures en ajoutant les termes de capacité : C_{met} , C_{gsf} , et C_s et en utilisant l’équation 4.1 avec un gain de 1.

Le facteur de conversion a donc pu être estimé à partir des mesures de la moyenne et de la variance réalisées sur une matrice de pixels (méthode Pain-Hancock) et à l’aide de mesures de capacité des diodes PN. Les résultats de ces deux mesures pour les pixels de pas $10\ \mu\text{m}$ sont présentés figure 4.3 et sont comparés à l’estimation donnée par le modèle analytique. La capacité périmétrique utilisée dans le modèle a été ajustée aux mesures et les paramètres utilisés sont résumés dans le tableau 4.1.

Les pixels de pas $20\ \mu\text{m}$ disposent d’une plus grande variété de taille de cathode. Les CVFs mesurés sur ces pixels sont présentés dans la figure 4.4. Comme on peut le voir sur

4.3. Facteur de conversion charge-tension

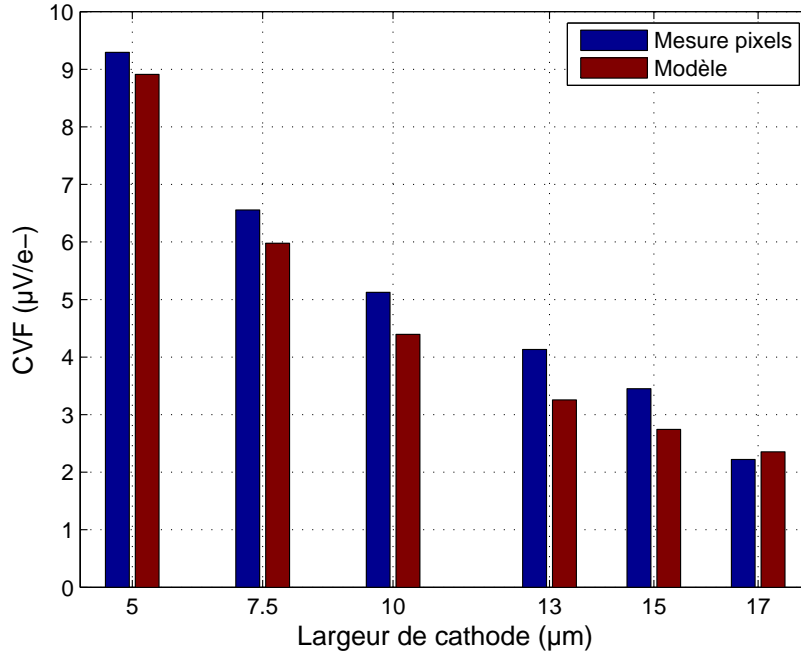


FIGURE 4.4 – Facteur de conversion des pixels de pas $20 \mu\text{m}$ et comparaison avec le modèle analytique.

les figures 4.3 et 4.4, les variations entre mesures et modèle sont semblables en fonction de la taille de cathode. On peut également remarquer figure 4.3 que le CVF estimé à l'aide des photodiodes en structures seules est assez proche de celui mesuré sur les pixels en matrice. Les capacités mesurées des photodiodes et les capacités parasites estimées de l'électronique intra-pixel permettent donc d'approcher le CVF mesuré par la méthode de Pain-Hancock ce qui montre que les estimations utilisées ici sur les capacités dans l'électronique intra-pixel et de la photodiode permettent d'approcher le comportement réel de la capacité du nœud de conversion.

Nous avons donc estimé le facteur de conversion pour les différentes tailles de cathodes présentes dans notre imageur. Conformément aux attentes le CVF diminue avec l'augmentation des tailles de cathode. Les variations de CVF sont assez semblables avec celles estimées par un modèle analytique simple où le terme de capacité du périmètre domine la capacité de la photodiode. La capacité périmétrique dépendant du dopage P autour des cathodes, nous chercherons à montrer dans la prochaine partie si le caisson P profond modifie significativement la capacité du nœud de collection.

4.3.1 Impact du caisson P profond sur le facteur de conversion

Nous avons utilisé dans certains pixels un caisson P profond autour de la cathode afin d'améliorer l'isolation entre les photodiodes des pixels adjacents. Cette implantation sup-

plémentaire pourrait augmenter la capacité de la photodiode en augmentant la capacité du périmètre de la cathode. Nous comparons donc dans cette partie les CVFs de pixels avec et sans caisson P profond pour les mêmes tailles de cathode. Comme précisé dans le chapitre précédent, les pixels dits sans P profond possèdent quand même cette implantation sous les transistors. Chaque ligne de cathode est séparée par le caisson P profond, alors que les cathodes des pixels dits avec P profond sont entourées par le caisson P profond sur les quatre côtés.

Nous avons simulé à l'aide d'un logiciel de TCAD (Synopsys Sentaurus) la variation de capacité des photodiodes avec et sans caisson P profond autour de la cathode. Les géométries utilisées sont similaires à celles des pixels : le caisson P profond est donc espacé de $1 \mu m$ de la cathode. La simulation est réalisée en 2 dimensions avec des profils de dopage gaussien. Une source génère une tension alternative petit signal autour d'une tension DC en mode 'mixed-mode' pour estimer la capacité de la jonction. Les résultats montrent que l'augmentation de capacité simulée attribuée au caisson P profond est de l'ordre de 5 % par rapport aux pixels sans P profond. La variation de CVF attendue entre les deux types de pixels est donc très faible.

Une comparaison des mesures de CVF des pixels avec et sans P profond est présentée figure 4.5 pour les pixels de pas $10 \mu m$ et figure 4.6 pour les pixels de pas $20 \mu m$. On peut voir que l'introduction du caisson P profond entre les colonnes de pixels ne modifie pas ou très peu le CVF pour toutes les variations de taille de cathode. Cela conforte donc les résultats des simulations TCAD et confirme que le caisson P profond ne joue pas un rôle prépondérant dans la capacité de la photodiode. Le terme de capacité périmétrique de la cathode est donc principalement déterminé par la jonction avec le caisson P l'entourant. On peut supposer que l'ajout de bore en profondeur ne modifie pas ce terme car il n'est pas ou peu en contact avec le caisson N.

4.3.2 Augmentation du facteur de conversion par recul du caisson P

L'ajout d'un écartement entre le caisson P entourant la cathode N de la photodiode devrait théoriquement permettre d'augmenter le CVF en diminuant la capacité du périmètre de la photodiode. Nous avons donc intégré dans la matrice de pixels quatre variations de l'écartement noté L_r entre une cathode de $3 \mu m$ de côté et le caisson P l'entourant. Ces quatre variations d'espacement L_r sont de $0.6 \mu m$, $1 \mu m$, $1.5 \mu m$ et $2 \mu m$.

Le modèle analytique peut être adapté à cette géométrie en prenant en compte L_r dans le terme de capacité du périmètre. Pour le modèle utilisé avec les précédents résultats, une capacité périmétrique de $0.4 fF/\mu m$ a été utilisée, ce qui correspond à des caissons dopés en moyenne à $N_{a,d} = 10^{17} at/cm^3$ sur un micron de profondeur. Si l'on suppose que l'espacement créé par le recul du caisson P est dopé au même niveau que le substrat (c'est à dire que les profils de dopage des caissons N et P sont abruptes), on peut alors dire que l'ensemble de ce volume est dépeuplé de porteurs comme représenté figure 4.7a. En ajoutant à W (la largeur initiale dépeuplée dans les caissons) le recul du caisson P L_p , on peut estimer un nouveau

4.3. Facteur de conversion charge-tension

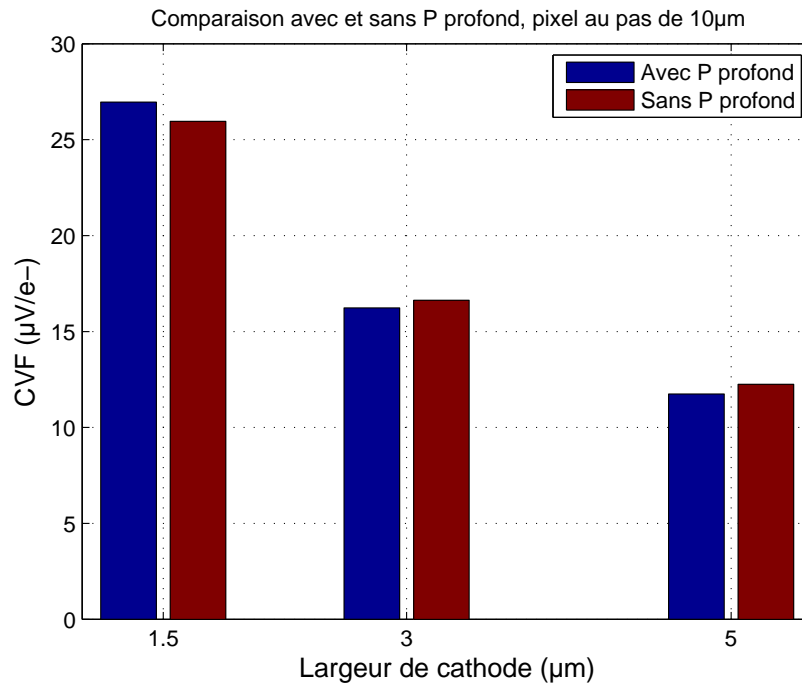


FIGURE 4.5 – Comparaison du facteur de conversion des pixels avec et sans P profond pour différentes tailles de cathodes dans des pixels de pas 10 μm . Le caisson P profond ne semble pas impacter de manière assez importante la capacité de la photodiode pour modifier le CVF.

terme de capacité périmétrique pour chaque valeur de L_p car $C_p \propto \epsilon_{Si}/(W + L_p)$.

Les CVF estimés par ce modèle sont présentés figure 4.8 et sont comparés aux CVFs mesurés sur le véhicule test. On constate que ce modèle basé sur une jonction abrupte surestime le CVF en sous-estimant la capacité périmétrique de la photodiode. Il n'est donc pas adapté pour décrire l'effet de l'écartement du caisson P.

En réalité, le dopage des caissons n'est jamais parfaitement abrupte car les impuretés diffusent dans la matrice cristalline pendant les différentes étapes du procédé de fabrication. En particulier, les caissons sont implantés en début du procédé, après la définition des oxydes d'isolation (le STI dans notre cas), et subit l'ensemble des traitements thermiques du procédé [Plu00, p. 60]. Les profils des caissons peuvent alors s'étendre sur plusieurs centaines de nanomètres [Ahn+90]. Le modèle de la figure 4.7a qui ne prend pas en compte cette extension est donc peu représentatif de la réalité.

Pour prendre en compte la diffusion des dopants entre la cathode N et le caisson P, un modèle de jonction ayant un gradient de dopage linéaire est utilisé afin de simuler une variation progressive de la concentration de dopants. Le gradient de concentration réel n'est pas linéaire et ce modèle n'est qu'une approximation de la réalité, mais permet de simuler un gradient latéral de dopage. Le schéma correspondant est présenté en figure 4.7b. Les équations décrivant ce modèle sont légèrement différentes de celles du modèle abrupte et prennent en compte le gradient de concentration 'a' qui est dans notre cas supposé dépendant de L_r :

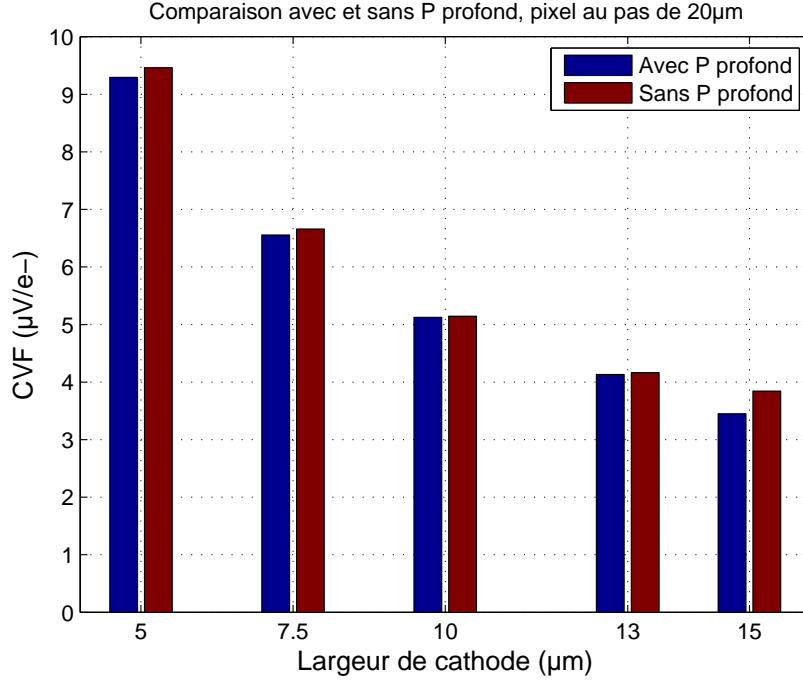


FIGURE 4.6 – Comparaison du facteur de conversion des pixels avec et sans P profond pour différentes tailles de cathodes dans des pixels de pas 20 µm. Ici aussi, le caisson P profond ne modifie pas de manière importante le CDF.

$a = 2N_{a,d,max}/L_r$. Le terme de potentiel induit de la jonction abrupte ϕ_{bi} est remplacé par la tension de gradient V_g , estimée par [Sze85, p. 82] :

$$V_g = \frac{2kT}{3q} \ln\left(\frac{a^2 \epsilon_{Si} kT}{8n_i^3 q^2}\right) \quad (4.2)$$

La largeur de zone dépeuplée W_{lin} entre le caisson N et le caisson P est alors estimée par :

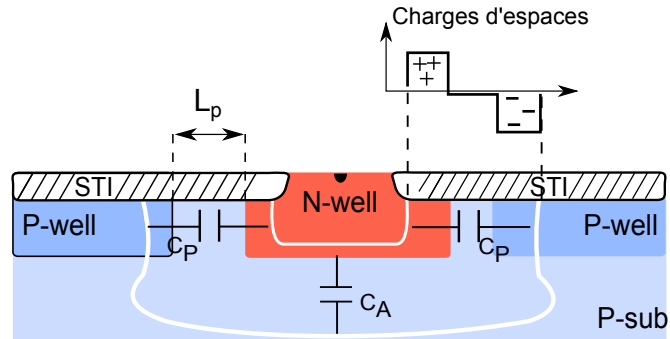
$$W_{lin} = \left(\frac{12\epsilon_{Si}(V_g + V)}{qa}\right)^{1/3} \quad (4.3)$$

La capacité estimée par ce modèle est calculée par $C_{lin} = \epsilon_{Si}/W_{lin}$ et donne les CDFs présentés figure 4.8 correspondant en légende au 'modèle linéaire'. L'estimation est dans ce cas plus proche des CDFs mesurés ce qui tend à confirmer qu'une certaine diffusion des dopants a eu lieu autour de la cathode. Le volume latéral dépeuplé est donc moins large que pour un cas de figure avec des profils purement abrupte : elle est selon notre modèle au maximum de 0.8 µm pour un écartement L_p de 2 µm. Cette diffusion de dopant limite donc l'impact du recul du caisson P.

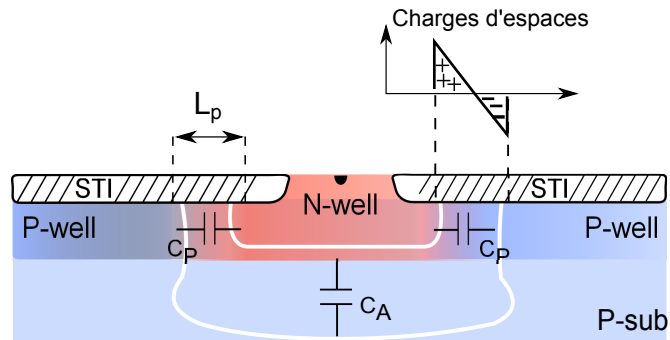
Nous voyons donc que l'écartement du caisson P profond permet d'augmenter le CDF en

4.3. Facteur de conversion charge-tension

diminuant la capacité du nœud de collection. Néanmoins, la diffusion latérale des dopants ne permet pas d'augmenter la largeur de zone dépeuplée d'autant que l'écartement du caisson P.



(a) Schéma des capacités de la photodiode dans l'hypothèse d'une jonction de périmètre abrupte



(b) Schéma des capacités de la photodiode dans l'hypothèse d'une jonction de périmètre linéaire

FIGURE 4.7 – Deux modèles différents de capacité pour l'estimation de la capacité périmétrique des pixels avec caisson P reculés.

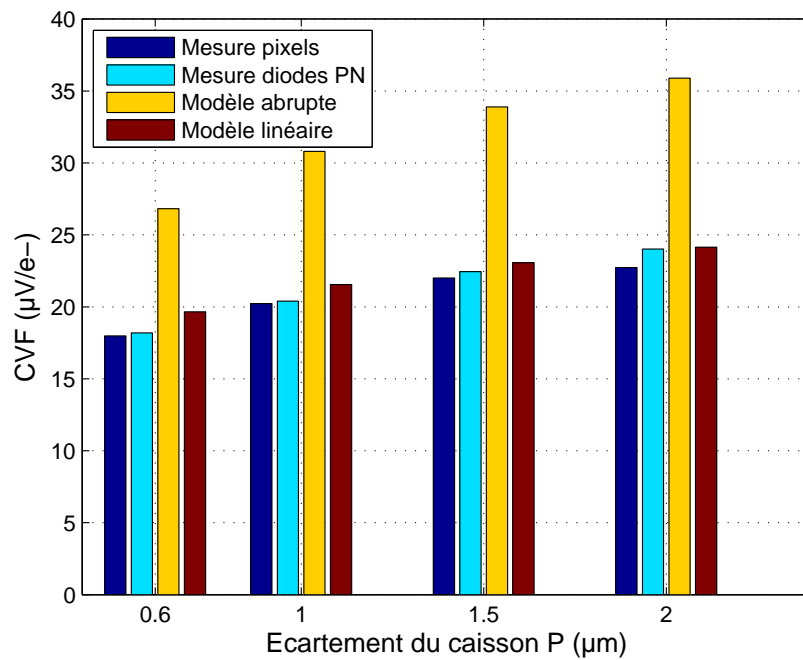


FIGURE 4.8 – Comparaison du facteur de conversion des pixels avec recul du caisson P. Le modèle utilisant l’hypothèse de jonctions abruptes présente une estimation trop élevée du CVF en sous-estimant la capacité périmétrique. Un modèle basé sur une jonction dopée linéairement semble plus adaptée dans ce cas.

4.4. Efficacité quantique

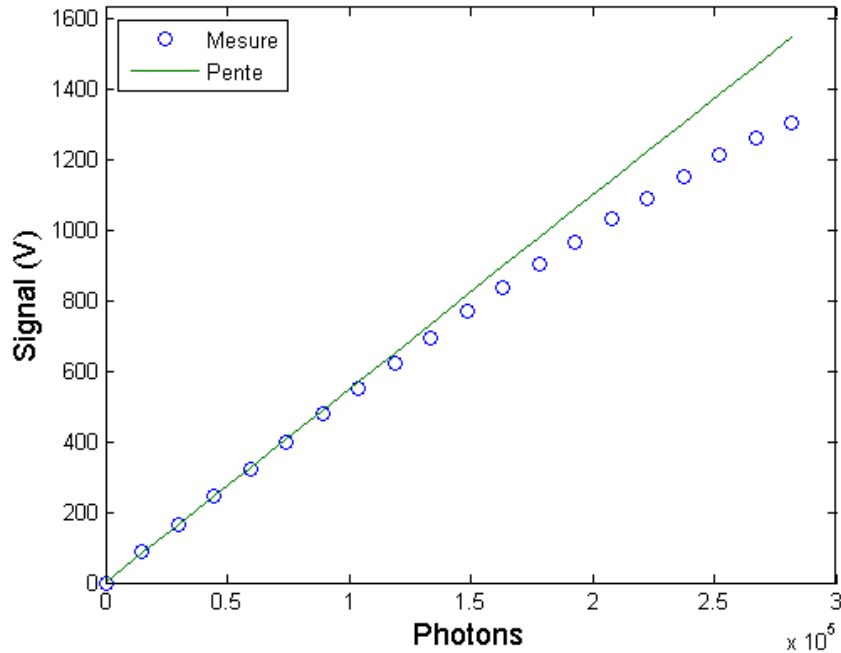


FIGURE 4.9 – Exemple d’une fonction de transfert électro-optique d’une sous-matrice de pixels à 700 nm. La pente estimée ici ainsi que le CVF permettent de calculer l’efficacité de détection spectrale (EDS).

4.4 Efficacité quantique

L’efficacité quantique a été mesurée pour 11 longueurs d’onde entre 450 nm et 950 nm en mesurant la pente en zone linéaire (en gardant une linéarité de 1 %) de la fonction de transfert électro-optique. Les fonctions de transfert sont estimées en moyennant les réponses des pixels de chaque sous-matrice. Nous étudierons dans cette partie l’impact des différentes variations de pixels sur l’efficacité quantique, en particulier les différentes tailles de cathode, l’ajout du caisson P profond et le recul du caisson P.

En premier lieu, le QE externe (EDS/FF où le facteur de remplissage FF représente le ratio de l’aire photo-sensible sur l’aire totale du pixel) du capteur développé durant ces travaux est comparé figure 4.10 au QE d’un détecteur réalisé au laboratoire CIMI sur un substrat avec épitaxie conventionnelle pour l’imagerie, et à celui d’un détecteur commercial destiné aux applications scientifiques. Ces capteurs possèdent tous un pas de pixel similaire, et seul l’architecture du capteur commercial est relativement différentes (pixels 4T illuminés en face arrière). On peut voir en particulier dans le proche infrarouge un bon maintien du QE pour le capteur développé dans ces travaux (capteur A) par rapport au capteur sur substrat conventionnel (capteur B) et au capteur commercial (capteur C). Le capteur C est avantagé par l’illumination face arrière qui lui permet d’afficher une très bonne réponse dans le visible. Nous étudierons dans la partie suivante l’impact des variations géométriques du pixel sur le QE.

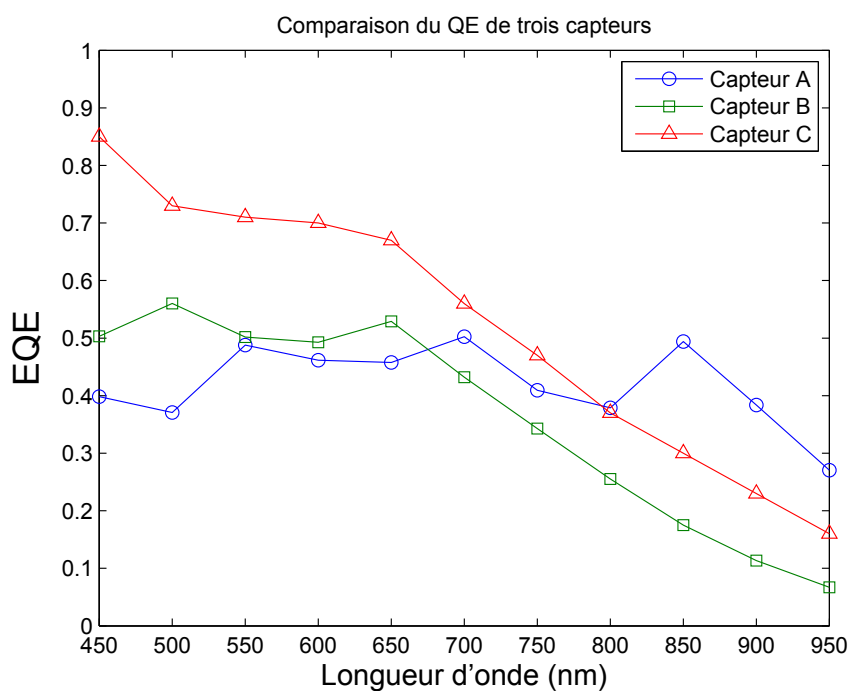


FIGURE 4.10 – Efficacité quantique externe du capteur développé dans ces travaux (capteur A), d'un capteur réalisé au CIMI, sur substrat conventionnel au pas de pixel de $10 \mu m$ (capteur B) et d'un capteur commercial visant des applications scientifiques, utilisant des pixels $4T$ de $11 \mu m$ illuminés en face arrière (capteur C).

4.4. Efficacité quantique

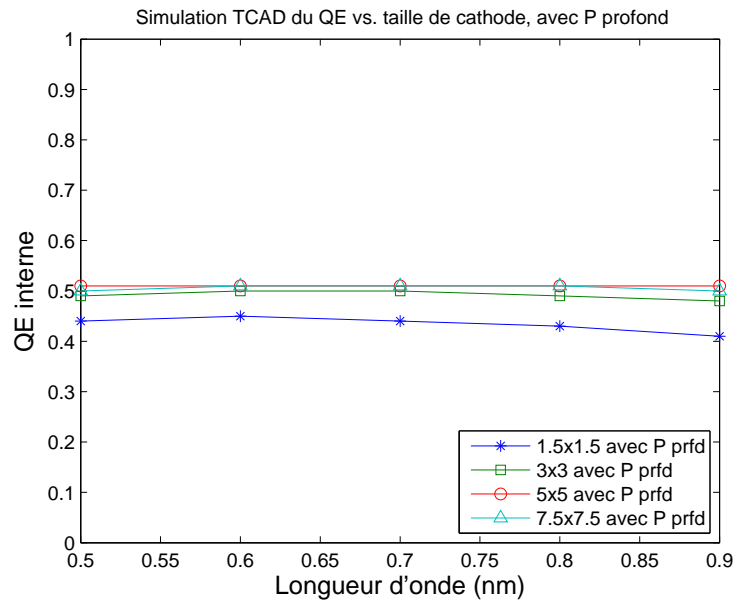


FIGURE 4.11 – Simulations TCAD de l'efficacité quantique des pixels de pas $10 \mu m$ avec caisson P profond, et pour quatre tailles de cathode. Une très faible dépendance du QE avec la taille de cathode est visible pour toutes les longueurs d'onde.

4.4.1 Impact de la largeur de cathode sur l'efficacité quantique

Nous avons vu dans le chapitre 2 que le QE dépendait en partie du volume de silicium photosensible et non du volume dépeuplé uniquement, du fait de la diffusion des porteurs dans les zones quasi-neutres. Dans notre cas, le volume photosensible est composé du volume de diffusion du substrat float-zone et la part de diffusion dans le photo-courant est supposée élevée. Une faible dépendance du QE avec la taille de la cathode est donc attendue. Des simulations TCAD estimant le QE pour un éclairage en champ plat sur différentes tailles de cathode et dont les résultats sont présentés figure 4.11 confirment d'ailleurs cette faible variation du QE avec la taille de cathode.

On suppose pour cette étude que le facteur de remplissage de chaque variation de pixel est le même, c'est à dire que la zone photosensible est la même pour toute les tailles de cathodes. Ce facteur de remplissage pour les pixels de pas $10 \mu m$ est $FF = 0.7$. La figure 4.12 présente les résultats du QE externe pour quatre tailles de cathode différentes. On peut y voir une même évolution du QE avec la longueur d'onde pour toutes les tailles de cathodes. Un décalage est présent mais reste relativement constant sur l'ensemble de la gamme de longueur d'onde. Il est donc plus probable qu'il soit dû à une incertitude sur le CVF qu'à une variation effective du QE provoquée par la taille de la cathode. Néanmoins, la plus petite diode présente une diminution plus marquée de son QE dans les fortes longueurs d'onde ($\lambda > 800nm$), qui pourrait provenir de la faible extension de sa zone dépeuplée.

Les pixels de pas $20 \mu m$ permettent d'utiliser des tailles de cathodes allant jusqu'à 17

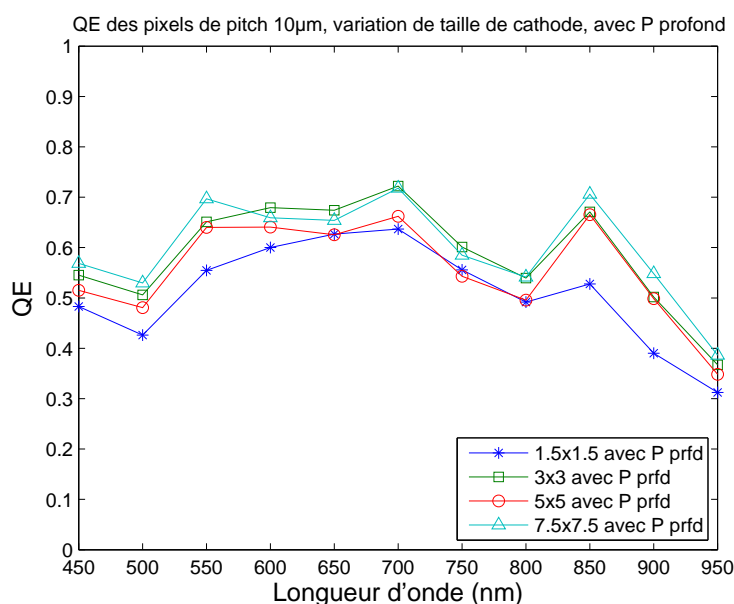


FIGURE 4.12 – Efficacité quantique des pixels de pas 10 μm avec caisson P profond, et pour quatre tailles de cathode. Aucun effet de dépendance entre la zone dépeuplée et la taille de cathode n'est visible ici.

μm de côté, et donc de mesurer le QE de pixel ayant une zone dépeuplée plus étendue. Les résultats présentés dans la figure 4.13 montrent que la diode de 5 μm au pas de 20 μm présente une réponse similaire à la diode équivalente dans un pixel au pas de 10 μm . Son QE est néanmoins plus faible que celui des diodes plus larges aux longueurs d'onde supérieures à 800nm. En outre, les valeurs estimées aux faibles longueurs d'ondes sont assez semblables, ce qui permet d'exclure une variation de QE induite par une incertitude du CVF sur ce jeu de données. Il est donc possible que cette différence de QE aux grandes longueurs d'onde soit due à la profondeur dépeuplée plus importante des grandes cathodes. La cause des variations observées entre 600nm et 800nm sur les pixels de 20 μm n'a pas été élucidée mais pourrait provenir d'un effet de surface, ces tendances n'étant pas observées dans les pixels de 10 μm .

Nous avons donc mesuré le QE de pixels de pas 10 et 20 μm avec différentes tailles de cathode. Les valeurs mesurées sur les différentes variations sont relativement semblables sur la gamme de longueur d'onde étudiée ce qui confirme que le QE est peu dépendant de la taille de cathode, même si une diminution du QE est rapportée aux fortes longueur d'onde pour les petites cathodes.

4.4.2 Impact de l'écartement du caisson P sur l'efficacité quantique

L'écartement du caisson P autour de la cathode N entraîne une diminution de la concentration en dopant en surface. Cette diminution entraîne en principe une augmentation de la largeur dépeuplée et une augmentation de la durée de vie des porteurs dans les zones non

4.4. Efficacité quantique

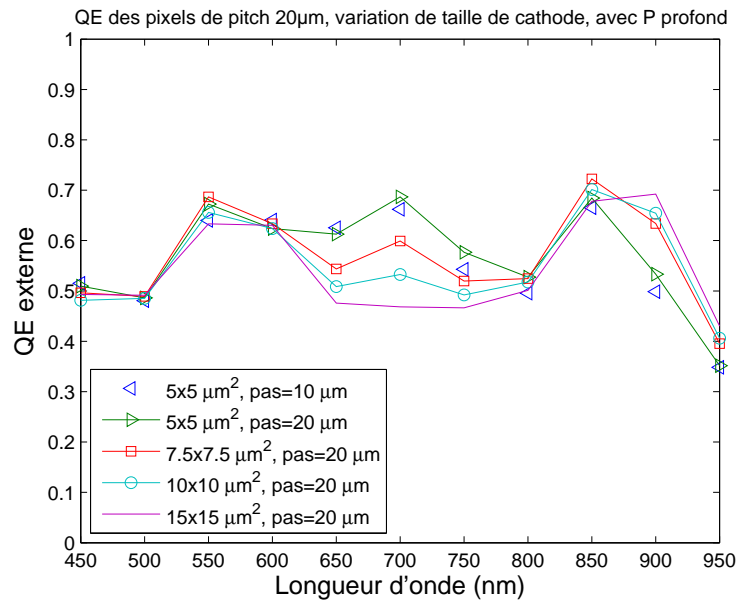


FIGURE 4.13 – Efficacité quantique des pixels de pas 20 μm avec caisson P profond. La diode de taille 5 μm , dont le QE est très similaire à son équivalent en pixel de pas 10 μm présente un QE plus faible aux fortes longueurs d'onde que celui des diodes plus larges, pouvant être provoqué par un volume dépeuplé plus faible.

dépeuplées du gradient de dopage des caissons P entre les cathodes. Ces deux effets sont susceptibles d'augmenter le nombre de charges collectées en surface, et donc le QE pour les faibles longueurs d'onde dans le cas d'une illumination par la face avant. Des simulations TCAD ont néanmoins montré un gain très faible de quelques pourcentages du QE, et les mesures réalisées sur ces composants présentées figure 4.14 ne montrent pas de variations nettes du QE. L'augmentation de QE est peut être trop faible pour être mesuré par notre méthode.

4.4.3 Impact du caisson P profond sur l'efficacité quantique

Les simulations TCAD présentées dans le chapitre 2 ont montré que l'ajout d'un caisson P profond influençait l'extension de la zone dépeuplée latéralement (entre les pixels) mais également en profondeur. Comme pour les variations de taille de cathode, nous cherchons une variation du QE pouvant être reliée à une variation de l'extension de la zone dépeuplée. Les résultats de la figure 4.15 montrent le QE pour des tailles de cathode différentes et pour des pixels avec et sans caissons P profond. Ces mesures ne montrent pas de tendances particulières quant à l'ajout du caisson profond sur le QE.

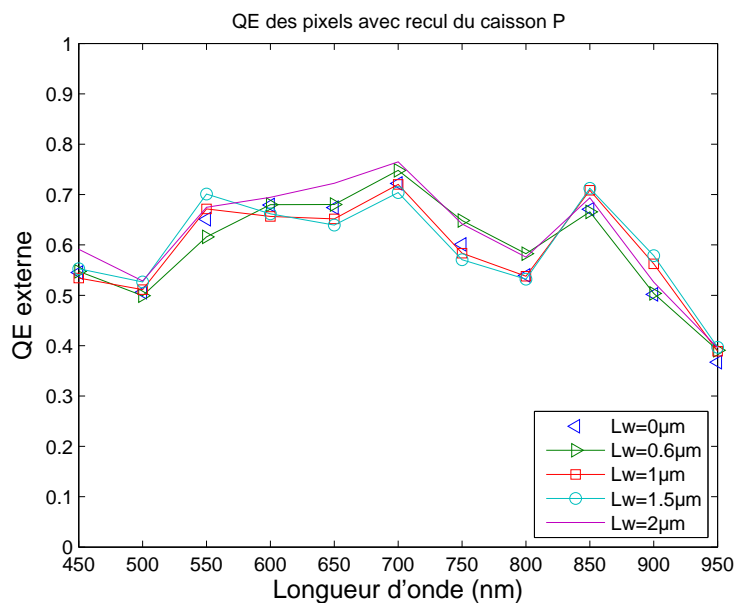


FIGURE 4.14 – Efficacité quantique des pixels avec recul du caisson P. La diode est de $3 \mu\text{m}$ de coté pour toutes les variations. Il n'y a pas de variation claire de la réponse aux faibles longueurs d'onde.

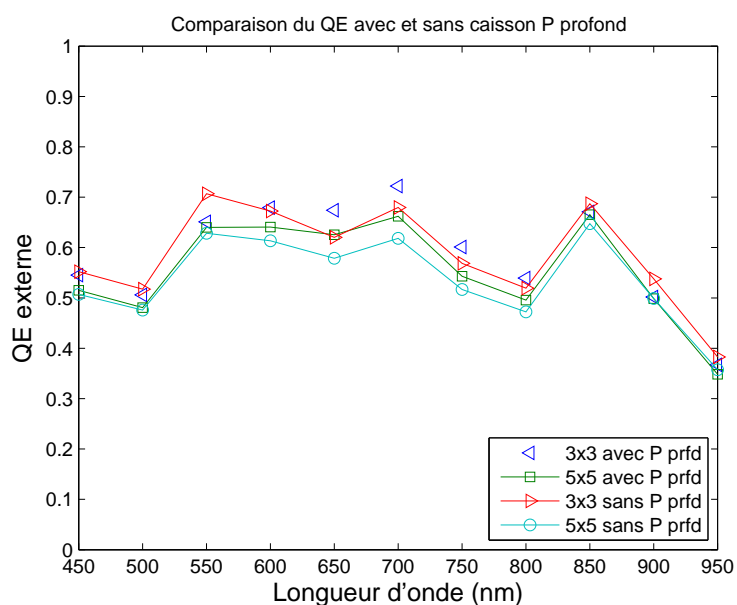


FIGURE 4.15 – Comparaison de l'efficacité quantique avec et sans caisson P profond pour deux tailles de cathode différentes. Les résultats ne permettent pas de conclure sur un éventuel impact du P profond sur le QE.

4.5 Diaphonie électronique

Les substrats float-zone présentent une longueur de diffusion des porteurs très grandes. Si l'efficacité quantique mesurée est bonne sur une large gamme de longueur d'onde, et notamment dans le proche infrarouge, il est suspecté qu'une grande partie des charges photo-générées puisse diffuser latéralement dans les zones quasi-neutres sur de grandes distances. L'étude de la diaphonie est donc nécessaire pour compléter celle de l'efficacité quantique.

Cette étude est menée à l'aide de masques métalliques directement réalisés sur deux niveaux de métal du procédé utilisé. Ces masques recouvrent une zone de $320 \mu m$ de côté et disposent de plusieurs ouvertures ouvrant sur un seul pixel. Ils permettent de réaliser l'étude avec un éclairage en champ plat et de s'affranchir de montages optiques exigeant pour réaliser et maintenir l'illumination d'un pixel par un spot contenu dans ce pixel.

La détermination de la diaphonie s'effectue en comparant les fonctions de transfert électro-optique du pixel illuminé avec celle de ses pixels voisins. Une pente est déterminée pour chaque fonction de transfert et le ratio de ces pentes donne une estimation en pourcentage de la diaphonie. La figure 4.16 représente un exemple d'estimation des pentes du pixel illuminé et de son premier voisin (masqué). Ce traitement est réalisé pour l'ensemble des longueurs d'onde étudiées et permet de tracer une courbe de diaphonie en fonction de la longueur d'onde, comme présentée dans la figure 4.17.

On peut voir sur cette courbe que la diaphonie augmente avec la longueur d'onde à partir de $650 nm$. Ceci s'explique par l'augmentation de la profondeur d'absorption avec la longueur d'onde, et donc du nombre de charges générées dans un volume quasi-neutre sous les zones dépeuplées et diffusant vers les pixels voisins.

Pour des longueurs d'onde inférieures à $550 nm$, la diaphonie ré-augmente lorsque la longueur d'onde diminue. Des simulations TCAD ont été réalisées pour étudier et comprendre ce phénomène et montrent également une augmentation de la diaphonie dans les courtes longueurs d'onde, comme le présente la figure 4.18. La figure 4.19 présente la composante du courant parallèle à la surface, qui représente la diffusion latérale des charges. Sur cette simulation, seul le pixel de gauche est illuminé mais une partie des charges est générée dans le caisson P séparant les deux cathodes. On distingue en bleu la densité de courant circulant vers la droite, et en rouge le courant circulant vers la gauche. Les charges générées entre les cathodes et diffusant vers le pixel illuminé provoque une densité de courant J_1 et les charges diffusant vers le pixel de droite (qui est masqué), une densité de courant J_2 .

Le ratio des densité de courant J_2/J_1 est tracée en fonction de la profondeur figure 4.20 selon les coupes C1 et C2 présentées figure 4.19. Pour une illumination à $400 nm$, la majorité des charges est générée à moins d'un micron de la surface dans les caissons P entre les pixels, qui sont des zones quasi-neutres. Le courant de diffusion vers le pixel de droite est égal à la moitié du courant de diffusion vers le pixel illuminé. Ce ratio est bien plus faible pour des longueurs d'onde plus élevées. Pour des profondeurs supérieures à deux microns, le ratio des courants est égal à 1 dans le cas de l'illumination à $400 nm$ car il s'agit en réalité d'un

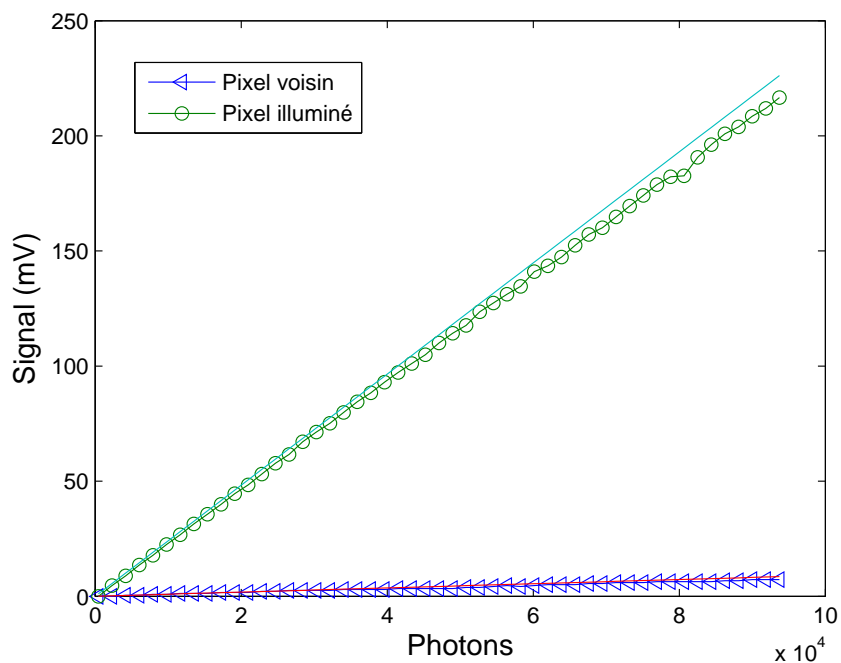


FIGURE 4.16 – Fonction de transfert électro-optique d’un pixel illuminé et de son premier voisin. L’estimation du ratio des pentes permet de calculer la diaphonie entre ces pixels.

courant de génération thermique dans la zone dépeuplée (à ces profondeurs, la photo-génération est nulle), qui est le même pour les deux pixels. Ce n’est pas le cas pour les illuminations à de plus fortes longueurs d’onde où le ratio des courants reste faible.

La diaphonie dépend de l’extension de la zone dépeuplée dans le volume du pixel, et donc des éléments de conception pouvant la modifier : largeur de cathode et caisson P profond. Nous étudierons dans la partie suivante, l’impact de ces éléments sur la diaphonie.

4.5. Diaphonie électronique

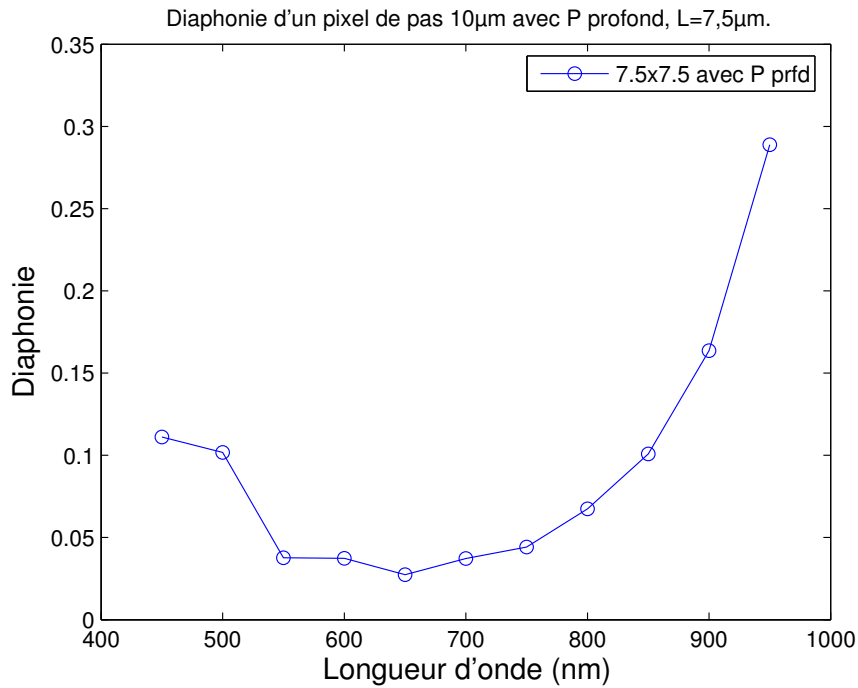


FIGURE 4.17 – Courbe de diaphonie d'un pixel de pas $10\mu\text{m}$ et de longueur de cathode de $7.5\mu\text{m}$ en fonction de la longueur d'onde.

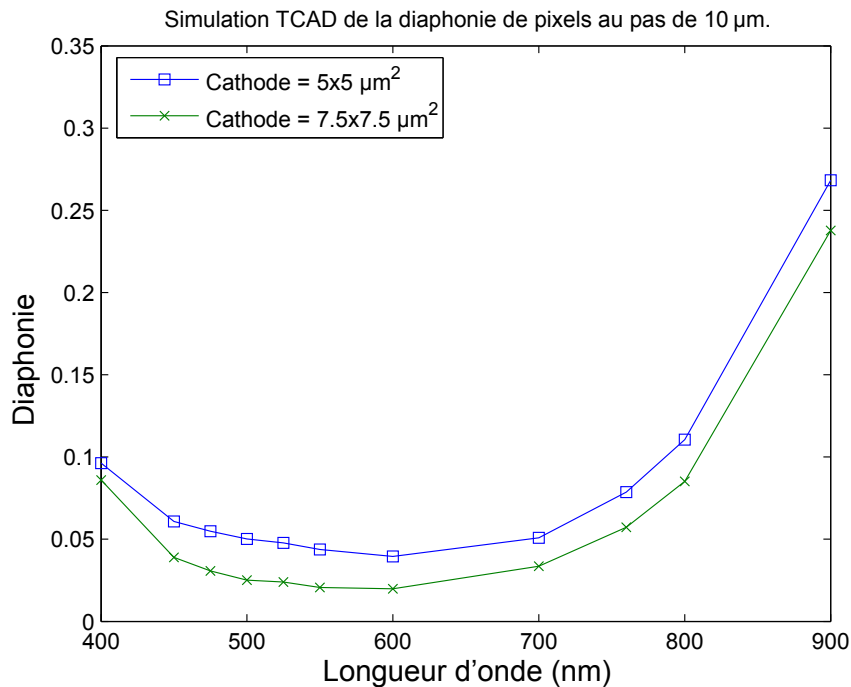


FIGURE 4.18 – Simulations TCAD de la diaphonie pour deux tailles de cathode en pixel de pas $10\mu\text{m}$. On observe les mêmes variations que sur les mesures réalisées en matrice.

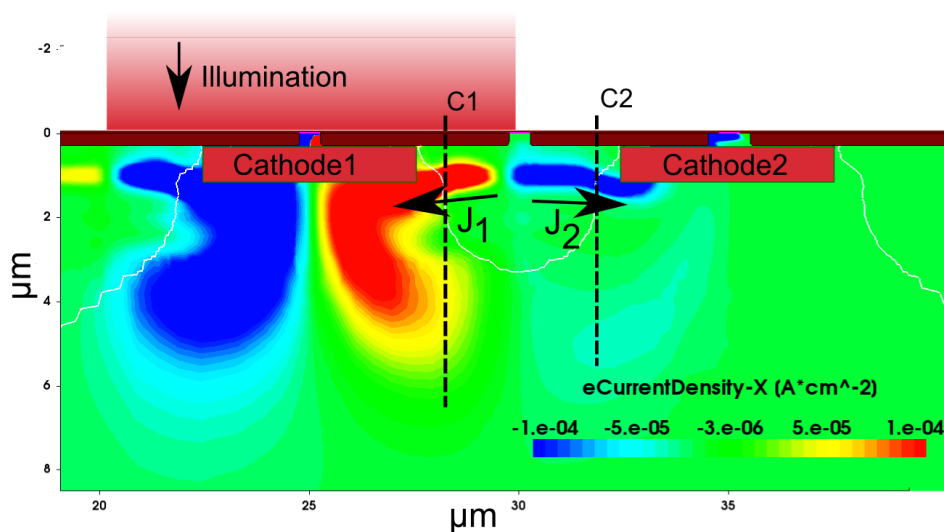


FIGURE 4.19 – Simulation TCAD de la diaphonie. La figure présente la composante de la densité de courant parallèle à la surface. Un courant de diffusion dans les caissons est visible et une partie des charges diffuse vers le pixel masqué, créant une diaphonie.

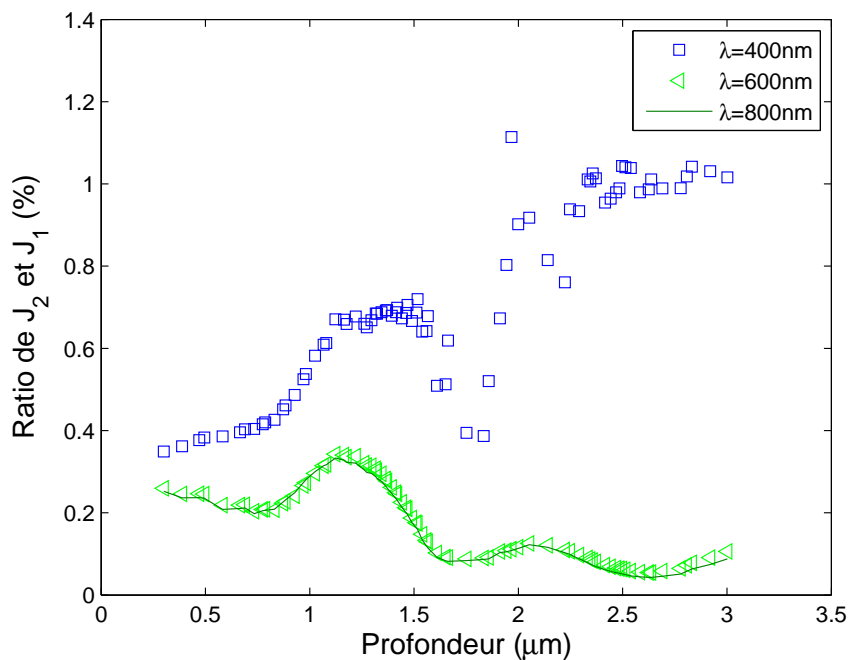


FIGURE 4.20 – Ratio des densités de courant J_2 et J_1 en fonction de la profondeur et estimé à l'aide des coupes présentées figure 4.19. Ces ratios représentent le nombre de charges diffusant vers le pixel masqué par rapport au nombre de charges diffusant vers le pixel illuminé.

4.5. Diaphonie électronique

4.5.1 Impact de la largeur de cathode sur la diaphonie

La largeur de cathode faisant varier l'extension de la zone dépeuplée en profondeur et autour de la cathode, ce paramètre pourrait avoir un impact sur la diaphonie, notamment aux moyennes et grandes longueurs d'onde.

La diaphonie a été mesurée pour les tailles de cathode en pixels de pas $10\ \mu m$ avec et sans P profond. La figure 4.21 présente les résultats des pixels avec P profond et montre l'impact de la taille de cathode en fonction de la longueur d'onde incidente. On peut y voir en premier lieu que la diaphonie augmente pour toutes les longueurs d'onde lorsque la taille de cathode diminue. Néanmoins, une diminution de la diaphonie est présente entre la cathode de $5\ \mu m$ et $7.5\ \mu m$ à partir de $800\ \text{nm}$, ce qui est cohérent avec l'hypothèse d'une augmentation de profondeur dépeuplée avec la taille de cathode.

Les mêmes conclusions peuvent être tirées des courbes de diaphonie des pixels de pas $20\ \mu m$, qui sont présentées figure 4.22. La diaphonie diminue pour toutes les longueurs d'onde entre la cathode de $5\ \mu m$ de côté et les plus grandes cathodes, signe d'une extension latérale et en profondeur de la ZCE. Au delà de $10\ \mu m$, la taille de cathode a principalement un impact dans le proche infrarouge. Au plus la cathode est large, au moins la diaphonie est dégradée à ces longueurs d'onde. Ceci peut être relié à l'extension de la ZCE en profondeur avec la taille de cathode.

Nous pouvons donc confirmer que la diaphonie est fortement dépendante de l'augmentation de la taille de cathode, car de celle-ci dépend l'extension de la zone dépeuplée latéralement et en profondeur sur la gamme de géométrie étudiée ici. Nous étudierons dans la prochaine partie l'impact du caisson P profond, dont la présence réduit l'extension de la zone dépeuplée.

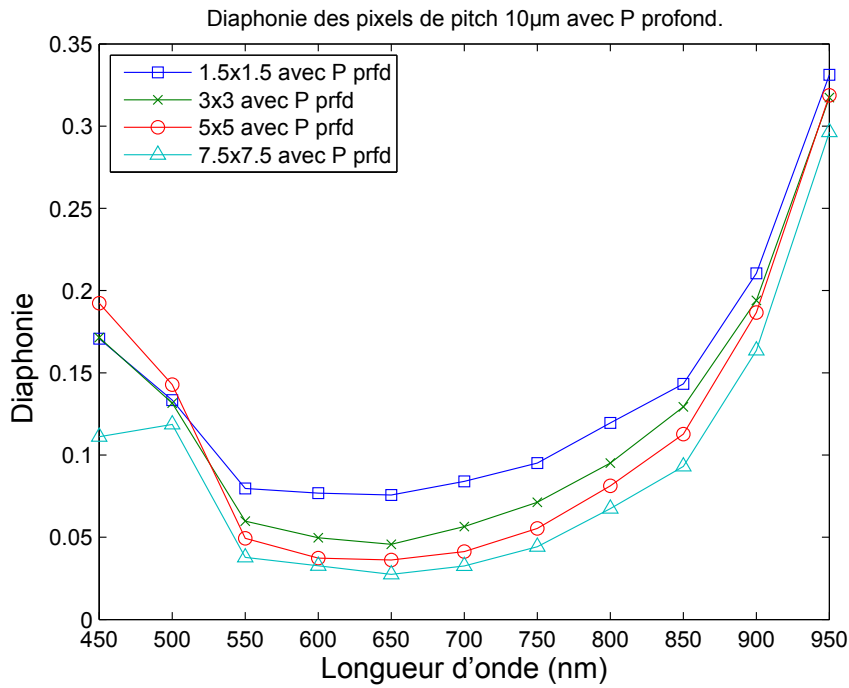


FIGURE 4.21 – Évolution de la diaphonie des pixels de pas $10\mu\text{m}$ avec P profond en fonction de la longueur d'onde et de la taille de cathode.

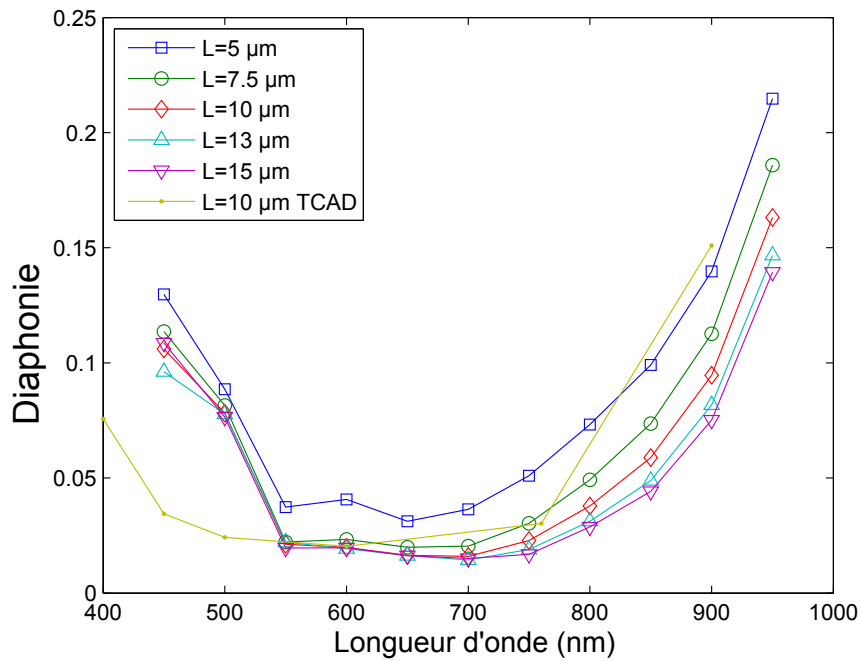


FIGURE 4.22 – Évolution de la diaphonie des pixels de pas $20\mu\text{m}$ sans P profond en fonction de la longueur d'onde et de la taille de cathode.

4.5. Diaphonie électronique

4.5.2 Impact du caisson P profond

On peut en première approximation penser que l'ajout du caisson P profond diminuerait la diaphonie en formant une barrière de potentiel entre les pixels. Mais nous avons vu dans le chapitre 2 que ce caisson P profond entourant la cathode diminue le volume dépeuplé dans le substrat, latéralement et en profondeur. Une augmentation de la diaphonie peut donc être attendue entre les pixels avec et sans P profond. Des simulations TCAD de pixels ayant différentes tailles de cathode, avec et sans P profond, ont été réalisées pour étudier cet éventuel impact sur la diaphonie et leurs résultats sont présentés figure 4.33. On observe que l'ajout d'un caisson P profond augmente la diaphonie pour les trois longueurs d'onde étudiées ici. En outre, l'impact du P profond est de plus en plus important lorsque la taille de cathode diminue, c'est à dire lorsque l'influence du périmètre augmente par rapport à celle de la surface de la cathode.

Les mesures sur les pixels de $20\ \mu m$ confirment ces résultats comme on peut le voir figure 4.24. On constate que pour une petite taille de cathode ($5\ \mu m$), l'ajout du P profond augmente la diaphonie sur les fortes longueurs d'onde ($\lambda > 800\ \text{nm}$) alors que pour une taille de cathode de $15 \times 15\ \mu m$, le caisson P profond n'a plus d'impact visible sur la diaphonie.

Nous pouvons donc conclure qu'il est judicieux d'éviter l'utilisation de caisson P profond afin d'éviter une dégradation de la diaphonie, en particulier pour de petites cathodes, et de limiter son utilisation dans des cas où un fort risque de punchthrough est présent.

Si la diaphonie permet de comparer la répartition physique des charges au sein d'un groupe de pixel, elle ne permet pas de rendre compte de l'impact de cette répartition sur qualité de l'image rendue. Nous utiliserons pour cela la fonction de transfert de modulation (FTM) du capteur, qui sera le sujet d'étude de la prochaine section.

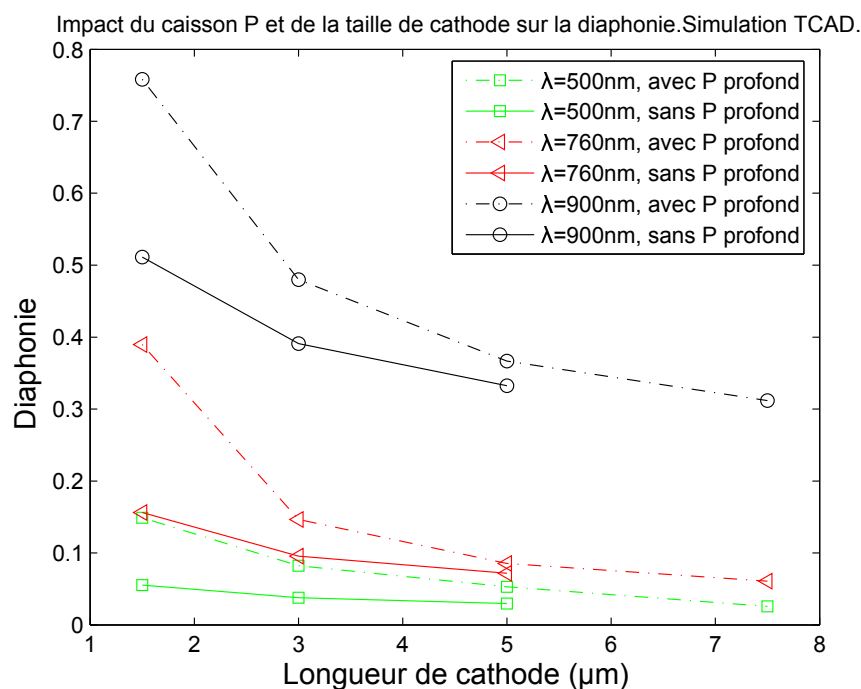


FIGURE 4.23 – Simulation TCAD de la diaphonie montrant l’impact du caisson P profond en fonction de la taille de cathode.

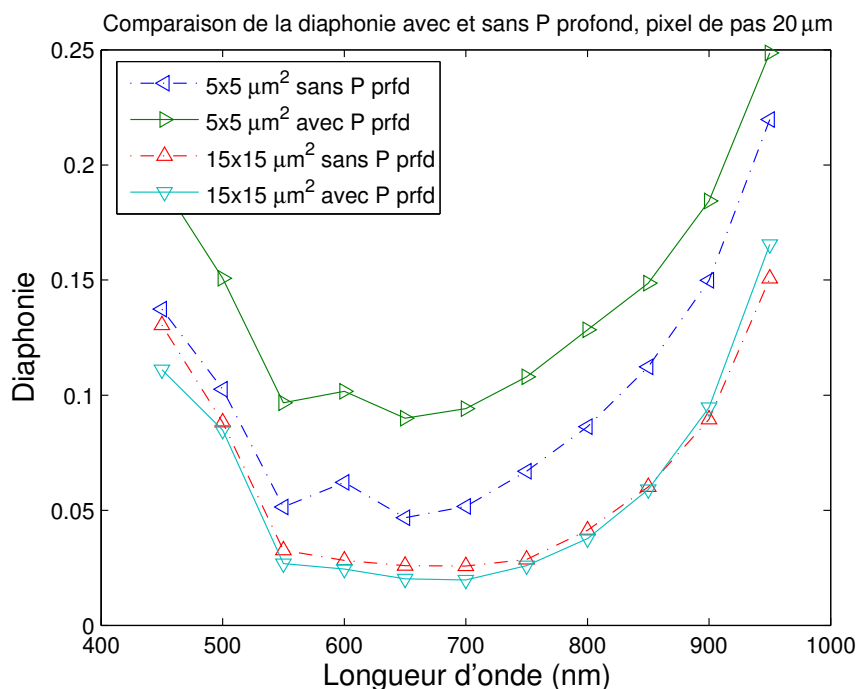


FIGURE 4.24 – Impact du caisson P profond sur la diaphonie pour deux tailles de cathode des pixels de pas $20\ \mu\text{m}$. Pour une petite cathode ($5\ \mu\text{m}$), la diaphonie augmente avec le caisson P profond. Cet effet n’est plus visible pour de larges cathodes ($15\ \mu\text{m}$ ici).

4.6. Fonction de transfert de modulation

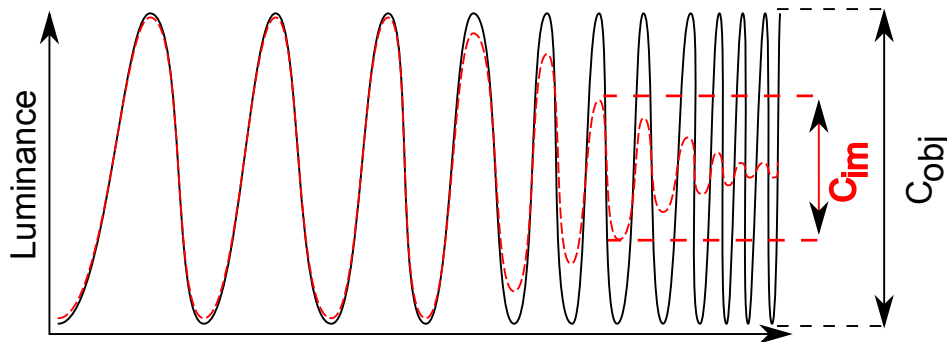


FIGURE 4.25 – Représentation de la luminance d’une mire sinusoïdale de fréquences variées et de son image par un système optique. Le contraste reproduit par ce système est dégradé pour des fréquences élevées, dégradant alors la FTM.

4.6 Fonction de transfert de modulation

La fonction de transfert de modulation est un outil permettant d’évaluer la résolution spatiale d’une image réalisée par un système d’imagerie. Elle représente le rapport du contraste de l’image réalisée C_{im} sur le contraste de l’objet imagé C_{obj} . Si on considère une mire sinusoïdale (une succession de lignes noires et blanches dont la luminance varie en sinus), un système d’imagerie pourra correctement représenter cette mire pour de grandes périodes de la sinusoïde et la FTM sera donc proche de 1. Pour des périodes plus courtes (fréquence de succession des lignes plus élevée), différents phénomènes causent une dégradation du contraste retranscrit par le système, comme représenté figure 4.25. En particulier, la diaphonie limite la résolution et impact la FTM. Nous avons mesuré la FTM pour différentes variations de pixel avec des variations de taille de cathode.

4.6.1 Méthode du bord de plage incliné

De nombreuses méthodes de mesure de la FTM ont été développées et utilisées pour la caractérisation de système d’imagerie complet, ou de l’imageur uniquement. Ces méthodes reposent généralement sur l’utilisation d’une mire ou d’un profil imagé par le composant, ce qui nécessite un montage optique précis, une bonne focalisation et une bonne tenue mécanique. Une autre solution consiste à former ces motifs sur le composant à l’aide des couches de métal déposées dans les niveaux métalliques d’interconnexions de ce dernier. Cette méthode s’est révélée être équivalente aux méthodes utilisant des mires et motifs imagés sur le composant à l’aide d’un montage optique, tout en étant bien plus rapide et facile à réaliser [EM04]. En particulier, nous pouvons acquérir les données nécessaires au traitement de la MTF en même temps que la mesure de l’EDS, et donc sans changer la configuration du banc de mesure. Les masques inclinés créent un front sur l’imageur, visible figure 4.26

Nous avons dessiné pendant la conception de l’imageur des motifs dits en bord de plage incliné sur le coté gauche de la matrice. Des masques métalliques supplémentaires sont utilisés

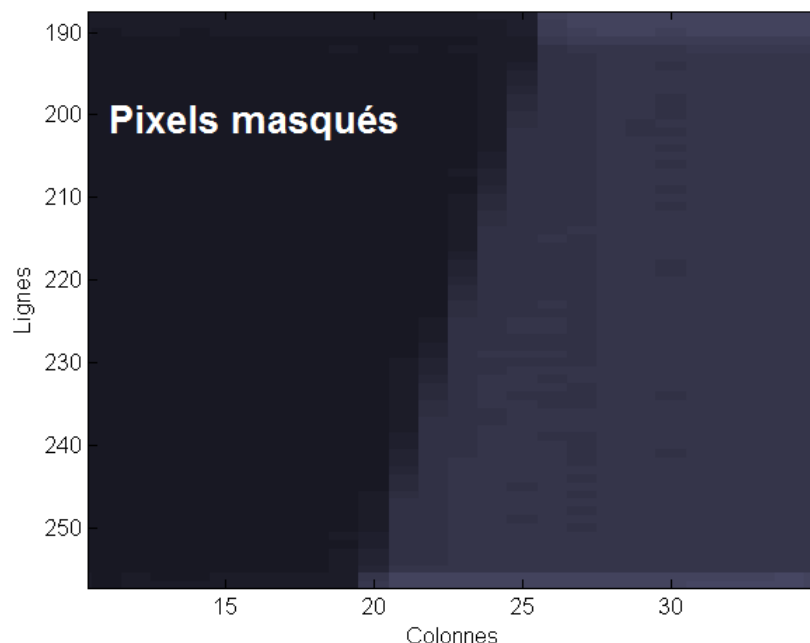


FIGURE 4.26 – Front imagé par le capteur et provenant du masque bord de plage incliné formé par trois niveaux de couche métallique.

sur le pourtour de la matrice afin de limiter la diffusion des charges photo-générées provenant de l'extérieur de la matrice de pixels. La réponse des pixels situés de part et d'autre du motif bord de plage incliné est ensuite traitée pour obtenir l'Edge Spread Function (ESF) qui correspond à la réponse des pixels à un front. Dans le cas du bord de plage incliné, chaque ligne de pixel possède une ESF propre mais légèrement différente des lignes adjacentes, du fait du décalage du front par rapport à la position des pixels. En connaissant l'angle d'inclinaison du front, il est possible de reconstruire une ESF complète présentée figure 4.27 en prenant compte de l'ensemble des lignes de la zone considérée.

L'EDS est ensuite utilisée pour calculer la FTM à différentes longueurs d'onde, comme présenté dans la figure 4.28. Cette figure compare la FTM jusqu'à la fréquence de Nyquist du capteur A réalisé durant ces travaux à celle mesurée sur le capteur B réalisé par le laboratoire CIMI sur un substrat conventionnel¹, à différentes longueurs d'onde. On constate qu'à 650nm, la FTM du capteur A est meilleur du fait du dépeuplement du volume du pixel, mais qu'à 850nm (profondeur d'absorption d'environ $20 \mu m$), la FTM est déjà dégradée du fait des grands volumes quasi-neutres sous les zones dépeuplées, et où les charges diffusent librement dans le substrat float-zone. La présence du substrat fortement dopé sous la couche d'épitaxie du capteur B empêche ce phénomène et permet de conserver des valeurs de FTM similaires à celles de plus courtes longueurs d'onde. Nous verrons dans la partie suivante l'impact de la taille de cathode sur la mesure de FTM.

1. Il s'agit du même capteur B que celui présenté dans la partie sur le QE

4.6. Fonction de transfert de modulation

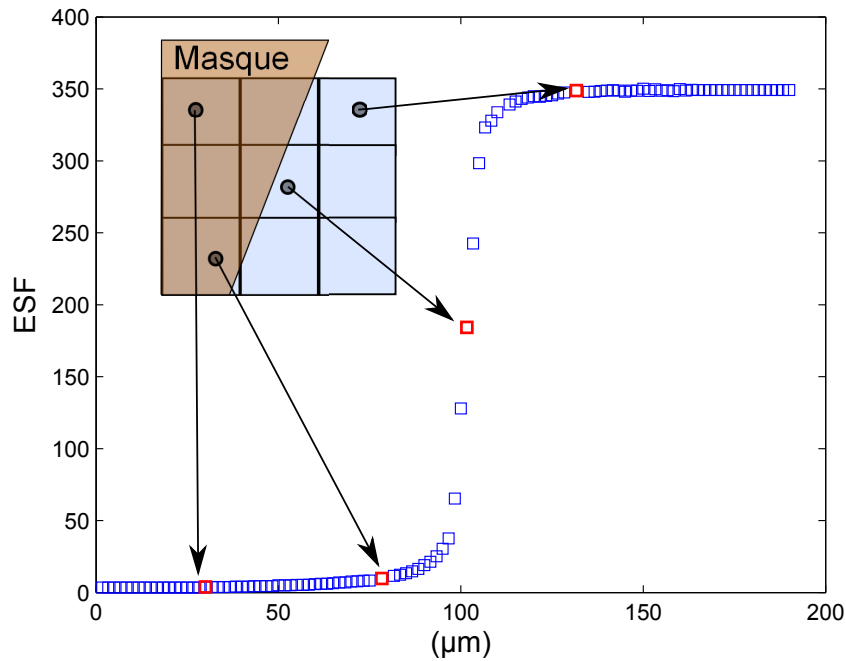


FIGURE 4.27 – ESF des pixels de pas $10 \mu\text{m}$ avec une cathode de $5 \mu\text{m}$.

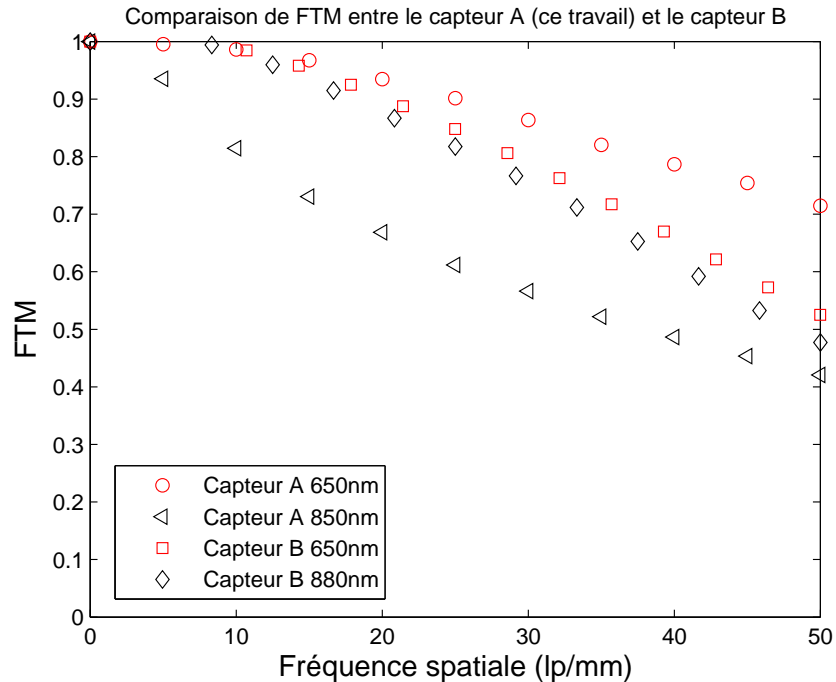


FIGURE 4.28 – Comparaison de la FTM des pixels du capteur A (ce travail) de pas $10 \mu\text{m}$ avec une cathode de $7.5 \mu\text{m}$ et P profond, et du capteur B ayant des pixels de pas $10 \mu\text{m}$ sur substrat conventionnel.

4.6.2 Impact de la largeur de cathode sur la FTM

Nous avons mesuré la FTM des pixels de pas $10\ \mu\text{m}$ et avec P profond pour les quatre tailles de cathode qui y sont présentes. Les variations de FTM observées peuvent être principalement associées à deux termes : la FTM d'intégration qui dépend de la taille de la zone photosensible (et diminue la FTM totale lorsque la taille de la zone photosensible augmente), et la FTM de diffusion associée au phénomène de diffusion des charges photo-générées. Dans notre cas, la FTM d'intégration théorique à la fréquence de Nyquist peut être calculée par $FTM_{Ny} = |\text{sinc}(f_{Ny}\Delta X)|$ où ΔX représente l'ouverture optique du pixel. Sa valeur est d'environ 0,73.

Les résultats de la figure 4.29 présentent la FTM mesurée à la fréquence de Nyquist pour les quatre tailles de cathode. La FTM maximale atteinte est légèrement inférieure à la FTM d'intégration théorique du pixel. On constate que la FTM diminue à toutes les longueurs d'onde lorsque la taille de cathode diminue, ce qui peut être attribué à l'impact de la FTM de diffusion lorsque le volume dépeuplé se réduit. La différence de FTM entre les cathodes de côté 5 et $7.5\ \mu\text{m}$ est peu marquée entre 550nm et 650nm, puis augmente pour des longueurs d'onde supérieures à 700nm, où la FTM de la plus grande cathode est légèrement supérieure. Ceci confirme le résultat des mesures de diaphonie. Ces mesures présentent de plus une diminution de la FTM pour des longueurs d'onde inférieures à 550nm. Cette diminution du pouvoir de résolution aux courtes longueurs d'onde conforte également les tendances observées sur les mesures de diaphonie et est attribuée à la diffusion des charges dans les caissons P séparant les cathodes.

Nous pouvons donc tirer des conclusions similaires à celles déduites des mesures de diaphonie. L'augmentation de la taille de cathode permet de maximiser la FTM et minimiser la diaphonie.

4.6. Fonction de transfert de modulation

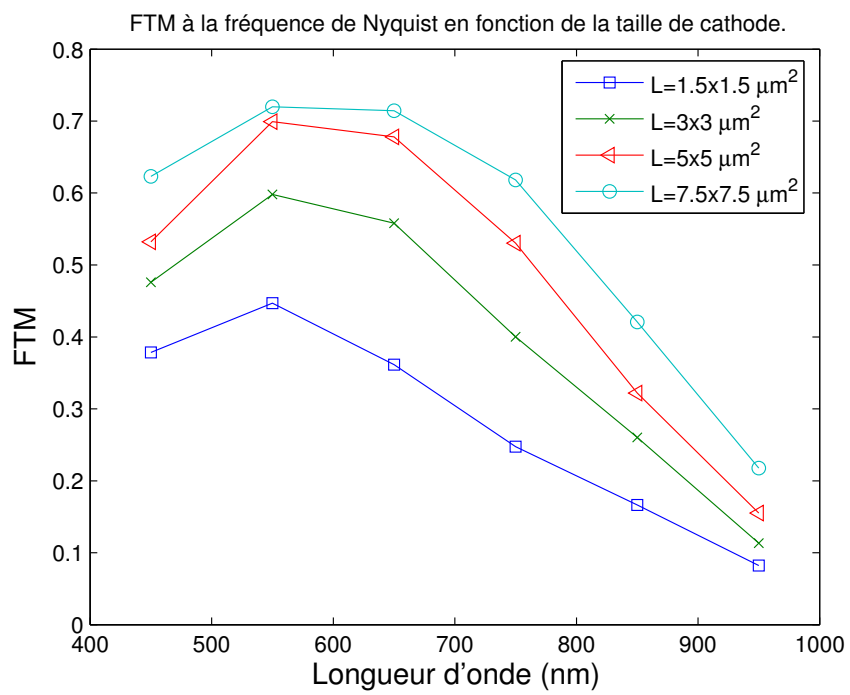


FIGURE 4.29 – FTM des quatre pixels de pas $10 \mu\text{m}$ avec P profond.

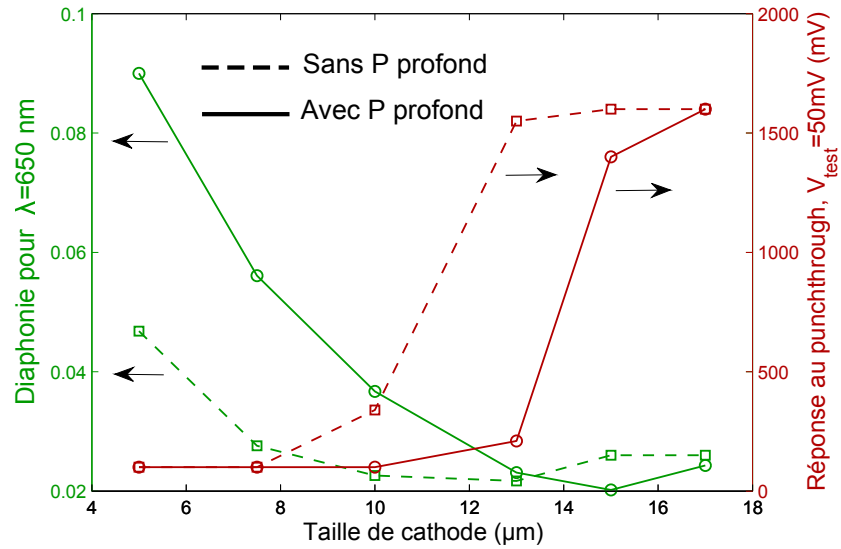


FIGURE 4.30 – Comparaison entre les résultats de diaphonie à 650 nm et l’impact du punchthrough en fonction de la taille de cathode des pixels de $20 \mu\text{m}$ avec et sans P profond.

4.7 Optimisation de la conception des pixels

Nous avons vu dans ce chapitre que la diaphonie aux moyennes et grandes longueurs d’onde diminuait avec la taille de cathode et que ces résultats étaient corroborés par les mesures de FTM pour les pixels de pas $10 \mu\text{m}$. L’hypothèse expliquant ces résultats est que l’extension des champs électriques dans la zone dépeuplée permet de diminuer la diffusion.

Cette extension provoque également le courant de punchthrough entre cathodes. Des choix de conceptions peuvent être réalisés en comparant les résultats de la diaphonie et de l’étude du punchthrough présentée dans le chapitre 3. La figure 4.30 montre par exemple la diaphonie à une longueur d’onde de 650 nm (profondeur d’absorption de $3.5 \mu\text{m}$ environ) en fonction de la taille de cathode pour des pixels avec et sans P profond. Elle les confronte à la réponse des pixels au punchthrough lorsque leur proche voisin a une tension de 50 mV sur la cathode. On constate que suite à la minimisation de la diaphonie, des courants de punchthrough peuvent être détectés. Cette observation vaut aussi bien pour les pixels avec P profond que sans P profond, avec uniquement une modification de la taille de cathode pour laquelle ces transitions s’opèrent.

4.8. Variation du volume dépeuplé durant l'intégration des charges, et impact sur la diaphonie

4.8 Variation du volume dépeuplé durant l'intégration des charges, et impact sur la diaphonie

Durant l'intégration des charges, le volume dépeuplé du pixel illuminé diminue jusqu'à ce que sa photodiode atteigne une tension et un volume dépeuplé minimal. Cette diminution se traduit par des non-linéarités sur les fonctions de transfert électro-optiques des pixels. Cet effet est particulièrement marqué lors de l'illumination d'un seul pixel au sein d'une matrice. À titre d'exemple, la figure 4.31 montre la réponse mesurée en fonction du flux de photons d'un pixel illuminé et de son premier voisin qui est masqué. On constate une évolution linéaire des deux courbes pour les faibles flux (région 1) avant d'observer une variation de pente de la FTEO (région 2). La perte de linéarité pour le pixel illuminé peut être causée en partie par la variation de son facteur de conversion avec la diminution de son volume dépeuplé, mais surtout par la chaîne de lecture. À l'inverse, la variation de pente du pixel voisin à ce niveau de signal ne peut être causée que par une augmentation du nombre de charges collectées. Enfin, une rupture de pente est observée marquant le début de la troisième région où la FTEO du pixel masqué est linéaire avec le flux. Nous supposons ici que la photodiode du pixel illuminé atteint à cet rupture un potentiel nul et que toutes les charges sont collectées par les pixels voisins.

La figure 4.31 représente la réponse en sortie de la chaîne de lecture, dont la dynamique est inférieure à 2V. Le signal tracé représente la différence entre la tension de référence et la tension de signal : $\Delta V = V_{ref} - V_{sig}$ et la saturation observée provient de la chaîne de lecture. En réalité le potentiel de la cathode évolue depuis un potentiel de référence (pour lequel nous avons en sortie $\Delta V = 0V$) jusqu'à un potentiel nul en passant par un potentiel V_{sat} pour lequel $\Delta V = \Delta V_{max}$, comme représenté dans la figure 4.32. En connaissant la pente à l'origine de la courbe tension/flux, et en relevant le flux pour lequel la transition des régimes 2 et 3 s'effectue, nous pouvons estimer un potentiel V_0 de la cathode illuminée pour lequel intervient ce changement de régime.

Le tableau 4.2 présente la variation de ce potentiel entre une cathode de $7.5 \mu m$ de côté, et l'augmentation par rapport à ce potentiel pour des cathodes plus larges pour différents pixels de pas $20 \mu m$ sans P profond, et pour deux longueurs d'onde. Le potentiel déclenchant le troisième régime pour de plus grandes photodiodes est supérieur à V_0 ce qui semble contredire notre hypothèse, à moins de considérer le phénomène de punchthrough comme nous le verrons dans le prochain paragraphe.

L'étude du punchthrough de la partie 3.4.2 nous a montré que pour certaines variations de pixels, un courant important se forme entre cathodes voisines lorsque le potentiel d'une des photodiodes atteint une tension suffisamment faible. En conséquence, lorsque la cathode du pixel illuminé atteint une tension seuil déclenchant le punchthrough, un courant se forme entre cette cathode et la cathode voisine. La cathode illuminée est donc simultanément rechargée par un courant photonique I_{ph} , et déchargée par un courant de punchthrough I_{pt} . Comme ce dernier peut être bien plus grand que le courant photonique, il limite le courant circulant vers les pixels voisins. Ainsi, le potentiel de la cathode illuminé n'évolue plus car nous avons

LxL (μm^2)		7.5x7.5	10x10	13x13	15x15
λ (nm)	850	V_0	V_0+245	V_0+572	V_0+1551
	900	V_0	V_0+65	V_0+374	V_0+1129
V_{pt} (mV)		0	150	400	900

TABLE 4.2 – Variation de potentiel estimée (en mV) de la cathode illuminée pour lequel la transition des régimes 2 à 3 s’effectue sur la FTEO de la cathode voisine par rapport à une diode de $7.5\mu m$. Comparaison avec la tension de déclenchement de punchthrough étudiée en 3.4.2.

$I_{ph} = I_{pt}$ où I_{ph} est considéré comme un courant ‘entrant’ et I_{pt} un courant ‘sortant’ de la photodiode illuminée. Le courant photonique supposé moduler le potentiel de la cathode illuminée est alors intégralement ‘déviié’, via le courant de punchthrough, vers les cathodes voisines. Dans ce cas, le troisième régime intervient pour un potentiel de la cathode illuminée supérieur à 0V, et donc à un flux photonique plus faible que pour des pixels sans punchthrough, comme le montre la figure 4.32.

Le potentiel de la cathode illuminée pour lequel la transition des régimes 2 à 3 s’établit peut être estimé expérimentalement à l’aide du flux $\phi_{sat,pt}$. Ce potentiel est comparé tableau 4.2 à V_0 , le potentiel de transition estimé pour la diode de $7.5\mu m$, et à V_{pt} : le potentiel du pixel test pour lequel le punchthrough a été détecté dans la partie 3.4.2. La corrélation entre ces deux résultats confirme la présence du punchthrough sur les courbes de FTEO présentées, et montre un effet de saturation précoce. Plus généralement, nous voyons que la diaphonie est dépendante de la tension sur la cathode illuminée. Notre estimation étant basée sur le rapport des pentes à l’origine, elle peut être sous-évaluée pour des flux importants.

La méthode utilisée ici ne prend pas en compte les non-linéarités de la FTEO réelle du pixel illuminé, et ne permet donc pas d’estimer avec précision le potentiel de la cathode pour un flux donné. Elle permet néanmoins de montrer des tendances similaires entre les tensions déclenchant le punchthrough déterminées avec le pixel test en obscurité (partie 3.4.2), ou par l’étude de la diaphonie (partie 4.5).

Nous pouvons donc conclure que le deuxième régime intervient lorsque la zone dépeuplée du pixel illuminé se réduit, et augmente le nombre de charges collectées pas ses pixels voisins ce qui a pour effet d’augmenter les pentes de FTEO de ces pixels. Lorsque la cathode illuminée atteint 0V ou un potentiel déclenchant un courant de punchthrough, les charges générées dans le volume du pixel illuminée, sont réparties sur ses pixels voisins, provoquant une rupture de pente de la FTEO des pixels masqués.

4.8. Variation du volume dépeuplé durant l'intégration des charges, et impact sur la diaphonie

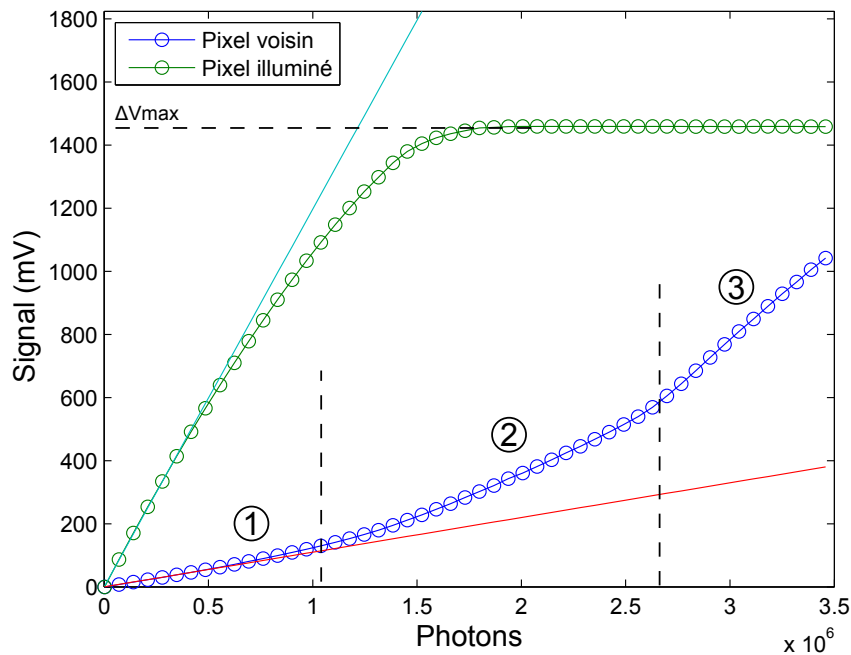


FIGURE 4.31 – FTEO mesurée à $\lambda = 900nm$ du pixel illuminé et de son premier pixel voisin masqué. Ces pixels sans P profond ont un pitch $20 \mu m$ et une cathode de $13 \mu m$.

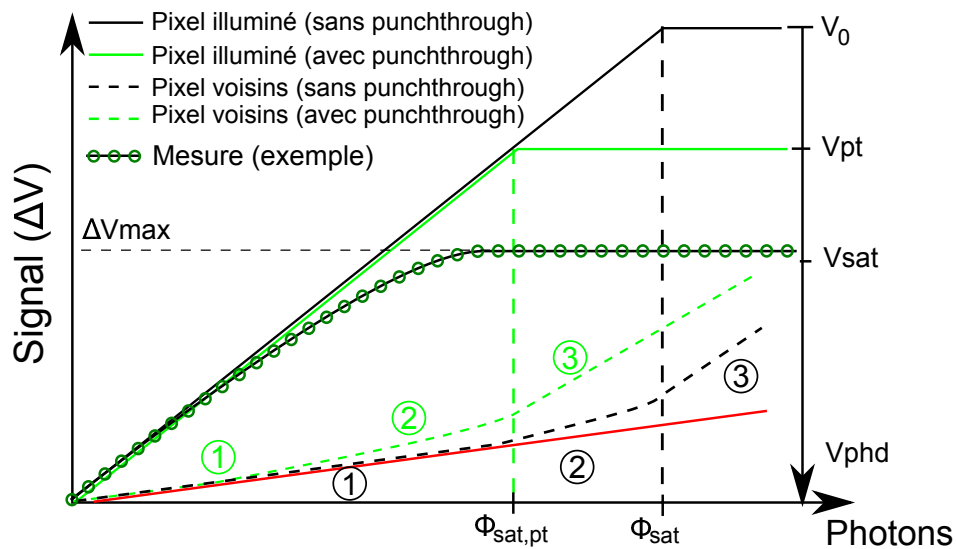


FIGURE 4.32 – Schéma représentant la FTEO d'un pixel illuminé et de son proche voisin. Nous représentons l'extrapolation de la pente à l'origine et les trois régimes équivalents à ceux de la figure 4.31, permettant d'estimer le potentiel de la cathode illuminée lors du passage du régime 2 au régime 3. Si les pixels sont impactés par un courant de punchthrough, ce potentiel est supérieur à $0V$ et devrait correspondre aux tensions du pixel test déclenchant le punchthrough déterminées dans la partie 3.4.2

4.9 Signal en obscurité

4.9.1 Identification des sources du courant

4.9.1.1 Distinction des sources d'interface et volumique

Le courant d'obscurité est composé d'un courant de génération dans la zone dépeuplée et d'un courant de diffusion dans les zones quasi-neutres. Afin de déterminer les sources principales de courant d'obscurité sur notre véhicule test, nous avons dans un premier temps utilisé deux photodiodes différentes : l'une d'elle a le fond de jonction formé par le silicium résistif du substrat tandis que la seconde a son fond de jonction formé par le caisson P profond. Dans le second cas, la zone dépeuplée ne s'étend donc pas dans le substrat résistif. Ceci permet de s'affranchir d'une large partie du courant de génération du substrat car le volume dépeuplé est plus faible, et d'une partie du courant de diffusion provenant du substrat grâce à la formation d'une barrière de potentiel sous la cathode.

Les courants d'obscurité de ces photodiodes sont présentés par la figure 4.33 pour les mêmes conditions de mesures. Le courant de la diode en contact avec le substrat résistif est deux ordres de grandeur plus élevé que le courant de la photodiode formée par le caisson P profond ce qui permet de conclure que la majeure partie du courant d'obscurité provient de la génération et de la diffusion dans le substrat, et non de la génération et de la diffusion à l'interface avec l'oxyde.

4.9.1.2 Évolution avec la température

Nous savons donc que la majorité du courant provient du substrat mais nous ne savons pas si ce courant est majoritairement un courant de diffusion ou de génération. Cette distinction peut être faite en étudiant l'évolution du courant avec la température.

La densité de courant de diffusion est :

$$J_{diff} = q \frac{D_n}{L_n} \frac{n_i^2}{N_a} \quad (4.4)$$

Sa dépendance avec la température est la même que celle de n_i^2 qui varie de manière exponentielle avec la température : $n_i^2 \propto \exp(-\frac{E_g}{kT})$. Le courant de génération est quant à lui proportionnel à n_i :

$$J_{gen} = \frac{1}{2} q \frac{n_i}{\tau_g} \quad (4.5)$$

et sa dépendance avec la température est $\propto \exp(-\frac{E_g}{2kT})$. On peut donc en étudiant la

4.9. Signal en obscurité

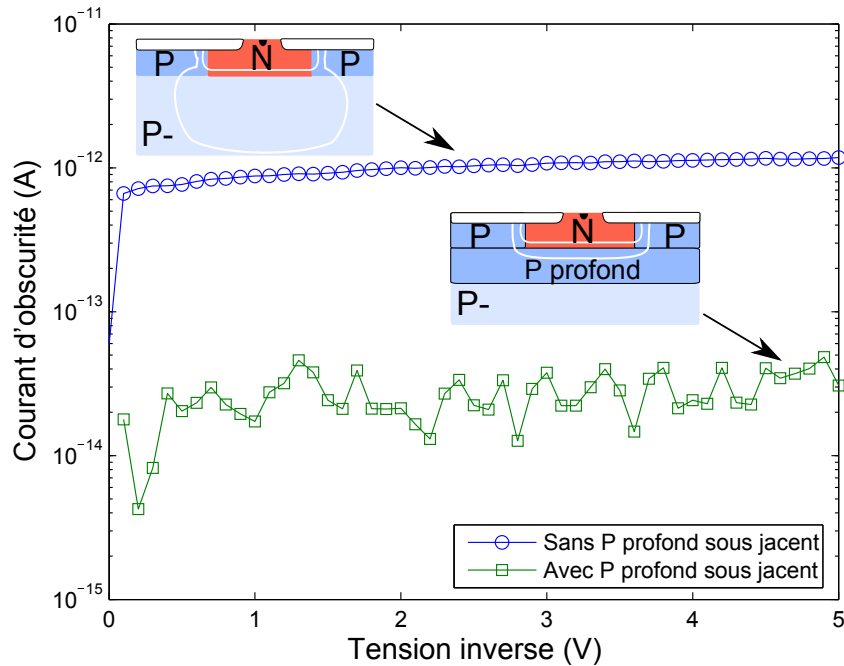


FIGURE 4.33 – Comparaison du courant d’obscurité d’une diode directement intégrée dans le substrat résistif et d’une diode dont la cathode est intégrée dans un caisson P profond. Les tailles de cathodes sont de $10 \times 100 \mu m$ dans les deux cas.

variation du courant d’obscurité avec la température, en déterminer la composante dominante.

Le courant d’obscurité est étudié pour tous les pixels de l’imageur. La mesure est réalisée dans une enceinte à température contrôlée et pour différents temps d’intégration. La figure 4.34 présente l’augmentation du signal d’obscurité en fonction du temps d’intégration des pixels. En déterminant la pente de cette caractéristique et en connaissant le CVF, on peut estimer un nombre de charges collectées par seconde, et donc le courant d’obscurité des pixels.

En réalité, le régime de conduction dominant varie avec la température. Pour une même photodiode, le courant inverse sera plutôt dominé par la diffusion à forte température et par la génération à température plus faible.

L’étude en température est réalisée entre $5^\circ C$ et $30^\circ C$. L’évolution du courant d’obscurité en fonction de la température est présentée figure 4.35 pour deux types de pixels. Le premier est un pixel avec une cathode de $3 \times 3 \mu m^2$ et le second est un pixel avec la même taille de cathode mais dont le caisson P est espacé de celle-ci de $2 \mu m$. On constate dans le premier cas une pente de $-1.04 eV$ qui est proche de l’énergie de bande interdite du silicium $E_g = 1.12 eV$. Ce courant varie donc avec la température de manière très similaire à un courant de diffusion pur. On peut en conclure dans ce cas que le courant d’obscurité fortement dépendant d’un courant de diffusion provenant du substrat. Ceci n’est pas habituel pour un capteur d’image où le courant d’obscurité est généralement dominé par un courant de génération [Lou03].

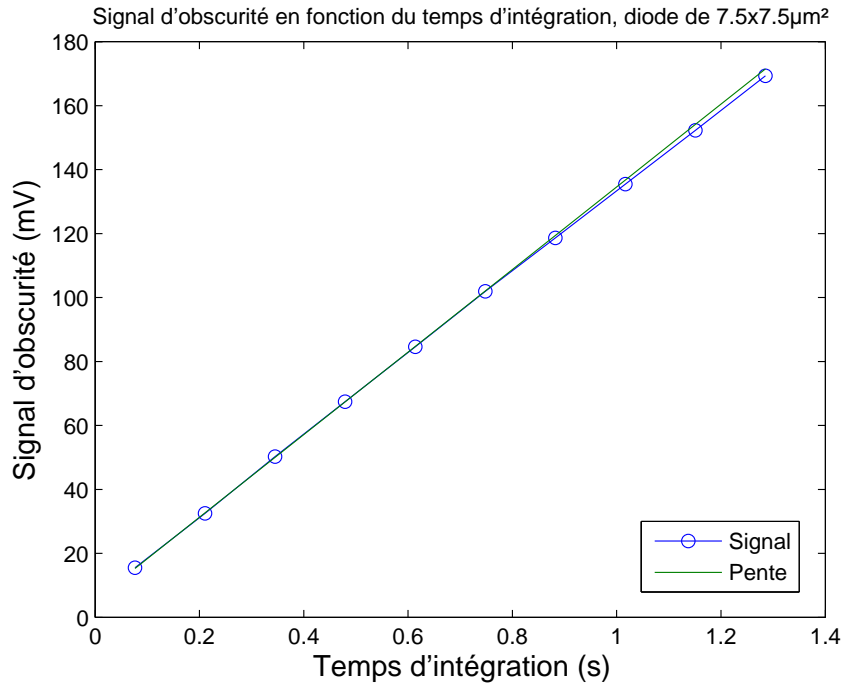


FIGURE 4.34 – Augmentation du signal d’obscurité d’un pixel avec diode de $7.5 \times 7.5 \mu\text{m}^2$. La détermination de la pente permet de calculer le courant d’obscurité de ce pixel.

Pour le pixel avec recul du caisson P, on observe une pente plus faible, entre E_g et $E_g/2$. La variation du courant avec la température n’est ni dominé par la diffusion ni par la génération des charges. Ceci montre que pour ce pixel, le courant de génération est plus intense du fait de l’écartement du caisson P, ce qui prouve que la zone dépeuplée touchant l’oxyde en surface est plus large que pour le premier pixel.

4.9.2 Impact de la taille de cathode et du caisson P profond

Le courant d’obscurité Jobs mesuré à 22°C est présenté figure 4.36 pour quatre tailles de cathode en pixel de pas $10 \mu\text{m}$ avec et sans caisson P profond. Ce courant est assez élevé relativement à celui d’un capteur réalisé avec un substrat conventionnel utilisé dans l’imagerie qui est d’environ $1 \text{ nA}/\text{cm}^2$. Dans notre cas, toutes les variations de pixels présentent un courant supérieur à $2 \text{ nA}/\text{cm}^2$. On remarque une augmentation du courant d’obscurité avec la taille de cathode et avec l’omission du caisson P profond entre les colonnes de pixels. Ces deux paramètres modifient le volume dépeuplé dans le substrat, ce qui ne devrait pas augmenter fortement le courant de diffusion. Il est donc supposé ici que ces augmentations sont principalement le fait du courant de génération qui est proportionnel au volume dépeuplé. On peut d’ailleurs voir une diminution de l’énergie d’activation avec la taille de la cathode dans le tableau 4.3.

L’augmentation de la taille de cathode augmente sensiblement ce courant en augmentant

4.9. Signal en obscurité

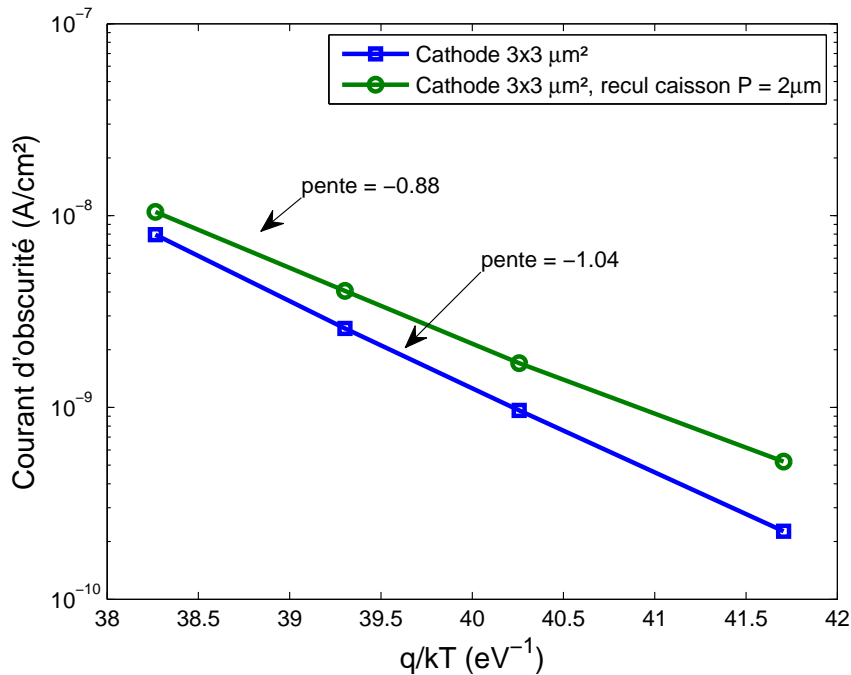


FIGURE 4.35 – Variation du courant d’obscurité pour un pixel ayant une cathode de $3 \times 3 \mu m^2$, et un pixel ayant une cathode similaire mais un caisson P espacé de $2 \mu m$ de la cathode.

LxW (μm^2)	Énergie d’activation (eV)
1.5x1.5	1.07
3x3	1.04
5x5	1.00
7.5x7.5	0.96

TABLE 4.3 – Énergie d’activation du courant d’obscurité en fonction de la taille de cathode.

le courant de génération (dans le substrat et à l’interface oxyde silicium). Néanmoins, le courant de diffusion attribuable au substrat float-zone reste important.

4.9.3 Impact du recul du caisson P sur le courant d’obscurité

Les variations de pixels présentant un recul de caisson P de la cathode permettent d’améliorer le CVF du pixel pour une même taille de cathode. Ils ont le désavantage d’augmenter la surface d’oxyde d’isolation en contact avec la zone dépeuplée, augmentant ainsi le nombre de centres de génération dans une zone de silicium hors équilibre ($pn < n_i^2$), et augmentant donc le courant d’obscurité.

Nous avons vu précédemment que la diffusion latérale des dopants pendant le procédé de fabrication limite l’extension maximale de la zone dépeuplée en formant une jonction plus proche de la jonction PN au profil de dopage linéaire que de la jonction abrupte. L’augmenta-

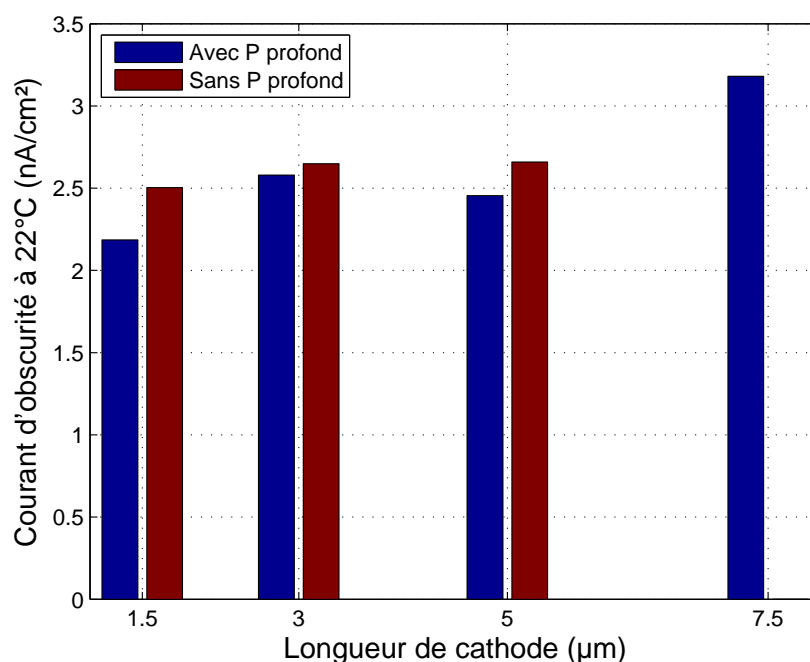


FIGURE 4.36 – Courant d’obscurité des pixels au pas de $10 \mu\text{m}$ en fonction de la taille de cathode et de la présence du caisson P entre les cathodes.

tion de l’espace entre caissons N et P provoque une augmentation du courant d’obscurité présentée dans la figure 4.37. Néanmoins, il est difficile d’estimer la surface d’oxyde en contact avec la zone dépeuplée qui est en partie responsable de cette augmentation car il existe une incertitude sur la diffusion latérale du dopage entre les caissons N et P. L’évolution du courant d’obscurité avec la température est également différente en fonction du recul du caisson P. Les pentes estimées sont présentées dans le tableau 4.4 où l’on constate qu’elles diminuent avec le recul du caisson P. On a donc bien une augmentation du courant de génération produite par l’écartement L_r , ce qui confirme l’augmentation du volume dépeuplé entre les caissons grâce à l’espace du caisson P.

Nous avons vu que le recul du caisson P autour des cathodes de $3 \mu\text{m}$ de côté permettait d’augmenter de 50 % le CVF au maximum (espacement de $2 \mu\text{m}$), passant de $17 \mu\text{V}/e^-$ à $26 \mu\text{V}/e^-$. Il faut nuancer ici cette amélioration car le même recul de $2 \mu\text{m}$ augmente de 45 % le courant d’obscurité du pixel, qui est déjà relativement élevé. Le recul du caisson P doit donc être évité.

4.9.4 Perspectives de diminution du courant d’obscurité

La minimisation du courant de génération passe par la réduction au maximum des impuretés et défauts dans la zone dépeuplée. Ceci signifie, en terme de conception, de minimiser la surface d’oxyde en contact avec cette zone dépeuplée (et donc minimiser le périmètre de

4.9. Signal en obscurité

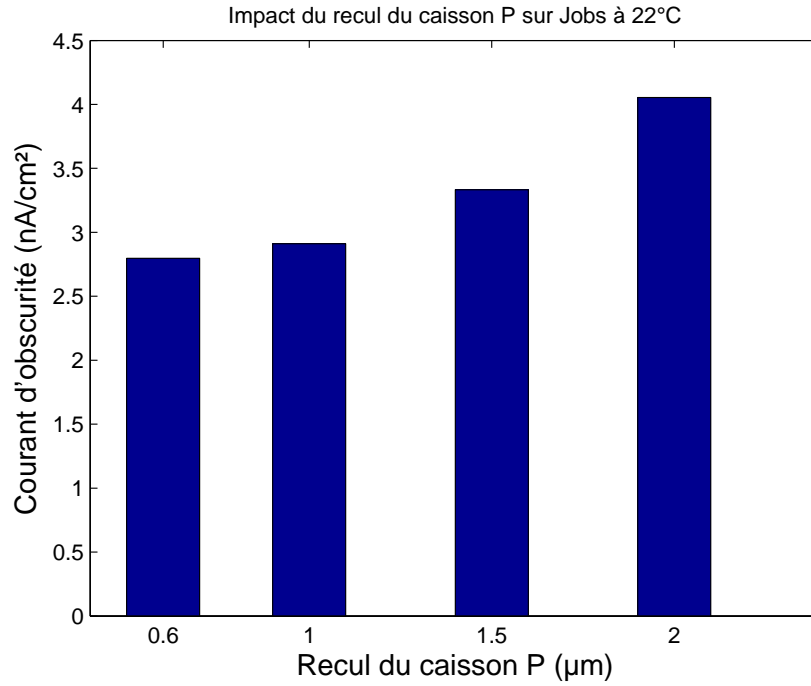


FIGURE 4.37 – Courant d’obscurité des pixels au pas de $10 \mu\text{m}$ en fonction de l’espacement entre cathode et caisson P.

$L_r(\mu\text{m})$	Énergie d’activation (eV)
0.6	1.02
1	0.97
1.5	0.93
2	0.88

TABLE 4.4 – Énergie d’activation du courant d’obscurité en fonction du recul du caisson P.

la cathode). Les impuretés et défauts dans le substrat étant principalement dépendant du procédé de fabrication, peu de solutions existent impliquant la conception. Le courant de diffusion est une composante non négligeable du courant d'obscurité mesuré sur le substrat float-zone, mais il peut, à l'inverse du courant de génération, être considérablement réduit par des choix de conception.

Ce courant est lié au nombre d'électrons générés à une distance de la zone dépeuplée inférieure à la longueur de diffusion des électrons. Il peut être décrit par l'équation 4.6 [Gro71, p. 182] avec n_{p0} la concentration d'électrons dans le substrat P à l'équilibre, τ_n leur temps de vie, L_n leur longueur de diffusion et A_j la surface de la jonction. n_{p0}/τ_n représente le taux de génération dans le substrat P.

$$I_{diff} = q \frac{n_{p0}}{\tau_n} L_n A_j \quad (4.6)$$

On comprend alors que ce courant peut être minimisé en diminuant la longueur de diffusion des porteurs minoritaires dans le substrat, ce qui revient à diminuer le volume depuis lequel les charges peuvent diffuser vers la zone dépeuplée. Ceci peut être réalisé en utilisant une épitaxie résistive sur un substrat fortement dopé ou en amincissant un substrat float-zone.

4.10 Conclusion

Nous avons donc mené l'étude électro-optique d'un imageur CMOS sur un substrat fortement résistif à travers la détermination du CVF, du QE, de la diaphonie et du courant d'obscurité.

Les variations du CVF présentés restent cohérentes avec les tendances estimées pendant la phase de conception. En particulier, la mesure de CVF en matrice est appuyée par celle réalisée sur les structures de test et suit l'estimation du modèle analytique. Ce dernier montre que pour les pixels avec recul du caisson P, une diffusion latérale des dopants limite l'extension latérale de la zone dépeuplée, et donc l'augmentation du CVF. Les mesures montrent qu'il est possible d'augmenter de quelques points le CVF en n'augmentant que très peu le courant d'obscurité pour un écartement de $1\mu m$. Pour des espacements plus importants, le courant d'obscurité augmente rapidement avec le recul du caisson P.

Concernant le QE, peu de variations sont observées avec les différentes variations de pixels, ce qui conforte les observations théoriques stipulant qu'il est principalement dépendant du volume photosensible, et de la transmission de la lumière dans l'empilement de diélectriques en face avant. Le QE externe mesuré est maintenu au dessus de 0.35 jusqu'à 950nm ce qui est bien supérieur à un capteur sur substrat conventionnel, et certains capteurs commerciaux à visée scientifique. Le volume photo-sensible important du substrat float-zone est donc bénéfique pour la détection de rayonnement dans le proche infra-rouge. Malheureusement, ce volume n'étant pas entièrement dépeuplé dans notre cas, la diffusion est importante aux grandes longueurs d'onde comme l'a montré les mesures de diaphonie.

La diaphonie est minimisée pour les moyennes longueurs d'onde (entre 550nm et 800nm environ) mais augmente rapidement dans le proche-infrarouge du fait du large volume quasi-neutre situé sous les zones dépeuplées des pixels. Une élévation de la diaphonie dans les courtes longueurs est également présente et est attribuée d'après les simulations TCAD à la diffusion des charges générées dans les caissons entre les pixels en surface. On observe ici l'impact de l'augmentation de la taille de cathode sur l'extension latérale de la zone dépeuplée, ce qui permet de diminuer la diaphonie à toutes les longueurs d'onde. L'extension en profondeur qui limite la diaphonie aux grande longueurs d'onde a également été observée. Ces variations sont confirmées par les mesures de FTM qui montrent une augmentation de la FTM à la fréquence de Nyquist avec la taille de cathode. En particulier, on observe une FTM similaire entre 500 et 650 pour les cathodes de 5 et $7.5\mu m$ de côté, puis une FTM supérieure pour la cathode de $7.5\mu m$ aux plus grandes longueurs d'onde, ce qui est similaire aux variations observées pour la diaphonie.

L'impact du caisson P profond est visible et augmente la diaphonie comme prévue par l'étude théorique. Néanmoins, l'influence du caisson P profond sur la diaphonie diminue avec l'augmentation de la taille de la cathode. Maximiser la taille de la cathode permet de diminuer la diaphonie aux moyennes et grandes longueur d'onde mais augmente aussi la sensibilité au phénomène de punchthrough, exigeant un compromis.

La diaphonie est aussi impactée par la variation de l'extension de la ZCE du pixel illuminé lors de l'intégration des charges. Cette modification des volumes dépeuplés implique que la diaphonie peut être dépendante du courant photonique.

L'étude du courant d'obscurité menée sur des structures de test et en matrice montre qu'une source de courant importante provient du substrat float-zone. L'étude de l'énergie d'activation de ce courant révèle qu'il comporte une composante importante de diffusion venant des zones quasi-neutres sous le volume dépeuplé. Le courant d'obscurité est élevé relativement aux courants atteignables avec des technologies conventionnelles mais peut être réduit par la diminution du volume photosensible (du volume de silicium résistif). Ceci peut être réalisé par l'utilisation de couche d'épitaxie faiblement dopée sur un substrat fortement dopé ou par l'amincissement du substrat float-zone.

Les substrats float-zone permettent en résumé de conserver un bon QE jusqu'à des longueurs d'onde de 950nm, sans garantir une bonne FTM aux fortes longueurs d'onde à cause d'une augmentation de la diaphonie. Ces substrats introduisent une forte composante de diffusion dans le courant d'obscurité. Ce courant d'obscurité et la FTM peuvent être améliorés en diminuant le volume de silicium photo-sensible (résistif). L'utilisation d'une épitaxie fortement résistive est une solution pouvant amener un compromis entre QE, FTM et courant d'obscurité.

Conclusion et perspectives

L'amélioration continue des technologies et procédés de fabrication des imageurs CMOS permet aujourd'hui d'utiliser ceux-ci dans des applications scientifiques et spatiales exigeantes. La réponse spectrale de ces capteurs peut être améliorée en augmentant leur volume photosensible mais un champ électrique collectant les charges photogénérées doit également y être présent afin d'optimiser le couple QE/FTM. Pour cela, l'utilisation de silicium résistif et de tensions de polarisation élevées des éléments photosensibles sont des solutions envisageables et déjà utilisées dans certains capteurs CCD et CMOS. Néanmoins, les conditions d'intégration de ces solutions pour un imageur CMOS ne sont pas décrites dans la littérature.

Ce travail montre la difficulté d'augmenter la tension appliquée aux photodiodes des pixels du fait des polarisations de la cathode limitées par la technologie CMOS. Polariser négativement l'anode reste possible en polarisant le substrat à l'aide d'un contact face arrière par exemple. Il est néanmoins nécessaire de conserver la polarisation des caissons abritant les transistors, ce qui nécessite d'isoler électriquement ces derniers du substrat P. Des solutions existent, basées sur de multiples caissons mais demandent l'accès à des procédés particuliers. De plus, la simple augmentation de la tension ne permet pas de dépeupler des volumes importants dans du silicium dopé à des concentrations conventionnelles. L'abaissement de la concentration en dopants dans le volume photo-sensible est donc nécessaire pour augmenter sensiblement le volume dépeuplé dans le substrat. Nous avons alors étudié quelles conséquences implique l'utilisation de silicium fortement résistif dans le cadre d'un imageur CMOS.

Pour des dopages de l'ordre de $N_a = 10^{12} \text{at/cm}^3, 10^{13} \text{at/cm}^3$, la profondeur dépeuplée estimée par la résolution de l'équation de Poisson en une dimension est de plusieurs dizaines de microns. En pratique, le volume dépeuplé dans le substrat s'approche d'une ellipsoïde pour les tailles de cathodes faibles ($< 20 \mu\text{m}$ de côté), et la profondeur maximale dépeuplée est plus faible que celle donnée par un modèle de jonction PN en une dimension. Les simulations numériques montrent un effet géométrique important de la cathode sur l'extension latérale et en profondeur de cette zone dépeuplée, dont le volume dépend de l'aire occupée par la cathode. Ces constatations ainsi que des simulations numériques ont permis d'anticiper les phénomènes introduits par la forte extension des zones dépeuplées des photodiodes, puis de développer une matrice contenant différents types de pixels afin de vérifier les hypothèses proposées sur le comportement de l'imageur.

L'extension des zones de charges d'espace peut amener des photodiodes voisines à partager un même volume dépeuplé. Dans ces conditions, des électrons peuvent être injectés d'une cathode à l'autre, et ce processus est régi par la barrière de potentiel résiduelle formée entre les deux cathodes. Cette barrière de potentiel est dépendante des tensions appliquées sur les cathodes, de l'espacement entre ces cathodes, de leurs tailles et des implantations utilisées entre les cathodes (présence de caissons P et P profond). Lorsque ces paramètres remplissent certaines conditions, un fort courant se forme entre les cathodes. Les électrons circulent depuis

les cathodes à faible potentiel vers les cathodes à fort potentiel, et ce transfert diminue le potentiel de ces dernières. En ce sens, il est similaire au phénomène de saturation des pixels, pour lequel les charges générées ne sont plus collectées par le pixel saturé, et diffusent vers ses voisins, à l'exception qu'il n'est pas nécessaire que les photodiodes atteignent un potentiel nul pour propager les charges vers les pixels voisins dans le cas du punchthrough.

L'étude des courants de punchthrough dans la matrice de pixel permet de définir les limites géométriques sur les pixels afin d'éviter ce phénomène. Nous avons également utilisé ces courants comme un outil d'étude pour démontrer la dépendance de l'extension de la zone dépeuplée avec les différentes géométries de pixel étudiées dans ce travail. En particulier, nous avons montré une extension latérale plus importante des zones dépeuplées avec l'augmentation de la taille de cathode.

Les performances électro-optiques du capteur ont été évaluées à l'aide d'un éclairage en champ plat à plusieurs longueurs d'onde. L'efficacité quantique externe du capteur est supérieure à 0.35 entre des longueurs d'onde allant de 450 nm à 950 nm, ce qui est performant compte tenu de l'empilement de couches en face avant non optimisé pour des applications optoélectroniques. En particulier, le QE aux grandes longueurs d'onde est supérieur à celui de capteurs scientifiques commercialisés. Peu de variations ont été observées entre les différents pixels intégrés en matrice ce qui confirme que le QE n'est pas uniquement dépendant du volume dépeuplé, mais aussi du volume photo-sensible défini par la zone quasi-neutre et par la longueur de diffusion des charges. Le substrat float-zone permet donc de conserver un très bon QE jusqu'à 950 nm grâce à son volume photosensible important.

Les mesures de diaphonie et la FTM ont été réalisées à l'aide de masques optiques formés par plusieurs niveaux de métal de la technologie utilisée. Elles suivent l'une et l'autre les mêmes variations en fonction de la longueur d'onde. Aux moyennes longueurs d'onde, la diaphonie dépend en partie de l'extension latérale des zones dépeuplées dans le substrat. Elle est minimisée en augmentant la taille de la cathode, et par conséquent en augmentant l'extension latérale des zones dépeuplées sous les caissons P. Pour ces longueurs d'ondes, les courbes de diaphonie ne diminuent plus, ou très peu, à partir d'une certaine taille de cathode (5 μm et 13 μm respectivement pour des pas de pixels de 10 μm et 20 μm avec P profond). Les résultats montrent aussi une élévation de la diaphonie aux faibles longueurs d'onde à cause d'une diffusion dans les caissons P, et aux grandes longueurs d'onde à cause de la diffusion dans le substrat sous les zones dépeuplées. Pour des tailles de cathode encore supérieures à celles évoquées, la réduction de la diaphonie est surtout visible pour les grandes longueurs d'onde (supérieures à 750 nm), indiquant une extension en profondeur de la zone dépeuplée. Les mesures de diaphonie et de punchthrough en matrice permettent de confirmer que l'extension de la zone dépeuplée est dépendante de la taille de la cathode et d'estimer la géométrie du pixel pour laquelle la collection aux moyennes longueurs d'onde est optimisée, tout en limitant l'impact éventuel du punchthrough sur la matrice.

Les mesures de diaphonie montrent également des variations de pentes dans la FTEO des pixels masqués, indiquant une variation des volumes dépeuplés (en particulier du pixel illuminé) durant l'intégration des charges. Ainsi, la part de diffusion et de collection directe des charges dans le pixel illuminé varie en fonction du flux incident. Ceci implique que la

Conclusion et perspectives

diaphonie provoquée par la diffusion des charges dans le substrat peut être dépendante du nombre de charges intégrées par les pixels.

Le caisson P profond entourant les cathodes permet de réduire l'extension de la zone dépeuplée et donc de fortement diminuer le courant de punchthrough entre deux cathodes adjacentes. Pour être pleinement efficace dans ce rôle, celui-ci doit être situé à au moins $1 \mu m$ des bords de la cathode. Du fait de son impact sur le volume dépeuplé dans le substrat, la présence de ce caisson pénalise la collection des charges dans le substrat pour les moyennes et fortes longueurs d'onde. En choisissant des tailles de cathode et un pas de pixel adaptés, il peut être omis du pourtour des cathodes sans conséquences concernant l'isolation entre pixels adjacent et la diaphonie. En outre, ce caisson n'est pas indispensable pour l'intégration de NMOS sur le procédé utilisé. Il peut donc être omis de la matrice de pixel. Il reste néanmoins important pour limiter la sensibilité de certains circuits CMOS aux radiations ionisantes pouvant déclencher des effets transitoires tel que le latchup.

Le courant d'obscurité du capteur développé est assez élevé, en partie à cause d'un courant de diffusion très présent dans la gamme de température étudiée. La composante de diffusion est attribuée à la longueur de diffusion importante des charges dans le substrat float-zone. Ce courant peut donc être limité par l'utilisation de substrat avec une couche d'épithaxie fortement résistive ou d'un amincissement en face arrière, diminuant ainsi le volume de silicium contribuant au courant de diffusion.

Concernant la tenue aux radiations, nous pouvons en utilisant des modèles empiriques et le facteur de Sroure prédire les variations attendues du courant d'obscurité dues aux doses ionisantes et de déplacement par rapport à un imageur sur substrat conventionnel (faible volume photosensible et faible résistivité). Les effets de la dose ionisante étant liés à l'état de l'oxyde et de l'interface oxyde / silicium, ils seront surtout dépendant du procédé de fabrication et de la conception du capteur plutôt que du dopage initial du substrat. Les variations attendues du courant d'obscurité par rapport à un imageur conventionnel sont principalement causées par le fort volume dépeuplé dans le substrat qui, pour une dose de déplacement donnée, contiendra un plus grand nombre de défauts. Ceci a pour effet d'augmenter le courant d'obscurité moyen, le courant d'obscurité maximal et le nombre de pixels montrant un comportement RTS ainsi que l'amplitude maximale des transitions RTS. Une augmentation de la sensibilité aux événements transitoires est attendue, notamment au latchup. Celui-ci intervient dans des circuits comprenant des transistors NMOS et PMOS, uniquement présents en périphérie des pixels pour la majorité des imageurs. Les simulations montrent qu'un caisson P profond implanté sous les caissons de ces circuits devrait permettre de retrouver une sensibilité au latchup similaire à celle sur substrat conventionnel.

En écartant le caisson P de la cathode, il est possible d'augmenter le volume dépeuplé autour du périmètre de la cathode et diminuer ainsi sa capacité afin de pouvoir contrôler le facteur de conversion du pixel 3T. S'il est effectivement possible de réduire la capacité (et donc d'augmenter le CVF) par cette méthode, la diffusion latérale des dopants durant la fabrication du composant tend à contrer l'effet de l'espacement des caissons. L'écartement des caissons introduit de plus une augmentation du courant d'obscurité non négligeable en augmentant la surface d'oxyde en contact avec la zone dépeuplée, ce qui est préjudiciable

dans un environnement radiatif ionisant.

Enfin, ces travaux permettent de définir des règles de conception pour un imageur CMOS sur substrat résistif et d'anticiper les possibilités d'améliorations. Pour limiter la diaphonie sans risquer de courant de punchthrough dans un pixel de pas $10\ \mu\text{m}$, les tailles maximales de cathode sont de $5\ \mu\text{m}$ avec P profond, et inférieures à $5\ \mu\text{m}$ sans P profond. Dans un pixel de pas $20\ \mu\text{m}$, ces tailles sont de $13\ \mu\text{m}$ avec P profond, et inférieures à $10\ \mu\text{m}$ sans P profond. Augmenter la taille de ces cathodes permettrait d'augmenter la profondeur dépeuplée et de diminuer la diaphonie aux grandes longueurs d'onde, au risque d'augmenter le courant de punchthrough. Néanmoins, l'effet du punchthrough n'est visible que lorsqu'une des photodiodes voit son potentiel descendre sous 1V (dans le pire cas et avec une tension d'initialisation des photodiodes de 3.6V). Dans ces conditions, un phénomène similaire à un effet de saturation d'un pixel est présent. En polarisant la grille du transistor d'initialisation à une tension supérieure à la tension de seuil (et non plus à 0V) durant la phase d'intégration des charges, il devrait être possible d'empêcher les photodiodes d'atteindre la tension nécessaire au déclenchement du punchthrough. Comme la chaîne de lecture ne peut faire suivre des tensions d'entrées inférieures à 2V, la dynamique du capteur n'en est pas impactée dans notre cas.

Nous avons au terme de ce travail étudié l'extension des zones dépeuplées dans le substrat, proposé des règles de conception permettant d'optimiser les performances électro-optiques tout en limitant les courants de fuite entre pixels, et évalué les risques inhérents à l'utilisation de substrats résistifs tout en proposant des solutions pour limiter ces derniers. Ces résultats peuvent par exemple être appliqués à un substrat avec épitaxie pour concevoir un imageur au couple QE/FTM optimisé (correspondance entre volume photo-sensible et volume dépeuplé). Le fonctionnement du capteur reste intrinsèquement lié à son procédé de fabrication et au dopage du substrat résistif dont les variations peuvent modifier le comportement du capteur. La méthodologie utilisée dans ce travail peut être utilisée pour estimer l'état de déplétion et les performances de ces capteurs.

Du fait des contraintes évoquées ci-dessus, nous n'avons pas pu appliquer une polarisation négative au substrat de l'imageur afin d'augmenter la tension sur les photodiodes. L'étude théorique et les mesures sur structures de test isolées montrent néanmoins que cette polarisation permettrait d'augmenter le volume dépeuplé tout en augmentant la barrière de potentiel résiduelle entre les cathodes, limitant ainsi le punchthrough. Cette solution est donc prometteuse et nécessaire pour l'amélioration des performances des capteurs fortement dépeuplés en complément du substrat résistif.

Liste des symboles

CCD : Charge Coupled Device
CIS : CMOS Image Sensor
CMOS : Complementary Metal Oxide Semiconductor
CVF : Charge to Voltage Conversion factor
EDS : Efficacité de Détection Spectrale
ESF : Edge Spread Function
QE : External Quantum Efficiency
FTEO : Fonction de Transfert Electro-Optiques
FTM : Fonction de Transfert de Modulation
IQE : Internal Quantum Efficiency
LET : Linear Energy Transfert
LOCOS : LOCal Oxidation Of Silicon
MOSFET : Metal Oxide Semiconductor Field Effect Transistor
NMOS : N-channel Metal Oxide Semiconductor transistor
PMD : P Metal Dielectric
PMOS : P-channel Metal Oxide Semiconductor transistor
QE : Quantum Efficiency
RTS : Random Telegraph Signal
SEL : Single Event Latchup
SIT : Static Induction Transistor
SOI : Silicon On Insulator
SRP : Spreading Resistance Profiling
STI : Shallow Trench Isolation
TCAD : Technology Computer Aided Design
ZCE : Zone de Charge d'Espace

Description du véhicule de test

L'imageur est constitué d'une matrice de 384x384 pixels, de décodeurs lignes et colonnes permettant d'adresser ces pixels, et de chaînes de lecture en bas de chaque colonnes. La matrice de pixels est divisée en plusieurs sous-matrices contenant des variations de pixels différentes. Certaines sous-matrice sont dédiées à l'étude de la diaphonie ou de la FTM et disposent donc de masques métalliques formant un front bord de plage ou permettant de n'éclairer qu'un seul pixel à l'aide d'une ouverture de la même taille que celle des pixels. La plupart des variations de pixels sont donc présentes dans plusieurs sous-matrices pour pouvoir étudier leur réponse en champ plat ou avec les masques métalliques. Les sous-matrices de pixel au pas de 10 μm comportent 32x32 pixels, ce qui est un compromis entre le nombre de variation différente de pixel intégrable, et le nombre de pixel par variation. Ceci permet également de s'affranchir des effets de bord entre différentes sous-matrice, où des variations de réponse sont causées par la non-homogénéité des pixels.

Nous avons intégré des pixels de pas 10 et 20 μm dans la même matrice afin d'étendre l'étude sur une plus large gamme de cathode et de pouvoir comparer des pixels avec les mêmes tailles de cathode mais différents espacements. La partie gauche de l'imageur contient des pixels de pas 10 μm et la partie droite de 20 μm . Nous avons néanmoins gardé un pas de 10 μm pour les décodeurs et n'avons connecté qu'un décodeur sur deux sur la partie droite (pixels de 20 μm). Les sous-matrices de pixels de pas 20 μm possèdent 16x32 ou 16x16 pixels.

La figure B.1 montre le dessin de conception de l'imageur complet. Les masques FTM sont situés sur le bord gauche et les masques de diaphonie sur le centre pour les pixels de 10 μm et sur le coté droit pour les pixels de 20 μm .

Le circuit réalisé a été intégré dans un boîtier PGA84 et est visible figure B.2.

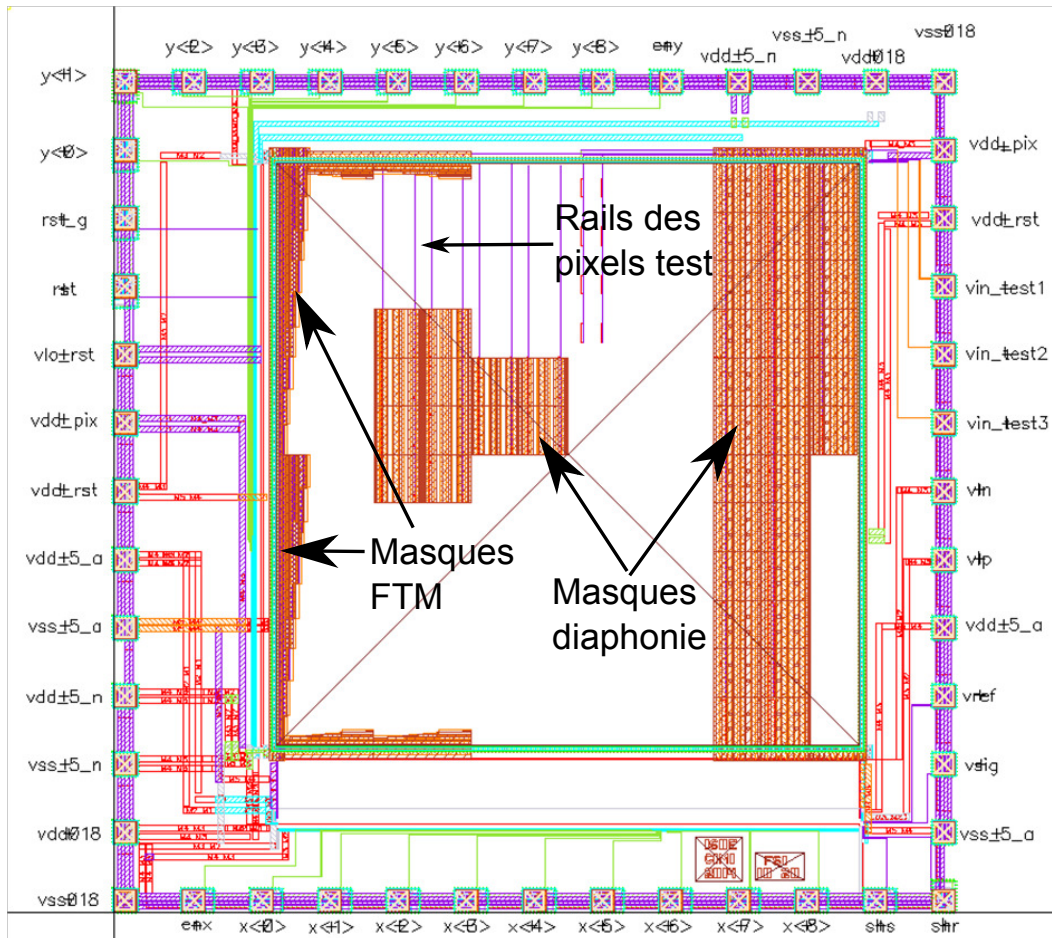


FIGURE B.1 – Schéma de conception de l'imageur CMOS montrant l'emplacement des masques métalliques et des rails de connexion des pixels test.

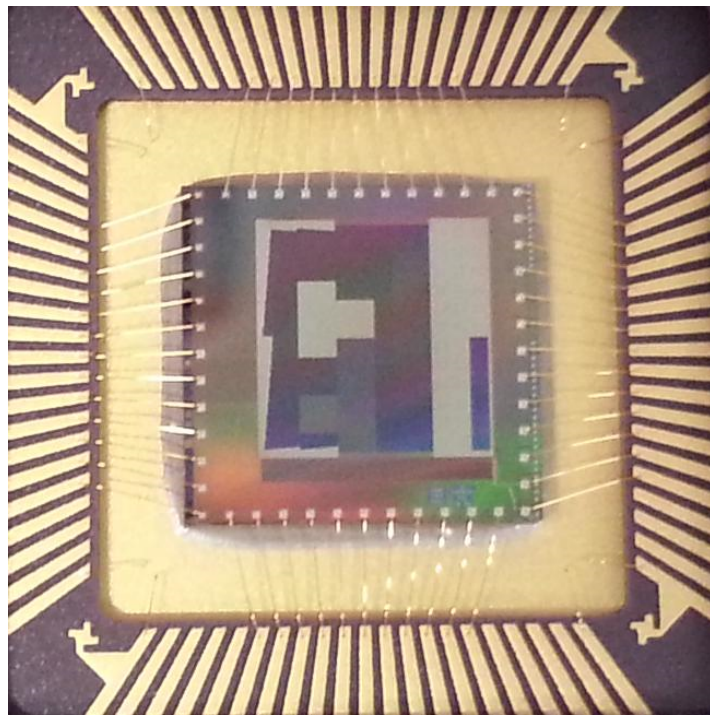


FIGURE B.2 – Photographie du circuit intégré dans un boîtier PGA84.

B.1 Pixels avec variations de tailles de cathode

Les variations de taille de cathode sont résumées dans les tableaux B.1 pour les pas de $10 \mu m$ et B.2 pour les pas de $20 \mu m$. Toutes les cathodes sont carrées avec des chanfreins pour limiter l'intensité du champ électrique dans les coins.

LxW(μm^2) avec P profond	LxW(μm^2) sans P profond
1.5x1.5	1.5x1.5
3x3	3x3
5x5	5x5
7.5x7.5	

TABLE B.1 – Dimensions des cathodes dans les pixels de pas $10 \mu m$.

LxW(μm^2) avec P profond	LxW(μm^2) sans P profond
5x5	5x5
7.5x7.5	7.5x7.5
10x10	10x10
13x13	13x13
15x15	15x15
17x17	

TABLE B.2 – Dimensions des cathodes dans les pixels de pas $20 \mu m$.

B.1. Pixels avec variations de tailles de cathode

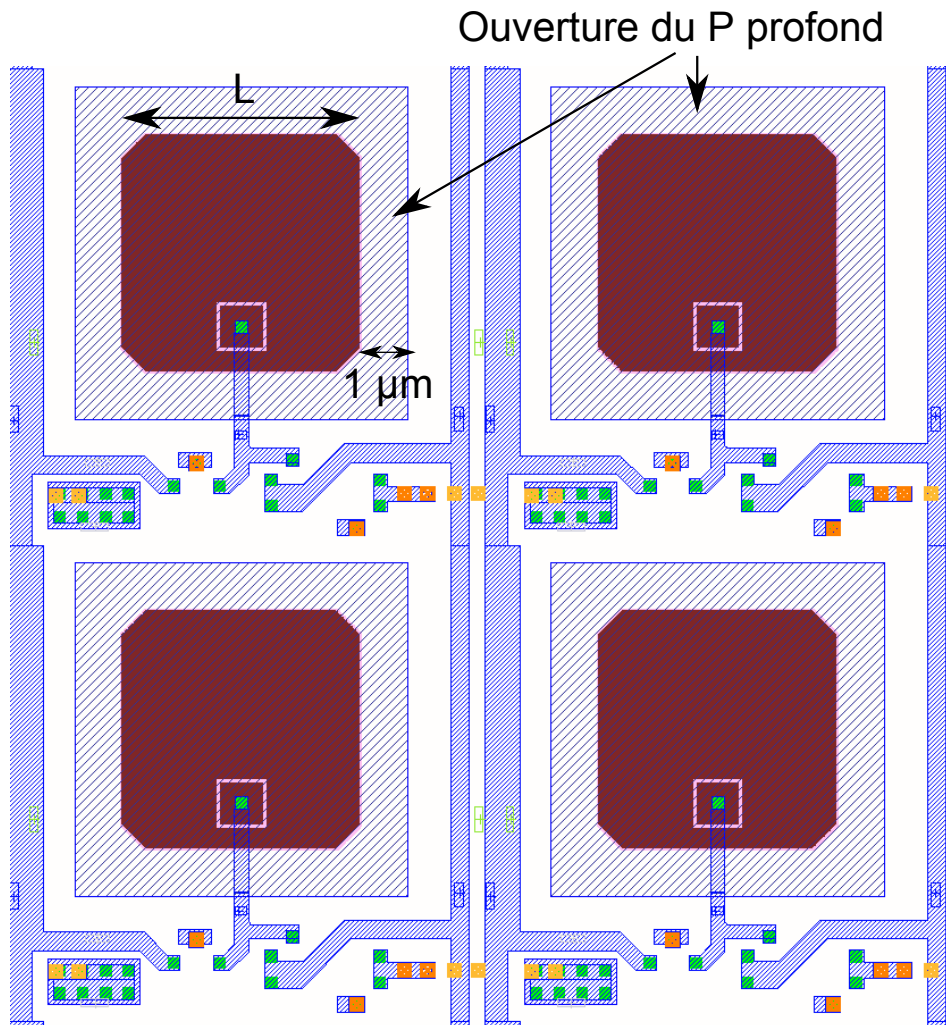


FIGURE B.3 – Dessin de quatre pixels avec P profond. Les cathodes (ici en rouge) sont toutes carrées de côté L . Les hachures bleues sur et autour des cathodes représentent les emplacements sans implantation du caisson P profond.

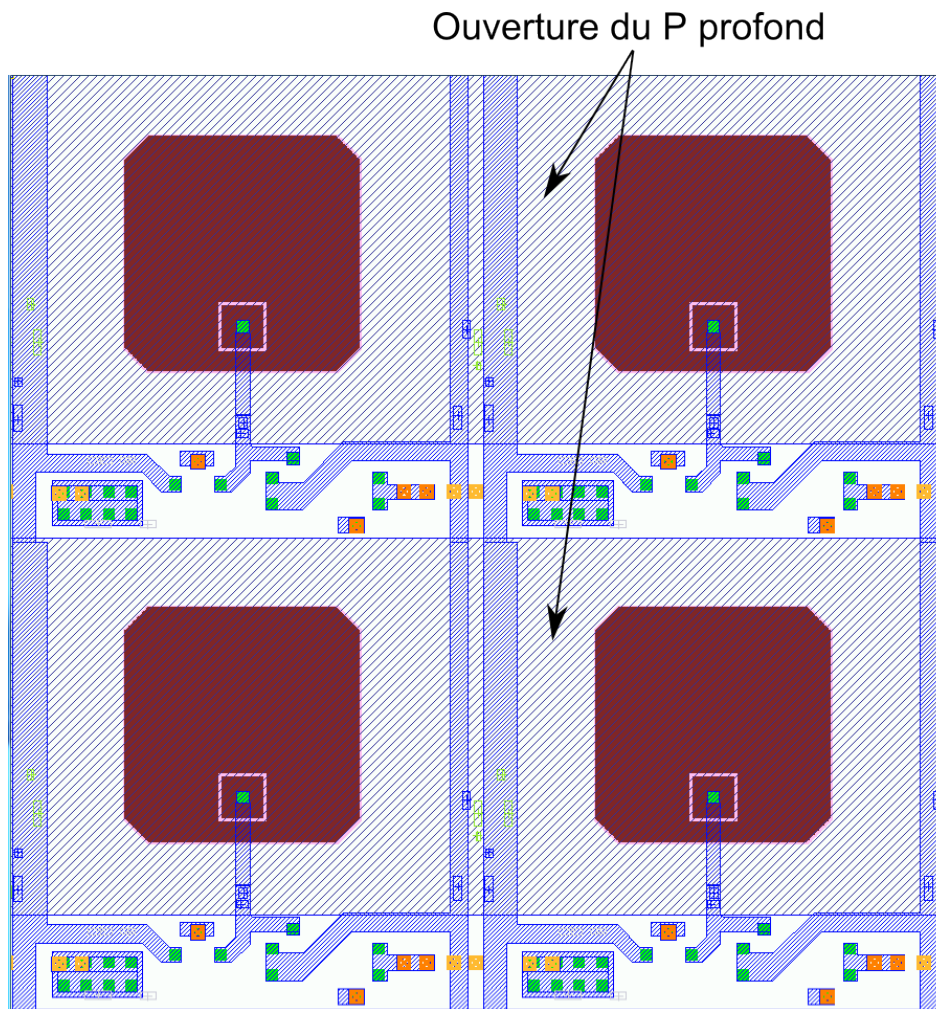


FIGURE B.4 – Dessin de quatre pixels sans P profond. Les hachures bleues sur et autour des cathodes représentent les emplacements sans implantation du caisson P profond. Le caisson P profond n'est donc présent que sous les transistors en dessous et au dessus de la cathode.

B.2 Pixels avec recul du caisson P

Quatre variations de pixel avec différents espacement entre cathode N et caisson P ont été dessinées afin d'étudier le CVF et le courant d'obscurité. Chaque variation dispose d'une sous-matrice de 64x64 pixels. L'espacement entre les caissons N et P est réalisé tout autour de la cathode, comme représenté figure B.5. Ces pixels disposent tous d'un caisson P profond afin de limiter le courant de punchthrough. Les variations utilisées sont résumées tableau B.3.

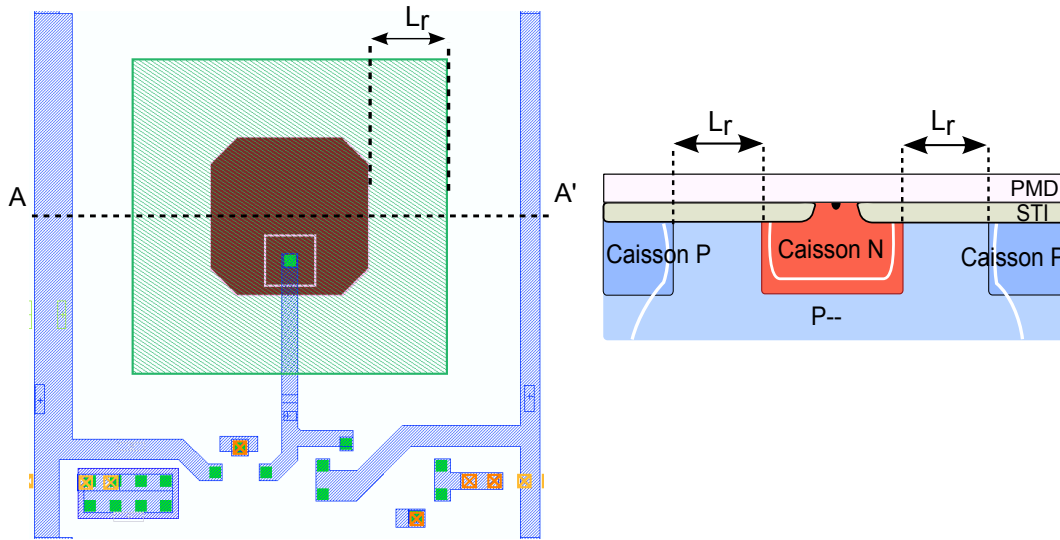


FIGURE B.5 – Dessin d'un pixel avec un espacement L_r entre la cathode et le caisson P l'entourant. La vue en coupe représente la section AA'. Le caisson P profond n'est pas dessiné ici par soucis de clarté.

$L \times W (\mu m^2)$	$L_r (\mu m)$
3x3	0.6
3x3	1
3x3	1.5
3x3	2

TABLE B.3 – Variations des pixels avec recul du caisson P.

B.3 Variations sur les caissons P profonds

L'espacement entre le caisson P profond et la cathode a été modifié suivant les valeurs du tableau B.4. Dans un premier cas, l'espacement L_{esp} est fixé à $1 \mu m$, et dans le second cas, la largeur du caisson P profond L_{pp} est gardée fixe à $2 \mu m$ pour toutes les tailles de cathodes, ce qui explique les secondes valeurs de L_{esp} . Les variables L_{esp} et L_{pp} sont représentées figure B.6.

$L \times W (\mu m^2)$	$L_{esp} (\mu m)$	$L_{pp} (\mu m)$
5x5	1	13
5x5	6.5	2
7.5x7.5	1	10.5
7.5x7.5	5.25	2
10x10	1	8
10x10	4	2
13x13	1	5
13x13	2.5	2
15x15	1	3
15x15	1.5	2
17x17	1	1
17x17	0.5	2

TABLE B.4 – Variations des espacements entre caissons P profond et cathode sur les pixels de $20 \mu m$.

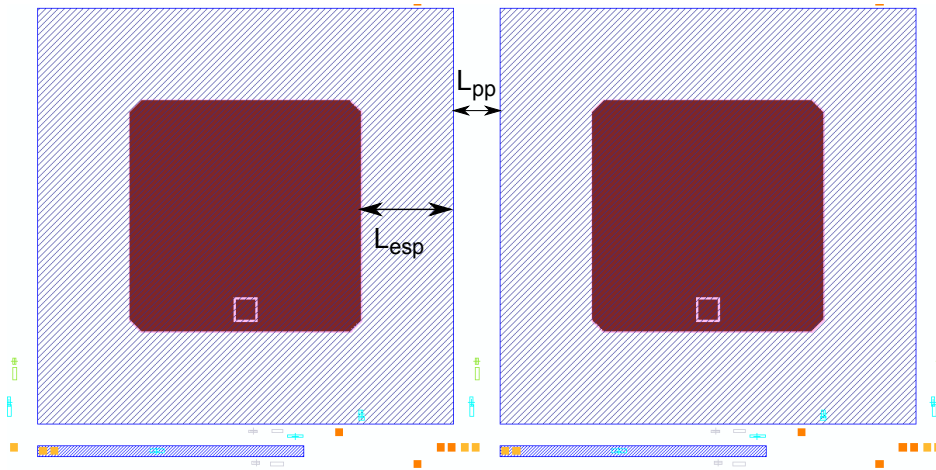


FIGURE B.6 – Dessin représentant les variations d'écartement L_{esp} entre les cathodes et le caisson P profond. Les hachures bleues représentent les zones sans caisson P profond et L_{pp} correspond donc à la largeur de caisson P profond entre les cathodes.

B.4. Variations de pixel avec masque métallique

B.4 Variations de pixel avec masque métallique

Plusieurs variations de pixels sont reportées dans plusieurs sous-matrices différentes avec des masques métalliques permettant l'étude rapide de la diaphonie et de la FTM. Les sous-matrices sous les masques de diaphonie comportent 32x32 pixels pour chaque variation de pixels, et les masques comportent 4 ouvertures pour chaque sous matrice comme représenté sur la figure B.7. Les masques pour la FTM forment un angle de 5 ° avec la verticale et les sous-matrices comportent chacune 64x64 pixels afin de pouvoir observer plusieurs périodes de recouvrement du masque sur les pixels. Les variations de pixels de pas 10 μm pouvant être étudiés avec ces masques sont résumées tableau B.5. Pour les pixels de 20 μm , toutes les variations de tailles sont doublées d'une sous-matrice avec masque de diaphonie, mais aucune ne possède de masque FTM.

Caisson P profond	LxW(μm^2)	Sous-matrice avec masque diaphonie	Sous-matrice avec masque FTM
Avec P profond	1.5 x 1.5	oui	oui
	3 x 3	oui	oui
	5x5	oui	oui
	7.5x7.5	oui	oui
Sans P profond	1.5x1.5	oui	non
	3x3	oui	oui
	5x5	oui	oui

TABLE B.5 – Déclinaison des variations de pixels sur des sous-matrices d'étude de la diaphonie et de la FTM .

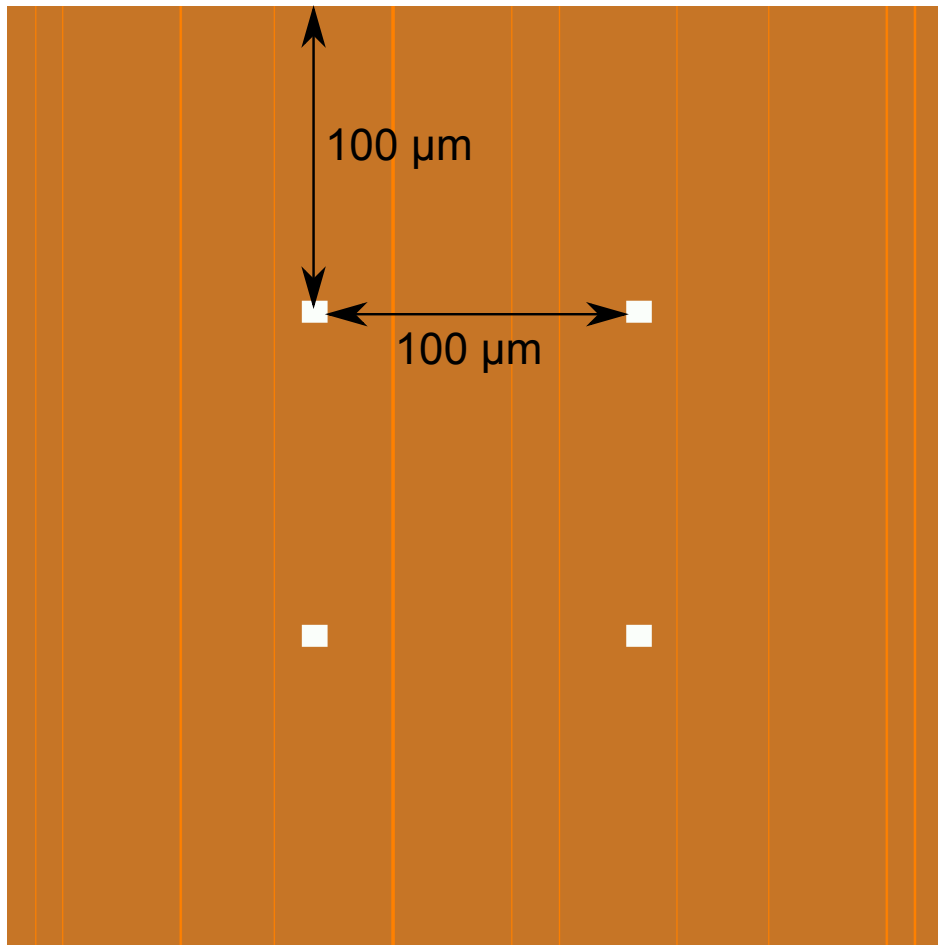


FIGURE B.7 – Dessin du masque pour l'étude de la diaphonie sur une sous-matrice de 32x32 pixels.

B.5. Diodes d'étude du punchthrough

B.5 Diodes d'étude du punchthrough

Des paires de diodes sont utilisées pour mesurer le courant de punchthrough circulant entre les deux cathodes. Ces structures comprennent des variations d'espacement, de largeur de cathode, et la présence ou non d'un caisson P profond entre les cathodes. Ces variations sont résumées dans le tableau B.6 à l'aide des variables représentées figure B.8.

L(μm)	W (μm)	P profond
1.5	100	Avec et sans
5	100	Avec et sans
11.5	100	Avec et sans
30	100	Avec et sans
1.5	25	Sans
1.5	50	Sans

TABLE B.6 – Déclinaison des paires de diodes pour l'étude du punchthrough.

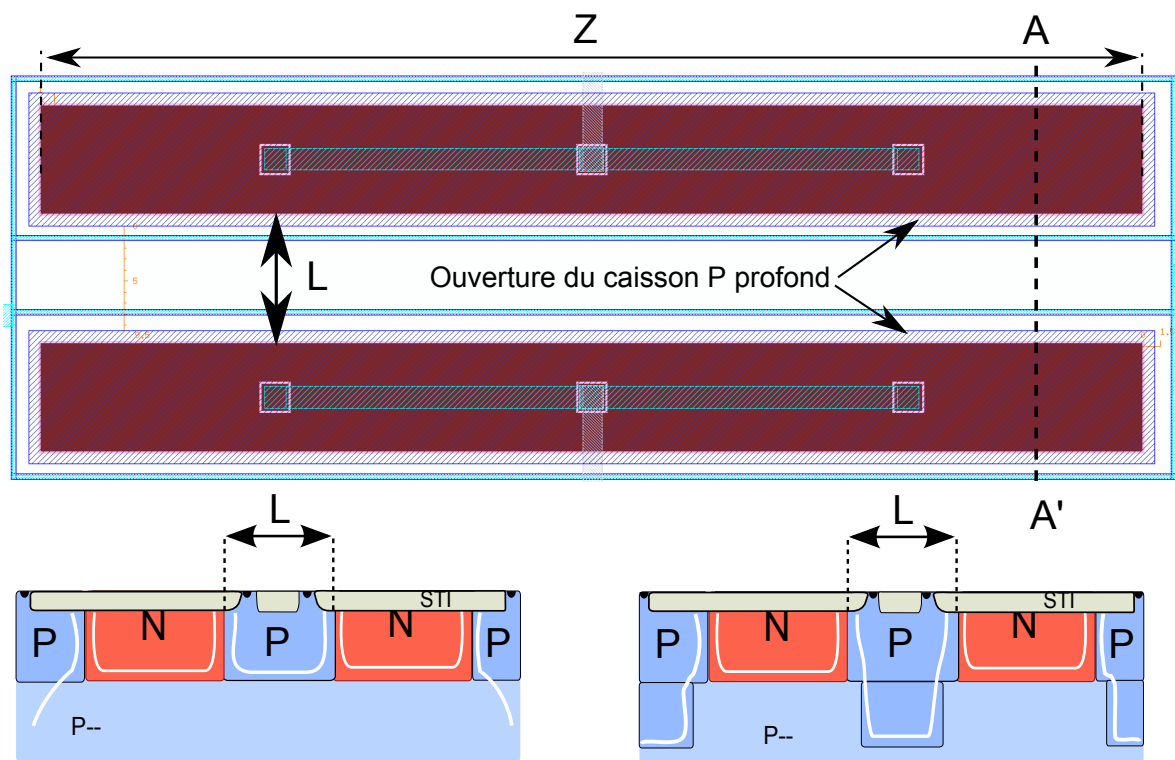


FIGURE B.8 – Dessin de conception des paires de diodes utilisées pour l'étude du punch-through. Z est le côté en vis à vis des cathodes et L la distance entre les cathodes. Les vues en coupe représentent la section AA' pour des variations sans et avec P profond.

Liste des publications

Revue internationale :

J.B. Lincelles, O. Marcelot, P. Magnan, O. Saint-Pé, M. Bréart de Boisanger, "Enhanced Near Infrared Response CMOS Image Sensors Using High Resistivity Substrate : Photodiodes Design Impact on Performances," Accepté dans : *IEEE Transaction on Electron Devices, special issue on solid state image sensors*.

Conférence internationale :

J.B. Lincelles, O. Marcelot, P. Magnan, O. Saint-Pé, "Design considerations for monolithically integrated fully-depleted CMOS image sensors," *10th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME)*, 2014.

Bibliographie

- [ABT03] G. AGRANOV, V. BEREZIN et R.H. TSAI. « Crosstalk and microlens study in a color CMOS image sensor ». In : *IEEE Transactions on Electron Devices* 50.1 (jan. 2003), p. 4–11 (cf. p. 18).
- [Ahn+90] S.T. AHN et al. « Reduction of lateral phosphorus diffusion in CMOS n-wells ». In : *IEEE Transactions on Electron Devices* 37.3 (mar. 1990), p. 806–807 (cf. p. 129).
- [Ara+10] Y. ARAI et al. « Integrated radiation image sensors with SOI technology ». In : *SOI Conference (SOI), 2010 IEEE International*. Oct. 2010, p. 1–5 (cf. p. 30).
- [Bai+04] Yibin BAI et al. « Hybrid CMOS focal plane array with extended UV and NIR response for space applications ». In : sous la dir. de Thomas J. GRZYCEWICZ et Craig R. MCCREIGHT. Jan. 2004, p. 83–93 (cf. p. 28).
- [Bai+08] Yibin BAI et al. « Teledyne Imaging Sensors : Silicon CMOS imaging technologies for x-ray, UV, visible, and near infrared ». In : *SPIE Astronomical Telescopes+ Instrumentation*. International Society for Optics et Photonics, 2008 (cf. p. 28).
- [Bar+09] R BARBIER et al. « Performance study of a MegaPixel single photon position sensitive photodetector EBCMOS ». In : *Nuclear Instruments & Methods in Physics Research Section A* 610.1 (2009), p. 54–56 (cf. p. 25).
- [Bar+10] R BARBIER et al. « A single-photon sensitive ebCMOS camera with 500 Hz frame rate : the LUSIPHER prototype, submitted to ». In : *Nuclear Instruments & Methods in Physics Research Section A* xx.xx (2010), p. xx (cf. p. 25).
- [Bat+11] Marco BATTAGLIA et al. « Characterisation of a pixel sensor in SOI technology for charged particle tracking ». en. In : *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment* 654.1 (oct. 2011), p. 258–265 (cf. p. 29).
- [BCL07] M. BIGAS, E. CABRUJA et M. LOZANO. « Bonding techniques for hybrid active pixel sensors (HAPS) ». In : *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment* 574.2 (mai 2007), p. 392–400 (cf. p. 28, 29).
- [Ben+03] K. BENAÏSSA et al. « RF CMOS on high-resistivity substrates for system-on-chip applications ». en. In : *IEEE Transactions on Electron Devices* 50.3 (mar. 2003), p. 567–576 (cf. p. 53).
- [BHK97] Dietmar BECK, Michael HERRMANN et Erich KASPER. « CMOS on FZ-high resistivity substrate for monolithic integration of SiGe-RF-circuitry and readout electronics ». In : *Electron Devices, IEEE Transactions on* 44.7 (1997), p. 1091–1101 (cf. p. 53).
- [Blo86] P. BLOOD. « Capacitance-voltage profiling and the characterisation of III-V semiconductors using electrolyte barriers ». In : *Semiconductor Science and technology* 1.1 (1986), p. 7 (cf. p. 83).

- [BME07] Hugh J. BARNABY, Michael MCLAIN et Ivan Sanchez ESQUEDA. « Total-ionizing-dose effects on isolation oxides in modern CMOS technologies ». In : *Nuclear Instruments and Methods in Physics Research Section B : Beam Interactions with Materials and Atoms*. The Application of Accelerators in Research and Industry Proceedings of the Nineteenth International Conference on The Application of Accelerators in Research and Industry Nineteenth International Conference on The Application of Accelerators in Research and Industry 261.1–2 (août 2007), p. 1142–1145 (cf. p. 34).
- [Bur+94] B. E. BURKE et al. « CCD soft x-ray imaging spectrometer for the ASCA satellite ». In : *Nuclear Science, IEEE Transactions on* 41.1 (1994), p. 375–385 (cf. p. 23).
- [Cal+08] D. CALVO et al. « Thinned epitaxial silicon hybrid pixel sensors for the PANDA experiment ». In : *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment* 594.1 (août 2008), p. 29–32 (cf. p. 28).
- [Cas+08] G. CASSE et al. « Comparison of charge collection efficiency of segmented silicon detectors made with FZ and MCz p-type silicon substrates ». en. In : *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment* 591.1 (juin 2008), p. 178–180 (cf. p. 39).
- [Coa+10] Rebecca E. COATH et al. « A low noise pixel architecture for scientific CMOS monolithic active pixel sensors ». In : *Nuclear Science, IEEE Transactions on* 57.5 (2010), p. 2490–2496 (cf. p. 25, 26).
- [CPS72] J.L CHU, G PERSKY et S.M SZE. « Thermionic injection and space charge limited current in reach through pnp structures ». In : *J. Appl. Phys* 43, 3510 (1972) (cf. p. 55, 99).
- [Dev+03] Michael DEVEAUX et al. « Neutron radiation hardness of monolithic active pixel sensors for charged particle tracking ». en. In : *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment* 512.1-2 (oct. 2003), p. 71–76 (cf. p. 68).
- [Dev+07] M. DEVEAUX et al. « Charge collection properties of Monolithic Active Pixel Sensors (MAPS) irradiated with non-ionising radiation ». In : *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment*. Proceedings of the 6th International Conference on Radiation Effects on Semiconductor Materials, Detectors and Devices RESMDD 2006 583.1 (déc. 2007), p. 134–138 (cf. p. 68).
- [Dev+08] M. DEVEAUX et al. « Random Telegraph Signal in Monolithic Active Pixel Sensors ». In : *IEEE Nuclear Science Symposium Conference Record, 2008. NSS '08*. Oct. 2008, p. 3098–3105 (cf. p. 32).
- [Dev+11] M DEVEAUX et al. « Radiation tolerance of a column parallel CMOS sensor with high resistivity epitaxial layer ». In : *Journal of Instrumentation* 6.02 (fév. 2011), p. C02004–C02004 (cf. p. 24, 25).

Bibliographie

- [Die+93] B. DIERICKX et al. « Integration of CMOS-electronics and particle detector diodes in high-resistivity silicon-on-insulator wafers ». In : *IEEE Transactions on Nuclear Science* 40.4 (août 1993), p. 753–758 (cf. p. 29).
- [Die97] Meynants DIERICKX B. « Near 100% fill factor CMOS active pixel sensor ». In : *Proceedings of the IEEE CCD & AIS Workshop*. 1997 (cf. p. 25).
- [Dji+12] I. DJITE et al. « Theoretical Models of Modulation Transfer Function, Quantum Efficiency, and Crosstalk for CCD and CMOS Image Sensors ». In : *IEEE Transactions on Electron Devices* 59.3 (mar. 2012), p. 729–737 (cf. p. 42).
- [DJR13] Shubhashish DATTA, Abhay JOSHI et Jim RUE. « Crosstalk analysis in large-area low-capacitance InGaAs quad photodiodes ». In : *Proceedings of SPIE*. T. 8704. Juin 2013 (cf. p. 61).
- [Dod+12] N.A. DODDS et al. « Effectiveness of SEL Hardening Strategies and the Latchup Domino Effect ». In : *IEEE Transactions on Nuclear Science* 59.6 (déc. 2012), p. 2642–2650 (cf. p. 73).
- [Doe+13] D. DOERING et al. « Pitch dependence of the tolerance of CMOS monolithic active pixel sensors to non-ionizing radiation ». In : *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment* (2013) (cf. p. 68).
- [Dor+10] A. DOROKHOV et al. « Improved radiation tolerance of MAPS using a depleted epitaxial layer ». en. In : *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment* 624.2 (déc. 2010), p. 432–436 (cf. p. 25).
- [Dul+05] Wojciech DULINSKI et al. « Tests of a backside illuminated monolithic CMOS pixel sensor in an HPD set-up ». en. In : *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment* 546.1-2 (juil. 2005), p. 274–280 (cf. p. 25).
- [Dul+07] Wojciech DULINSKI et al. « Optimization of Tracking Performance of CMOS Monolithic Active Pixel Sensors ». In : *IEEE Transactions on Nuclear Science* 54.1 (fév. 2007), p. 284–289 (cf. p. 24).
- [Dul+09] W. DULINSKI et al. « Thin, fully depleted monolithic active pixel sensor based on 3D integration of heterogeneous CMOS layers ». In : *Nuclear Science Symposium Conference Record (NSS/MIC), 2009 IEEE*. IEEE, 2009, p. 1165–1168 (cf. p. 25, 28).
- [Duz05] Sophie DUZELLIER. « Radiation effects on electronic devices in space ». en. In : *Aerospace Science and Technology* 9.1 (jan. 2005), p. 93–99 (cf. p. 30).
- [EGE05] Abbas EL GAMAL et Helmy ELTOUKHY. « CMOS image sensors ». In : *Circuits and Devices Magazine, IEEE* 21.3 (2005), p. 6–20 (cf. p. 13).
- [Ell+89] J. ELLISON et al. « Punch-through currents and floating strip potentials in silicon detectors ». In : *IEEE Transactions on Nuclear Science* 36.1 (1989), p. 267–271 (cf. p. 55).

- [EM04] Magali ESTRIBEAU et Pierre MAGNAN. « Fast MTF measurement of CMOS imagers at the chip level using ISO 12233 slanted-edge methodology ». In : *Proceedings of SPIE*. T. 5570. 2004, p. 557–567 (cf. p. 147).
- [EM05] Magali ESTRIBEAU et Pierre MAGNAN. « Pixel crosstalk and correlation with modulation transfer function of CMOS image sensor ». In : *Electronic Imaging 2005*. 2005, p. 98–108 (cf. p. 18).
- [Eva+05] D.A. EVANS et al. « CMOS active pixel sensors for ionising radiation ». en. In : *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment* 546.1-2 (juil. 2005), p. 281–285 (cf. p. 25).
- [Fai+06] Jessamyn A. FAIRFIELD et al. « Reduced Charge Diffusion in Thick, Fully Depleted CCDs With Enhanced Red Sensitivity ». In : *IEEE Transactions on Nuclear Science* 53.6 (2006), p. 3877–3881 (cf. p. 24).
- [FCMG13] V. FERLET-CAVROIS, L.W. MASSENGILL et P. GOUKER. « Single Event Transients in Digital CMOS #x2014;A Review ». In : *IEEE Transactions on Nuclear Science* 60.3 (juin 2013), p. 1767–1790 (cf. p. 33).
- [Fin+06] Gert FINGER et al. « Conversion gain and interpixel capacitance of CMOS hybrid focal plane arrays ». In : *Scientific detectors for astronomy 2005*. Springer, 2006, p. 477–490 (cf. p. 61).
- [Fos95] Eric R. FOSSUM. « CMOS image sensors : electronic camera on a chip ». In : *IEEE International Electron Devices Meeting Technical Digest*. 1995 (cf. p. 5).
- [FWS00] I.L. FUJIMORI, Ching-Chun WANG et C.G. SODINI. « A 256 x 256 CMOS differential passive pixel imager with FPN reduction techniques ». In : *Solid-State Circuits Conference, 2000. Digest of Technical Papers. ISSCC. 2000 IEEE International*. Fév. 2000, p. 106–107 (cf. p. 5).
- [Gai+13] M. GAILLARDIN et al. « Radiation Effects in CMOS Isolation Oxides : Differences and Similarities With Thermal Oxides ». In : *IEEE Transactions on Nuclear Science* 60.4 (août 2013), p. 2623–2629 (cf. p. 34).
- [GK95] Martin A. GREEN et Mark J. KEEVERS. « Optical properties of intrinsic silicon at 300 K ». en. In : *Prog. Photovolt : Res. Appl.* 3.3 (jan. 1995), p. 189–192 (cf. p. 7).
- [Goi+11] V. GOIFFON et al. « Evidence of a Novel Source of Random Telegraph Signal in CMOS Image Sensors ». In : *IEEE Electron Device Letters* 32.6 (juin 2011), p. 773–775 (cf. p. 34, 71).
- [Gro67] Andrew S GROVE. *Physics and technology of semiconductor devices*. English. New York : Wiley, 1967 (cf. p. 20, 21, 52).
- [Gro71] Andrew S. GROVE. *Physics and technology of semiconductor devices*. 1971 (cf. p. 80, 162).
- [Her+96] M. HERRMANN et al. « Hybrid 90 GHz rectenna chip with CMOS preamplifier ». In : *Solid State Device Research Conference, 1996. ESSDERC '96. Proceedings of the 26th European*. Sept. 1996, p. 527–530 (cf. p. 53).

Bibliographie

- [HKB09] Stephen E. HOLLAND, William F. KOLBE et Christopher J. BEBEK. « Device Design for a 12.3-Megapixel, Fully Depleted, Back-Illuminated, High-Voltage Compatible Charge-Coupled Device ». In : *IEEE Transactions on Electron Devices* 56.11 (nov. 2009), p. 2612–2622 (cf. p. 24).
- [Hä+04] J. HÄRKÖNEN et al. « Radiation hardness of Czochralski silicon, Float Zone silicon and oxygenated Float Zone silicon studied by low energy protons ». In : *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment*. Frontier Detectors for Frontier Physics : Proceedin 518.1–2 (fév. 2004), p. 346–348 (cf. p. 40).
- [Iee] « IEEE Recommended Practice for Latchup Test Methods for CMOS and BiCMOS Integrated-Circuit Process Characterization ». In : *IEEE Std 1181-1991* (1991) (cf. p. 73).
- [Jan] James Robert JANESICK. « Substrate Bias for Cmos Imagers ». Brev. 2011/0024808A1. U.S. Classification : 257/292 ; 257/E31.053 ; 257/E31.073 ; 438/59 (cf. p. 26, 66).
- [Jer+10] Paul JERRAM et al. « Back-thinned CMOS sensor optimization ». In : *Proceedings of SPIE* 7598 (fév. 2010) (cf. p. 25).
- [Joh71] JOHNSON. « The Influence of Debye Length on the C-v Measurement of Doping Profiles ». In : *IEEE Transactions on Electron Devices* (oct. 1971), p. 965–973 (cf. p. 83).
- [Jor+06] Paul JORDEN et al. « Commercialization of full depletion scientific CCDs ». In : *Proceedings of SPIE* 6276.1 (juin 2006) (cf. p. 24).
- [Joy07] Tom JOY. « Development of a Production-Ready, Back-Illuminated CMOS Image sensor with Small pixels ». In : *International Electron Devices Meeting IEDM*. IEEE, 2007, p. 1007–1010 (cf. p. 29).
- [Kah+10] S. M. KAHN et al. « Design and development of the 3.2 gigapixel camera for the Large Synoptic Survey Telescope ». In : *Proceeding of SPIE*. Juil. 2010 (cf. p. 23).
- [KLT99] L.J. KOZLOWSKI, J. LUO et A. TOMASINI. « Performance limits in visible and infrared imager sensors ». In : *Electron Devices Meeting, 1999. IEDM '99. Technical Digest. International*. Déc. 1999, p. 867–870 (cf. p. 5).
- [Kur15] Takao KURODA. *Essential principles of image sensors*. Boca Raton : CRC Press, 2015 (cf. p. 21).
- [LaB+95] K.A. LABEL et al. « Single event effect characteristics of CMOS devices employing various epi-layer thicknesses ». In : , *Third European Conference on Radiation and its Effects on Components and Systems, 1995. RADECS 95*. 1995, p. 258–262 (cf. p. 72).
- [Lal13] Valérian LALUCAA. *Etude des effets singuliers produits par les particules énergétiques chargées de l'environnement radiatif spatial sur les capteurs d'images CMOS*. Toulouse, ISAE, déc. 2013 (cf. p. 72).
- [Lan09] G. LANGFELDER. « Isolation of Highly Doped Implants on Low-Doped Active Layers for CMOS Radiation Drift Detectors ». In : *IEEE Transactions on Electron Devices* 56.8 (août 2009), p. 1767–1773 (cf. p. 55, 58).

- [Lau] LAUXTERMANN. « Backside illuminated CMOS image sensor with pinned photodiode ». Brev. 2008 0217723A1. U.S. Classification : 257/460 ; 257/E31.093 (cf. p. 26, 27).
- [LFM14] Stefan LAUXTERMANN, John FISHER et Michael MACDOUGAL. « A monolithic 640x512 CMOS imager with high-NIR sensitivity ». In : *Proceedings of SPIE*. T. 9070. Juin 2014 (cf. p. 26).
- [Lou03] Natalia V. LOUKIANOVA. « Leakage Current Modeling of Test Structures for Characterization of Dark Current in CMOS Image Sensors ». In : *IEEE Transactions on Electron Devices* (jan. 2003), p. 77–83 (cf. p. 157).
- [Mar+06] J. MARCZEWSKI et al. « Technology development for SOI monolithic pixel detectors ». en. In : *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment* 560.1 (mai 2006), p. 26–30 (cf. p. 30).
- [Mom+09] N. MOMO et al. « 90nm node RF CMOS technology with latch-up immunity on high-resistivity substrate ». English. In : *Microwave Integrated Circuits Conference, 2009. EuMIC 2009. European*. IEEE, sept. 2009, p. 65–68 (cf. p. 73).
- [Moo06] Andrew C. MOORE. « Quantum efficiency overestimation and deterministic cross talk resulting from interpixel capacitance ». en. In : *Optical Engineering* 45.7 (juil. 2006) (cf. p. 61).
- [Mor+93] Yves MOREAU et al. « The latchup risk of CMOS-technology in space ». In : *Nuclear Science, IEEE Transactions on* 40.6 (1993), p. 1831–1837 (cf. p. 72).
- [Mun+06] Koen de MUNCK et al. « High performance Hybrid and Monolithic Backside Thinned CMOS Imagers realized using a new integration process ». In : *Electron Devices Meeting, 2006. IEDM '06. International*. Déc. 2006, p. 1–4 (cf. p. 25).
- [Nix+96] R.H. NIXON et al. « 256 times ;256 CMOS active pixel sensor camera-on-a-chip ». In : *IEEE Journal of Solid-State Circuits* 31.12 (déc. 1996), p. 2046–2050 (cf. p. 5).
- [Ohg+00] T. OHGURO et al. « High performance digital-analog mixed device on an Si substrate with resistivity beyond 1 Ω .cm ». In : *Electron Devices Meeting, 2000. IEDM '00. Technical Digest. International*. 2000, p. 757–760 (cf. p. 73).
- [OM03] T.R. OLDHAM et F.B. MCLEAN. « Total ionizing dose effects in MOS oxides and devices ». en. In : *IEEE Transactions on Nuclear Science* 50.3 (juin 2003), p. 483–499 (cf. p. 33, 34).
- [Pai+04] Bedabrata PAIN et al. « Hardening CMOS imagers : radhard-by-design or radhard-by-foundry ». In : 5167. Jan. 2004, p. 101–110 (cf. p. 34).
- [PH03] B. PAIN et Bruce R. HANCOCK. « Accurate estimation of conversion gain and quantum efficiency in CMOS imagers ». In : *Electronic Imaging 2003*. 2003, p. 94–103 (cf. p. 125).
- [Pla+12] S. PLACE et al. « Radiation Effects on CMOS Image Sensors With Sub-2 Pinned Photodiodes ». In : *IEEE Transactions on Nuclear Science* 59.4 (août 2012), p. 909–917 (cf. p. 21).

Bibliographie

- [Plu00] James D. PLUMMER. *Silicon VLSI technology : fundamentals, practice, and modeling*. Prentice Hall electronics and VLSI series. Upper Saddle River, NJ : Prentice Hall, 2000 (cf. p. 33, 38, 40, 129).
- [Pri+09] G. PRIGOZHIN et al. « Characterization of Three-Dimensional-Integrated Active Pixel Sensor for X-Ray Detection ». In : *IEEE Transactions on Electron Devices* 56.11 (nov. 2009), p. 2602–2611 (cf. p. 28).
- [Pri07] Jens PRIMA. « A 3Mega-Pixel back-illuminated image sensor in 1T5 architecture with 1.45 um pixel pitch ». In : 2007, p. 5–8 (cf. p. 29).
- [Pro] *Projet Epamo* (cf. p. 38).
- [Pry+03] M.L PRYDDERCH et al. « A 512 512 CMOS Monolithic Active Pixel Sensor with integrated ADCs for space science ». en. In : *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment* 512.1-2 (oct. 2003), p. 358–367 (cf. p. 25).
- [Riz07] G. RIZZO. « Recent development on CMOS monolithic active pixel sensors ». en. In : *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment* 576.1 (juin 2007), p. 103–108 (cf. p. 26, 66).
- [Roc+95] H. de la ROCHETTE et al. « Simulation of heavy ion latchup cross section curves ». In : , *Third European Conference on Radiation and its Effects on Components and Systems, 1995. RADECS 95*. 1995, p. 359–364 (cf. p. 73).
- [Ros] *The ROSE Collaboration - RD48* (cf. p. 38).
- [RR+11] Padmakumar RAMACHANDRA RAO et al. « Hybrid backside illuminated CMOS image sensors possessing low crosstalk ». In : *Proceedings of SPIE* 8176.1 (oct. 2011) (cf. p. 28).
- [Ryu+11] S. G. RYU et al. « First Performance Evaluation of an X-Ray SOI Pixel Sensor for Imaging Spectroscopy and Intra-Pixel Trigger ». In : *IEEE Transactions on Nuclear Science* 58.5 (oct. 2011), p. 2528–2536 (cf. p. 29).
- [Sak+11] Agata SAKIC et al. « Arsenic-Doped High-Resistivity-Silicon Epitaxial Layers for Integrating Low-Capacitance Diodes ». en. In : *Materials* 4.12 (déc. 2011), p. 2092–2107 (cf. p. 80).
- [Sch98] Dieter K. SCHRODER. *Semiconductor material and device characterization*. 2nd ed. New York : Wiley, 1998 (cf. p. 81, 86).
- [Set97] M SETO. « Performance dependence of large area silicon photodetectors upon epitaxial thickness ». In : *Solid-State Electronics* 41.8 (1997), p. 1083–1087 (cf. p. 24).
- [SL00] J. R. SROUR et D. H. LO. « Universal damage factor for radiation-induced dark current in silicon devices ». In : *Nuclear Science, IEEE Transactions on* 47.6 (2000), p. 2451–2459 (cf. p. 68).
- [SP13] J. R. SROUR et J. W. PALKO. « Displacement Damage Effects in Irradiated Semiconductor Devices ». In : *IEEE Transactions on Nuclear Science* 60.3 (juin 2013), p. 1740–1766 (cf. p. 32).

-
- [SS91] A.G.M. STROLLO et P. SPIRITO. « A self-consistent model for the SIT DC characteristics ». In : *IEEE Transactions on Electron Devices* 38.8 (août 1991), p. 1943–1951 (cf. p. 62, 63).
- [Ste+11] Robert A. STERN et al. « EUV and Soft X-Ray Quantum Efficiency Measurements of a Thinned Back-Illuminated CMOS Active Pixel Sensor ». In : *Electron Device Letters, IEEE* 32.3 (2011), p. 354–356 (cf. p. 25).
- [Suz+07] Hisanori SUZUKI et al. « Development of the fully-depleted thick back-illuminated CCD by Hamamatsu ». In : *Nuclear Science Symposium Conference Record*. T. 6. IEEE, 2007, p. 4581–4585 (cf. p. 24).
- [Sze85] S. M. SZE. *Semiconductor devices, physics and technology*. English. New York : Wiley, 1985 (cf. p. 9, 20, 90, 130).
- [Tau09] Yuan TAUR. *Fundamentals of modern VLSI devices*. 2nd ed. Cambridge, UK ; New York : Cambridge University Press, 2009 (cf. p. 103).
- [TFG01] H. TIAN, Boyd FOWLER et A.E. GAMAL. « Analysis of temporal noise in CMOS photodiode active pixel sensor ». In : *IEEE Journal of Solid-State Circuits* 36.1 (jan. 2001), p. 92–101 (cf. p. 22).
- [Tso+85] Hak-Yam TSOI et al. « A deep-depletion CCD imager for soft X-ray, visible, and near-infrared sensing ». In : *Electron Devices, IEEE Transactions on* 32.8 (1985), p. 1525–1530 (cf. p. 23).
- [Tuo+11] Esa TUOVINEN et al. « Magnetic Czochralski silicon strip detectors for Super-LHC experiments ». en. In : *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment* 636.1 (avr. 2011), S79–S82 (cf. p. 39).
- [Tur+01] R TURCHETTA et al. « A monolithic active pixel sensor for charged particle tracking and imaging using standard VLSI CMOS technology ». In : *NUCLEAR INSTRUMENTS & METHODS IN PHYSICS RESEARCH SECTION* 458.3 (fév. 2001), p. 677–689 (cf. p. 24).
- [Vir+12a] C. VIRMONTAIS et al. « Displacement Damage Effects in Pinned Photodiode CMOS Image Sensors ». In : *IEEE Transactions on Nuclear Science* 59.6 (déc. 2012), p. 2872–2877 (cf. p. 68).
- [Vir+12b] C. VIRMONTAIS et al. « Similarities Between Proton and Neutron Induced Dark Current Distribution in CMOS Image Sensors ». In : *IEEE Transactions on Nuclear Science* 59.4 (août 2012), p. 927–936 (cf. p. 69).
- [Vir+13] Cedric VIRMONTAIS et al. « Dark Current Random Telegraph Signals in Solid-State Image Sensors ». In : *IEEE Transactions on Nuclear Science* 60.6 (déc. 2013), p. 4323–4331 (cf. p. 32, 34, 70, 71).

Bibliographie

- [Viz+05] G. VIZKELETHY et al. « Radiation effects microscopy for failure analysis of microelectronic devices ». In : *Nuclear Instruments and Methods in Physics Research Section B : Beam Interactions with Materials and Atoms*. Nuclear Microprobe Technology and Applications Proceedings of the 9th International Conference on Nuclear Microprobe Technology and Applications 9th International Conference on Nuclear Microprobe Technology and Applications 231.1–4 (avr. 2005), p. 467–475 (cf. p. 33).
- [Vol05] S. H VOLDMAN. « Latchup and the domino effect ». English. In : *Reliability Physics Symposium, 2005. Proceedings. 43rd Annual. 2005 IEEE International*. IEEE, avr. 2005, p. 145–156 (cf. p. 72).
- [Vol07] Steven H. VOLDMAN. *Latchup*. English. Chichester, England ; Hoboken, NJ : John Wiley, 2007 (cf. p. 72).
- [Wec67] Gene P. WECKLER. « Operation of pn junction photodetectors in a photon flux integrating mode ». In : *Solid-State Circuits, IEEE Journal of* 2.3 (1967), p. 65–73 (cf. p. 9).
- [Wol02] Stanley WOLF. *Silicon processing for the VLSI era*. 2nd ed. Sunset Beach, Calif : Lattice Press, 2002 (cf. p. 39, 40, 53).
- [WP74] P.J. WARD et K.D. PERKINS. « Current/voltage relations in punchthrough transistors ». In : *Electronics Letters* 10.18 (1974), p. 374 –375 (cf. p. 55).
- [Zhe+03] Xinyu ZHENG et al. « New process and pixel structure of an SOI-CMOS imager ». In : *SOI Conference, 2003. IEEE International*. IEEE, 2003, p. 101–102 (cf. p. 29).
- [Zuc+13] S. ZUCCA et al. « Monolithic Pixel Sensors for Fast Silicon Vertex Trackers in a Quadruple Well CMOS Technology ». In : *IEEE Transactions on Nuclear Science* 60.3 (2013), p. 2343–2351 (cf. p. 26).
- [Cen04] CENTRE NATIONAL D'ÉTUDES SPATIALES (FRANCE), éd. *Environnement radiatif spatial et ses effets sur les composants et systèmes embarqués pace radiation environment and its effects on spacecraft components and systems : cours de technologie spatiale*. English. Toulouse : Cépaduès éd., 2004 (cf. p. 30, 31).

Résumé — Ce travail de thèse étudie les moyens d'étendre les zones de charge d'espace des photodiodes PN d'un imageur CMOS afin d'améliorer la collection des charges photo-générées dans le silicium, en particulier dans le proche infra-rouge. Deux possibilités sont abordées : l'augmentation de la tension de polarisation des photodiodes et la diminution du dopage du silicium. Dans un premier temps, une étude théorique articulée autour de modèles analytiques et de simulations TCAD montre les difficultés technologiques pour parvenir à une augmentation de polarisation des photodiodes, ainsi que les conséquences de l'utilisation de substrats résistifs sur les éléments de l'imageur et sur ses performances. Ces simulations permettent de définir les éléments influençant l'extension de la charge d'espace d'un pixel. Sur la base de cette étude, un imageur CMOS à pixel 3T a été développé et fabriqué sur substrat float-zone très fortement résistif afin de valider les observations théoriques. La caractérisation de ce composant confirme la dépendance de la zone dépeuplée à la conception du pixel. Elle démontre également la corrélation entre l'extension des zones dépeuplées et les performances électro-optiques. Des règles de conception sont définies permettant d'optimiser les performances tout en limitant les courants de fuite entre pixels.

Mots clés : Imageur CMOS, Haute résistivité, Punchthrough, Zone de charges d'espace

Abstract — This work investigates solutions to extend the space charge region in CMOS image sensors in order to enhance the photo-generated charge collection from near-infrared radiations. Photodiode bias increase and low doped silicon substrate are proposed for this study. A theoretical analysis based on analytical model and TCAD simulations shows technological difficulties for photodiode bias increase and the consequences of using high-resistivity silicon substrates on the imager performances. Space charge region dependency on the pixel design is assessed through simulations. A 3T pixel CMOS image sensor was developed and fabricated on a high resistivity float-zone silicon. Sensor characterization confirms space charge region dependency on the pixel design and the correlation between its extension and electro-optical performances. Design rules are defined to optimize electro-optical performances while limiting punchthrough current in the pixels array.

Keywords : CMOS image sensor, High resistivity silicon, Punchthrough, Space charge region
