



# THÈSE

En vue de l'obtention du

## DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par :

Institut Supérieur de l'Aéronautique et de l'Espace

---

**Présentée et soutenue par :**  
**Fernando R. RAYMUNDO LUYO**

le vendredi 9 septembre 2016

**Titre :**

Apport de la technologie d'intégration 3D à forte densité  
d'interconnexions pour les capteurs d'images CMOS

---

**École doctorale et discipline ou spécialité :**

ED GEET : Micro et nanosystèmes

**Unité de recherche :**

Équipe d'accueil ISAE-ONERA OLIMPES

**Directeur(s) de Thèse :**

M. Pierre MAGNAN (directeur de thèse)  
M. Philippe MARTIN-GONTHIER (co-directeur de thèse)

**Jury :**

M. Wilfried UHRING, Chargé de Recherche - Président  
M. Pierre MAGNAN, Professeur ISAE-SUPAERO - Directeur de thèse  
M. Philippe MARTIN-GONTHIER, Ingénieur-chercheur ISAE-SUPAERO - Co-directeur de thèse  
M. Antoine DUPRET, Expert senior, CEA - Rapporteur  
M. Gilles SICARD, Expert senior, CEA - Rapporteur  
M. Dominique GINHAC, Professeur



# Remerciements

Je vais faire cette partie dans ma langue maternelle :

Para empezar, quisiera agradecer a las personas que hicieron posible este trabajo : A Pierre MAGNAN, Director de tesis, que me dio la oportunidad de continuar mis curiosidades en la microelectrónica y que me pudo guiar con su experiencia en este nuevo tema como los sensores de imagen utilizando la tecnología 3D. A Philippe MARTIN-GONTHIER, co-director de tesis, por haberme ayudado a hacer la síntesis de mis investigaciones. Realmente he apreciado su forma de pensar para avanzar en los trabajos.

También agradezco al jurado que hizo posible este trabajo salga a la luz y sea reconocido. Al investigador Antoine DUPRET, que me ayudó a pulir más el trabajo con sus buenos comentarios con el tema de intégration en el pixel. Al investigador Gilles SICARD, que me dio una visión más amplia de mi trabajo en otras áreas fuera de los sensores de imagen. Al investigador Dominique GINHAC, que aceptó ser parte del jurado y a sus preguntas que me ayudaron a ver que mi trabajo tiene una amplia utilización en los sensores digitales. Al investigador Wilfred UHRING, que aceptó ser presidente del jurado y que pudo apreciar la contribución de mi trabajo (el aporte de los elementos de acoplamiento de los wafers empilados al circuito) y sus comentarios que me ayudaron a ampliar más la utilización de mi trabajo.

También agradezco a Etienne SICARD, por las charlas y sus precisiones en el tema de acoplamientos en los circuitos. También agradezco a mis colegas de trabajo en el ISAE-SUPAERO (CIMI), A Franck CORBIERE, que con su gracia y modestia me alegraba los días en el laboratorio. A Sebastien ROLANDO y Romain MOLINA que gracias a su trabajo, me ayudaron a terminar el sensor 3D. Cada uno aportó mucho en la concepción del trabajo, con las simulaciones y con su experiencia. A Aziouz CHABANE, que pudo realizar el banco de test para probar el circuito. A Olivier MARCELOT y Valerian LALUCAA, que pudieron hacer fotos SEM del circuito 3D. A Vincent GOIFFON, quien me ayudó a analizar y saber compartir mis investigaciones con sus precisiones. A Magali ESTRIBEAU, Paola CERVANTES, Cécile ROQUEMAUREL, Magali OLIVE quienes me ayudaron mucho a terminar la tesis, con palabras de aliento y en cosas administrativas. A mis compañeros de escritorio, Cedric VIRMONTOIS, Valerian LALUCAA, Olivier DOUSSIN, Ibrahima DJITE, Jean-Marc BELLOIR, Jean-Baptiste LINCELLES, Nisrina ABDO quien en cada momento me ayudaban con sus ánimos y bonitas palabras. A Damienne BAJON que siempre me daba palabras de aliento y que me daba mucho ánimo para terminar la tesis. A mis colegas MOSE, Arnaud FALGUIERES y Sebastien MAJSK que gentilmente venían a jugar fútbol con los demás CIMI.

A mis amigos, Elizabeth PAYRAS, Jon DU BOIS, Pedro DAROCHA, Thierry PESSOA, Yannick ALLARD, y muchos más, gracias por ayudarme a terminar la tesis con sus correcciones en francés. A mis profesores y colegas del ENSEEIHT, Danielle ANDREU, Marc COUSINEAU, Michel DOISY, Catherine MONTELS, Hélène BETEILLE, Francis BONNY y los demás por darme la oportunidad de estar en Francia y de ayudarme a construir mi carrera profesional.

A mi familia, A mis Padres Rodolfo y Margarita quienes siempre me ayudaron con todo lo que tenían para que pueda terminar mi trabajo, nunca olvidaré su apoyo. A mi hermano Carlos, quien me ayudó también dándome aliento para terminar. A mis familiares todos y con mucho aprecio a Jehová.

Cette page est laissée blanche intentionnellement

# Table des matières

<b>Remerciements</b>	<b>1</b>
<b>Glossaire</b>	<b>9</b>
<b>Introduction</b>	<b>11</b>
<b>1 Technologie CMOS pour les capteurs d'image.</b>	<b>17</b>
1.1 Le système d'imagerie et ses origines dans la technologie des semiconducteurs . .	17
1.1.1 Fonctionnement du système d'imagerie . . . . .	19
1.2 Capteurs d'image . . . . .	19
1.2.1 Capteur d'image CMOS . . . . .	19
1.2.2 Architecture d'un capteur d'image CMOS . . . . .	20
1.2.3 Pixel . . . . .	20
1.2.3.1 Photo-détection . . . . .	20
L'effet photo-électrique. . . . .	20
L'absorption de l'énergie dans un matériau. . . . .	21
1.2.3.2 Collection de charges . . . . .	22
Opération dans une photodiode . . . . .	22
1.2.3.3 Lecture intra-pixel . . . . .	24
Lecture en tension. . . . .	25
Lecture par transfert de charges. . . . .	26
Lecture du courant photonique. . . . .	26
1.2.4 Les fonctions d'adressage . . . . .	27
Les décodeurs des colonnes . . . . .	28
Les décodeurs des lignes . . . . .	28
1.2.5 Séquenceur . . . . .	28
1.2.6 La fonction de lecture . . . . .	29
1.3 Types de lecture des capteurs d'image . . . . .	30
1.3.1 Lecture Rolling Shutter . . . . .	30
1.3.2 Lecture Global Shutter . . . . .	31
1.4 Facteurs de mérite d'un capteur d'image CMOS . . . . .	31
1.5 Technologies CMOS « classiques » de construction pour les imageurs. . . . .	32
1.5.1 Exploration de la technologie CMOS pour les capteurs d'image . . . . .	33

1.5.1.1	Miniaturisation du Pixel . . . . .	33
1.5.1.2	Consommation de puissance et coût de fabrication . . . . .	34
1.5.2	Procédés CMOS pour les imageurs des hautes performances . . . . .	34
1.5.2.1	Imageurs avec l'augmentation du facteur de remplissage . . . . .	35
	Partage des pixels . . . . .	35
	Utilisation des micro-lentilles . . . . .	36
1.5.2.2	Imageurs illuminés par la face arrière, BSI . . . . .	37
1.6	L'impact de l'intégration des circuits dans les capteurs d'image CMOS. . . . .	38
	CAN à la sortie de la matrice. . . . .	39
	CAN dans la colonne. . . . .	40
	CAN dans le pixel. . . . .	40
	Comparaison entre architectures . . . . .	41
1.6.1	Intégration d'un CAN dans le pixel. . . . .	46
1.6.2	Couplage apporté du CAN dans le pixel. . . . .	47
1.6.3	Positionnement du CAN dans le pixel. . . . .	49
1.7	Conclusion . . . . .	49
<b>2</b>	<b>Technologies d'intégration 3D</b> . . . . .	<b>57</b>
2.1	L'intégration des circuits grâce à la technologie d'intégration 3D. . . . .	57
2.1.1	Développement de la technologie d'intégration 3D. . . . .	58
2.2	Les potentialités d'amélioration des performances des imageurs CMOS en utilisant la technologie 3D. . . . .	60
2.2.1	La technologie 3D pour le Facteur de Remplissage . . . . .	61
	Technologie 3D . . . . .	61
2.2.2	La technologie 3D pour l'intégration des circuits dans le pixel . . . . .	61
	Technologie 3D . . . . .	62
2.2.3	La technologie 3D pour le bruit . . . . .	62
	Technologie 3D . . . . .	63
2.2.4	La technologie 3D pour la vitesse . . . . .	63
	Technologie 3D . . . . .	63
2.3	Technologie 3D Packaging . . . . .	64
2.3.1	SiP System-in-Package . . . . .	64
	2.3.1.1 Description de la technologie . . . . .	64
	2.3.1.2 Connexions, soudage et dimensions . . . . .	65
2.3.2	PoP Package-on-Package . . . . .	65
	2.3.2.1 Description de la technologie . . . . .	65
	2.3.2.2 Connexions et soudage . . . . .	66
	2.3.2.3 Dimensions . . . . .	66
2.3.3	Intérêts et limites de la technologie 3D packaging . . . . .	67
2.3.4	Implémentations avec cette technologie . . . . .	67
	Capteur d'image SiP. . . . .	68

2.4	Technologie 3D de construction séquentielle . . . . .	68
2.4.1	Formation des transistors en Poly-Si . . . . .	69
2.4.1.1	Description de la technologie . . . . .	69
2.4.1.2	Détails de fabrication . . . . .	69
2.4.1.3	Dimensions . . . . .	70
2.4.2	Implémentations avec cette technologie . . . . .	71
	Inverseur 3D. . . . .	71
	Capteur d'image. . . . .	72
2.4.3	Intérêts et limites de la technologie 3D de construction séquentielle . . .	73
2.5	Technologie 3D Wafer level . . . . .	74
2.5.1	Description de la technologie . . . . .	74
2.5.1.1	Connexions et soudage . . . . .	75
	Bondings : Soudage par thermo-compression. . . . .	75
	Formation des VIAS. . . . .	76
2.5.1.2	Dimensions . . . . .	78
2.5.2	Intérêt et limites de la technologie 3D wafer level . . . . .	79
2.5.3	Implémentations avec cette technologie . . . . .	79
	Capteur d'image 3D. . . . .	79
2.6	Conclusions . . . . .	82

### **3 Implémentation d'un capteur d'image à haute densité d'intégration de circuits avec la technologie 3D. . . . . 87**

3.1	Introduction . . . . .	87
3.2	Capteur d'image à haute densité d'intégration de circuits . . . . .	88
3.2.1	Architecture et pixel . . . . .	88
3.2.1.1	Architecture . . . . .	88
3.2.1.2	Pixel . . . . .	89
3.2.2	Fonctionnement . . . . .	90
3.2.2.1	Acquisition et stockage de l'image . . . . .	90
3.2.2.2	Lecture et sortie des données . . . . .	93
3.3	Limitations d'implémentation du capteur d'image à haute densité d'intégration de circuits . . . . .	93
3.3.1	Facteur de remplissage . . . . .	94
3.3.2	Couplage dans la chaîne de lecture . . . . .	94
3.4	Implémentation d'un capteur d'image à haute densité d'intégration de circuits dans la technologie 3D. . . . .	94
3.4.1	Technologie 3D Wafer level. . . . .	94
3.4.1.1	Description de la technologie . . . . .	95
3.4.2	Éléments de l'assemblage. . . . .	96
3.4.2.1	Wafer . . . . .	96
3.4.2.2	Interconnexions . . . . .	97

3.4.3	Impact de l'assemblage d'un circuit 3D. . . . .	98
3.4.3.1	Éléments parasites de la structure 3D. . . . .	98
3.4.3.2	Calcul des résistances et capacités parasites . . . . .	98
3.4.3.3	Calcul de l'influence des autres niveaux métalliques . . . . .	100
	Plusieurs niveaux métalliques . . . . .	102
3.4.3.4	Structure d'interconnexion entre 2 wafers . . . . .	103
3.4.4	L'intégrité du signal dans un assemblage 3D . . . . .	105
	Modèle électrique . . . . .	105
3.4.4.1	Couplage diaphonique . . . . .	106
3.4.4.2	Retard . . . . .	107
3.4.4.3	Intégrité du signal d'un assemblage 3D . . . . .	108
	Analyse. . . . .	109
	Analyse avec plusieurs capacités de couplage . . . . .	110
3.4.5	Pixel 3D. . . . .	112
	Comparateur . . . . .	112
3.4.5.1	Partitionnement . . . . .	114
	Simulation . . . . .	115
	Layouts du pixel 3D . . . . .	116
	Assamblage 3D du pixel . . . . .	117
3.4.6	Architecture du capteur d'image 3D. . . . .	117
	Wafer top . . . . .	118
	Wafer bottom . . . . .	120
3.4.6.1	Fonctionnement . . . . .	121
	Acquisition d'une image . . . . .	121
	Lecture des données . . . . .	121
3.4.7	Réduction de contraintes de construction pour un imageur à haute densité d'intégration de circuits . . . . .	123
3.4.7.1	Facteur de remplissage . . . . .	124
3.4.7.2	Couplage diaphonique . . . . .	125
3.5	L'imageur fabriqué et les premiers résultats . . . . .	127
3.6	Conclusion . . . . .	129
<b>4</b>	<b>Implémentation des capteurs d'image à haute vitesse avec la technologie 3D.</b>	<b>133</b>
4.1	Introduction . . . . .	133
4.1.1	Domaine d'application . . . . .	133
4.1.2	Lecture sans distorsion. . . . .	134
4.2	Types d'imageurs rapides . . . . .	135
4.2.1	Imageur rapide type continue . . . . .	135
4.2.2	Imageur rapide type burst « RAFALE » . . . . .	136
4.3	État de l'art des imageurs rapides . . . . .	137
4.4	Modélisation et identification d'axes d'optimisation de la cadence image . . . . .	138

---

4.4.1	Modélisation et identification des phases limitant la cadence image . . . .	138
	Imageurs CMOS à sortie analogique . . . . .	138
	Imageurs CMOS à sortie numérique . . . . .	139
4.4.1.1	Modélisation de la cadence image des imageurs CMOS de type continu . . . . .	140
	Cadence image. . . . .	141
4.4.1.2	Identification des phases limitant la cadence image . . . . .	142
	L’impact de la taille de la matrice. . . . .	142
	L’impact de l’augmentation du nombre de sorties parallèles. . . . .	142
	Phases temporelles. . . . .	143
4.4.1.3	Apport de la technologie 3D . . . . .	146
	Comparaison. . . . .	148
4.5	Modélisation et identification d’axes d’optimisation de la cadence image . . . .	151
4.5.0.4	Modélisation et identification des phases limitant la cadence image	151
4.5.0.5	Modélisation de la cadence image des imageurs CMOS de type burst . . . . .	154
4.5.0.6	Identification des phases limitant la cadence de prise de vue . .	157
4.5.0.7	Apport de la technologie 3D . . . . .	158
4.6	Conclusions. . . . .	162
<b>Conclusions</b>		<b>167</b>
<b>ANNEXE 1 : Logiciel de calcul</b>		<b>175</b>
<b>ANNEXE 2 : Calcul des capacités et résistances</b>		<b>179</b>
<b>ANNEXE 3 : Impact dans l’image dû aux mouvements des objets</b>		<b>185</b>

Cette page est laissée blanche intentionnellement

# Table des figures

1	Capteurs d'images 3D ou "stacked imagers" sans CANs[1, 3, 5, 6, 8, 13, 15, 19, 21, 22, 26]; Capteurs d'image avec CANs[2, 9, 12, 14, 16–18, 25, 27, 28]. WL=Wafer level; SOI=Silicon-On-Insulator; CV=Construction verticale; BSI=Backside illuminated; SAR=Successive Approximation Register; SS=Single slope; b=bits. . . . .	12
1.1	Système d'imagerie dans un appareil photo[1]. . . . .	18
1.2	Architectures : . . . . .	19
1.3	Photo-détection : (a) L'effet photo-électrique dans le silicium.; (b) Génération des photo-porteurs dans un photodiode sans polarisation. . . . .	21
1.4	Le coefficient d'absorption et le longueur d'absorption dans le silicium[10]. . . . .	22
1.5	Mécanisme de génération des porteurs dans une photodiode à tension inverse[10, 11]. . . . .	22
1.6	Courbes I-V de la photodiode avec et sans flux photonique[10]. . . . .	24
1.7	Mode d'opération : (a) Pixel 3T avec des photons incidents; (b) Tension de la photodiode en mode d'intégration directe. . . . .	25
1.8	Pixels APS : (a) Pinned photodiode; (b) Photogate. . . . .	26
1.9	Pixel Passif : (a) Schéma du pixel passif; (b) Layout du pixel passif[12], pixel de 20umx20um avec une technologie de 0.6um. . . . .	27
1.10	Photographie d'un capteur d'image CMOS APS 256x256 pixels[13], avec les décodeurs de lignes (Y) et colonnes (X). . . . .	27
1.11	Schématiques des décodeurs . . . . .	28
1.12	Chronogramme pour une matrice(M x N) effectué par le séquenceur. . . . .	28
1.13	Circuits de lecture . . . . .	29
1.14	Chronogrammes pour la lecture d'un capteur d'image type rolling shutter. . . . .	30
1.15	Chronogrammes pour la lecture d'un capteur d'image type Global Shutter. . . . .	31
1.16	Comparaison des technologies avec les tailles du pixel. A gauche, un pixel avec un technologie de 0.5um (10um de pas de pixel). A droite, un pixel avec un technologie de 0.35um (7um de pas de pixel)[22]. . . . .	33
1.17	Taille du pixel avec l'année de publication[24–44]. . . . .	34
1.18	Variation du prix d'un capteur d'image CMOS VGA[49]. . . . .	35
1.19	Partage des pixels : a)Pixel pinned photodiode. b)Pixel 1.25T. . . . .	35
1.20	Partage de 4 pixels, Pixel 1.75T. . . . .	36
1.21	Microlentilles . . . . .	36

1.22	Differents type de micro-lentilles[4] : (a) Lentilles hémisphérique; (b) Lentilles semi-cylindrique; (c) Lentilles dôme rectangulaire. . . . .	37
1.23	Sections transversales des imageurs illuminé à la face arrière . . . . .	38
1.24	Architecture d'un capteur d'image CMOS avec un CAN à la sortie. . . . .	39
1.25	Architecture d'un capteur d'image CMOS avec un CAN dans la colonne. . . . .	40
1.26	Architecture d'un capteur d'image CMOS avec un CAN dans le pixel. . . . .	41
1.27	Imageurs 3D avec CAN[28, 29, 31, 34, 37, 38]; Imageurs avec CAN[39-41, 43, 44, 62-69]. . . . .	42
1.28	Le temps de conversion du CAN, ( $T_{CAN}$ ), avec sa taille, 3DCIS[28, 29, 37, 38]; CIS[39-41, 43, 44, 63-66]. . . . .	42
1.29	Types of CANs . . . . .	44
1.30	Les simulation paramétriques pour la cadence de sortie de 200fps. Matrices : 128x128, 512x512 et 1024x1024; Sorties en parallèle, N=1,4 et 64; CAN à 10 bits; $T_{CAN} = 1\mu s, 11\mu s, 21\mu s$ et $40\mu s$ ; $T_{PIX} = 1ns$ à $1000ns$ . . . . .	45
1.31	Intégration des transistors dans le pixel . . . . .	47
1.32	Capacité de couplage de 2 lignes métalliques . . . . .	48
1.33	Positionnement du CAN dans le pixel . . . . .	49
2.1	Histoire des 3 axes de la technologie d'intégration 3D[4-6]. . . . .	59
2.2	Imageur à forte intégration de circuits[45] : (a) Schema du pixel; (b) Layout du 4 pixels. . . . .	61
2.3	Capteur d'image rapide[49] schéma du pixel montrant les lignes métalliques entre les pixels et les mémoires. . . . .	62
2.4	3D Packaging : Technologies d'intégration[8] SiP et PoP. . . . .	64
2.5	3D Packaging : Technologie SiP . . . . .	64
2.6	3D Packaging : Flux du procédé SiP . . . . .	65
2.7	3D Packaging : Procédé SiP . . . . .	65
2.8	3D Packaging : Technologies d'intégration PoP . . . . .	65
2.9	3D Packaging : Lands pads dans le boîtier inférieur . . . . .	66
2.10	3D Packaging : Flux de procédé POP . . . . .	66
2.11	3D Packaging : Section transversale du composant POP . . . . .	66
2.12	3D Packaging : Problèmes du procédé . . . . .	67
2.13	3D Packaging : Implémentation du capteur d'image SiP . . . . .	68
2.14	3D Construction séquentielle : Dépôt et cristallisation des couches . . . . .	69
2.15	3D Construction séquentielle : procédé de fabrication. . . . .	69
2.16	3D Construction séquentielle : Temps vs la température de cristallisation . . . . .	70
2.17	3D Construction séquentielle : Transistor TFT. . . . .	70
2.18	3D Construction séquentielle : Inverseur 3D . . . . .	71
2.19	3D Construction séquentielle : Capteur d'image . . . . .	72
2.20	3D Wafer Level : Processus de fabrication de l'assemblage "Face-up". . . . .	75
2.21	3D Wafer Level : Types d'assemblage . . . . .	75

2.22	3D Wafer Level : Types de bonding . . . . .	76
2.23	3D Wafer Level : VIAS . . . . .	77
2.24	3D Wafer Level : Types de formation des VIAS, et VIAS-FIRST . . . . .	77
2.25	3D Wafer Level : Schéma du Pixel avec un transistor PMOS. . . . .	80
2.26	3D Wafer Level : Capteur d'image 3D du MIT . . . . .	81
2.27	3D Wafer Level : Procédé de la technologie du MIT . . . . .	81
3.1	Architecture d'un capteur d'image à haute densité d'intégration de circuits. . . . .	89
3.2	Synoptique du pixel d'un capteur d'image à haute densité d'intégration de circuits. . . . .	90
3.3	Chronogramme du capteur d'image à haute densité d'intégration de circuits. . . . .	91
3.4	Fonctionnement du capteur d'image durant l'acquisition et stockage de l'image. . . . .	91
3.5	Fonctionnement du capteur d'image durant la phase de lecture et sortie des données. . . . .	93
3.6	Procédé d'assemblage de la technologie de Tezzaron. . . . .	95
3.7	Technologie d'assemblage de Tezzaron. . . . .	96
3.8	Technologie d'assemblage de Tezzaron. . . . .	97
3.9	Structure d'analyse pour l'impact de l'empilage dans un circuit 3D. . . . .	98
3.10	Calcul des capacités parasites dans une structure 3D. . . . .	99
3.11	Analyse des structures 3D en termes de capacité. . . . .	101
3.12	Analyse des structures 3D avec plusieurs niveaux métalliques. . . . .	103
3.13	A droite, structure d'interconnexion pour communiquer une signal entre 2 wafers, SMTB. A gauche, les dimensions de la structure SS4. . . . .	104
3.14	Flots de conception . . . . .	105
3.15	Modèles électriques des lignes[16]. . . . .	106
3.16	Modèle électrique pour 2 lignes métalliques couplés. . . . .	106
3.17	Crosstalk ou couplage diaphonique. . . . .	106
3.18	Rétard induit par le couplage diaphonique . . . . .	107
3.19	Structure 3D utilisée pour calculer l'impact entre 2 lignes des différents wafers. Il y a un couplage variable entre elles. . . . .	108
3.20	Modèle électrique pour calculer l'impact entre 2 lignes des différents wafers. . . . .	109
3.21	Simulation du couplage diaphonique entre 2 lignes métalliques de 2 wafers différents. . . . .	110
3.22	Simulation paramétrique du couplage diaphonique entre 2 lignes métalliques de 2 wafers différents. . . . .	111
3.23	Vue schématique du pixel du capteur d'image à forte intégration de circuits. . . . .	112
3.24	Simulation sur cadence du gain du comparateur. . . . .	114
3.25	Partition du pixel 3D. . . . .	116
3.26	Simulation du pixel 3D sur CADENCE. . . . .	117
3.27	Layouts du pixel du capteur d'image 3D. . . . .	117
3.28	L'assemblage du pixel 3D avec les architectures dans différents wafers. . . . .	118
3.29	Architecture construite dans le wafer top pour gérer la partie analogique du pixel. . . . .	119

3.30	Architecture construite dans le wafer bottom pour gérer la partie numérique du pixel. . . . .	120
3.31	Pixel 3d en mode d'acquisition d'une image. . . . .	122
3.32	Pixel 3D en mode de lecture de données. . . . .	122
3.33	Valeurs dans la matrice de mémoires. . . . .	123
3.34	Simulation du stockage et acquisition d'une valeur dans le mémoire de l'imageur 3D. . . . .	124
3.35	Layout des pixels des capteurs à haute densité d'intégration de circuits. . . . .	125
3.36	Comparaison du couplage diaphonique d'un pixel en 2 technologies. . . . .	126
3.37	Image de la section transversale prise au microscope électronique à balayage (MEB). . . . .	128
3.38	Images des sections transversales prises. . . . .	128
3.39	Illustration du banc de test. . . . .	128
3.40	Image d'une mire réalisée avec le capteur pour deux niveaux d'éclairement. . . . .	129
4.1	Séquence : Descente d'une chouette ; 4 Images capturées en haute vitesse, (dans un intervalle de 2ms)[4]. . . . .	134
4.2	Applications des imageurs rapides . . . . .	134
4.3	Impact du mouvement des objets sur l'image . . . . .	135
4.4	Architecture d'un imageur de type continu . . . . .	136
4.5	Architecture d'un imageur rapide type rafale . . . . .	136
4.6	Aperçu de l'état de l'art des imageurs rapides en fonction du nombre de pixels, de la cadence image et du type d'imageur. . . . .	137
4.7	Chronogramme en montrant les phases d'un imageur de type continue avec sorties analogiques. . . . .	139
4.8	Chronogrammes de fonctionnement d'un imageur CMOS de type continu à sortie numérique . . . . .	139
4.9	Éléments de travail pour les différentes phases de l'imageur CMOS à sortie analogique. . . . .	140
4.10	Variation de la taille des pixels pour la cadence image. . . . .	142
4.11	Variation du nombre de sorties d'une matrice de 512 pour la cadence image. . . . .	143
4.12	Évolution de la cadence image d'un imageur CMOS à sorties analogiques de type continu en fonction de $T_{PIX}$ pour $\Delta V=1V$ et $I_{COL}=1\mu A$ . . . . .	143
4.13	Apport (en %) des différentes phases en fonction de $T_{PIX}$ pour deux tailles de matrice. . . . .	144
4.14	Évolution de la cadence image d'un imageur de type continu à sorties numériques (CAN colonne). . . . .	145
4.15	Apport, en %, des différentes phases en fonction du temps de conversion $T_{CAN}$ et de la taille de la matrice d'un imageur de type continu à sorties numériques (CAN colonne). . . . .	145

4.16	Évolution du temps de lecture pixel en fonction du temps de conversion pour le cas d'un CAN colonne. . . . .	146
4.17	Illustration d'une mémoire couplé à un microprocesseur utilisant une technologie d'intégration 3D[39]. . . . .	147
4.18	Imageur type continue 3D : (a) Implémentation 3D dans le wafer top de la partie analogique du pixel; (b) Implémentation 3D dans le wafer bottom de la partie de lecture du pixel; (c) Assemblage 3D d'une sous-matrice. . . . .	147
4.19	Architecture d'un imageur en technologie monolithique avec sous matrices : (a) Architecture d'un imageur qui utilise 16 sous matrices; (b) Dimensions à prendre en compte pour l'analyse de la cadence image. . . . .	148
4.20	Simulation de l'évolution de la cadence image en fonction du temps de lecture $T_{PIX}$ pour différents partitionnements pour une technologie monolithique. . . . .	149
4.21	Exemple d'imageur 1024x1024 de type continu à sorties analogiques implémenté en technologie 3D de type empilement de «wafers» avec partitionnement en sous-matrices. . . . .	150
4.22	Simulation de la cadence image en fonction du temps de lecture $T_{PIX}$ pour les deux types de technologies (monolithique et 3D en 130nm) en fonction du partitionnement (16 ou 32 sous-matrices). . . . .	150
4.23	Chronogramme de fonctionnement d'un imageur type "burst" . . . . .	152
4.24	Architecture du Capteur d'image numérique à haute vitesse burst . . . . .	153
4.25	Pixel du capteur d'image de haute vitesse burst[10]. . . . .	154
4.26	Architecture détaillée d'un imageur de type prise de vue et lecture de données dissociées (burst) inspirée de l'architecture de Tochigi[10]. . . . .	155
4.27	Éléments de stockage des mémoires de trame : (a) Circuit électrique des éléments mémoires; (b) Vu de la section transversale des éléments mémoires; (c) Vu de la disposition des mémoires. . . . .	155
4.28	Agencement des 128 mémoires de trames dans un pas de 32um. . . . .	156
4.29	Chemin critique et les éléments entrant en jeu dans la modélisation. . . . .	157
4.30	Simulation du temps de transfert de l'architecture de [10] en 0.13um. . . . .	158
4.31	Architecture de l'imageur 3D : (a) Pixel construit dans le wafer top en montrant l'élément d'interconnexion entre wafers; (b) Matrice de mémoires construit dans le wafer top où la taille est la même que la taille du pixel top; (c) Assemblage 3D des pixels top et bottom. . . . .	159
4.32	Cas d'un pixel de pas inférieur à 32um : empilement de wafers . . . . .	159
4.33	Circuit électrique du chemin critique du transfert des données de l'architecture 3D. . . . .	160
4.34	Comparaison et évolution des temps de sélection et de transfert vers les mémoires de trames du signal vidéo en fonction du pas du pixel à 100uA. . . . .	160

4.35 Simulations du temps de transfert de l'architecture de [10] en 0.13um. L'architecture implémenté en 3D permet de consommer moins d'énergie avec le mêmes résultats. . . . .	161
4.36 Le temps de conversion des CANS . . . . .	168
4.37 L'intégration des CANS dans les aires de group de pixels . . . . .	169
4.38 Les courants pour avoir une cadence image de 30fps et 1000fps en fonction des sous matrices [16]. . . . .	170
4.39 Imageurs avec des couches protectrices pour le PLS : . . . . .	172
4.40 Logiciel de calcul des dimensions et paramètres RC . . . . .	175
4.41 Logiciel de calcul des dimensions et parametres RC. . . . .	176
4.42 Images traitées sur le logiciel. . . . .	176
4.43 Méthodes de calcul des capacités et résistances. . . . .	177
4.44 Images traitées sur le logiciel. . . . .	177
4.45 Capacités fringes et verticale dans la technologie d'assemblage de Tezzaron. . . . .	179
4.46 Dimensions entre 2 lignes métalliques. . . . .	181
4.47 Dimensions d'une résistance. . . . .	182
4.48 Impact du mouvement des objets sur l'image . . . . .	186

# Liste des tableaux

1.1	Paramètres d'un capteur d'image sous et sans l'influence du flux photonique. . .	32
1.2	Quantité des transistors dans différentes tailles de pixels. . . . .	46
1.3	Aire du CAN. . . . .	47
1.4	Capacité de couplage $C_C$ dans différents technologies. . . . .	48
2.1	Développement de la technologie 3D[4–6, 13–15]. . . . .	60
2.2	Implémentation du CIS dans une technologie SiP[21]. . . . .	68
2.3	Implémentation d'un inverseur . . . . .	71
2.4	Caractéristiques principales du capteur d'image 3D[26]. . . . .	73
2.5	Caractéristiques principales du Bonding . . . . .	76
2.6	Caractéristiques du VIAS dans la technologie 3D Wafer Level . . . . .	78
2.7	Capteur d'image 3D du MIT . . . . .	80
3.1	Description détaillé des fonctions du pixel. . . . .	92
3.2	Principaux caractéristiques de la technologie 3D de Tezzaron[11] . . . . .	95
3.3	Caractéristiques des connecteurs de la technologie de Tezzaron[11, 12]. . . . .	97
3.4	Les niveaux métalliques de la technologie de Tezzaron[11, 12]. . . . .	97
3.5	Valeurs calculés des dimensions pour une interconnexion. . . . .	99
3.6	Valeurs calculées de la résistance pour une interconnexion. . . . .	99
3.7	Valeurs calculées de la capacité pour une structure 3D. . . . .	100
3.8	Dimensions calculées pour des structures 3D. . . . .	100
3.9	Valeurs calculés de la capacité pour une structure 3D. . . . .	101
3.10	Valeurs calculées des dimensions pour 2 structures avec plusieurs niveaux métal- liques. . . . .	102
3.11	Valeurs calculés de la capacité pour les 2 structures 3D. . . . .	103
3.12	Valeurs calculées des dimensions pour l'interconnexion servant à communiquer 2 wafers. . . . .	104
3.13	Valeurs calculées pour une interconnexion entre 2 wafers. . . . .	104
3.14	Valeurs calculées des dimensions pour 2 interconnexions de la structure 3D. . . .	108
3.15	Valeurs calculées des capacités et résistances pour une interconnexion entre 2 wafers. . . . .	109
3.16	Valeurs de l'amplitude $\Delta V$ du couplage diaphonique entre 2 lignes métalliques de 2 wafers différents. . . . .	112

---

3.17	Valeurs calculées du retard $\Delta TR$ pour 2 interconnexions de 2 wafers et un couplage variable. . . . .	112
3.18	Caractéristiques du comparateur du pixel 3D. . . . .	113
3.19	Différents partitionnement du pixel. . . . .	114
3.20	Caractéristiques principales du pixel implémenté dans la technologie 3D. . . . .	118
3.21	Caractéristiques principales du capteur d'image à haute densité d'intégration de circuits implémenté dans la technologie 3D. . . . .	121
3.22	Dimensions de la ligne numérique à étudier pour le couplage diaphonique. . . . .	126
3.23	Valeurs de capacité de couplage et amplitude diaphonique entre une ligne métallique numérique et analogique. . . . .	126
3.24	Dimensions des lignes numériques d'un pixel 3D . . . . .	127
3.25	Valeurs des capacités de couplage et des amplitudes diaphoniques dans un pixel 3D. . . . .	127
4.1	Les différents standards des sorties numériques LVDS[37]. . . . .	146
4.2	Taille de la matrice de mémoires de trame (N=128) pour différent pas colonnes. . . . .	155
4.3	Valeurs du temps dans l'architecture citée[10] et l'implémentation monolithique pour un pixel de 32um. . . . .	158
4.4	Valeurs de la quantité de mémoires dans le pixels dans les architectures monolithique et 3D. . . . .	159
4.5	Valeurs du temps tant des architectures monolithiques que 3D pour un imageur de pas du pixel de 32um. . . . .	161
4.6	Valeurs de la puissance consommé dans le pixel des architectures monolithiques et 3D pour un imageur de pas du pixel de 32um. . . . .	162
4.7	Dépendance de la taille du pixel et des lignes métalliques pour les imageurs burst	170
4.8	Réalisations des imageurs en montrant leur PLS. . . . .	172
4.9	Les valeurs calculées à la main et en employant le logiciel. . . . .	178
4.10	Valeurs de la résistivité des différents matériaux. . . . .	182

# Glossaire

<b>APS</b>	ACTIVE PIXEL SENSOR.
<b>BSI CIS</b>	BACKSIDE ILLUMINATED CMOS IMAGE SENSOR.
<b>CCD</b>	CHARGE COUPLED DEVICES, DISPOSITIFS À TRANSFERT DE CHARGE.
<b>CDS</b>	CORRELATED DOUBLE SAMPLING.
<b>CIS</b>	CMOS IMAGE SENSOR.
<b>CMOS</b>	COMPLEMENTARY METAL OXYDE SEMICONDUCTOR.
<b>DEC</b>	DOUBLE ECHANTILLONNEUR CORRÉLÉ.
<b>FOX</b>	FIELD OXIDE.
<b>FPN</b>	FIXED PATTERN NOISE.
<b>ILD</b>	INTER LAYER DIELECTRIC.
<b>LOCOS</b>	LOCAL OXIDATION OF SILICON.
<b>MIM</b>	METAL INSULATOR METAL.
<b>PPD</b>	PINNED PHOTODIODE.
<b>SOC</b>	SYSTEM ON CHIP.

Cette page est laissée blanche intentionnellement

# Introduction

A la fin des années 90's, l'ITU<sup>1</sup> montrait qu'il y avait une convergence de services dans un même appareil [10]. Cela s'est révélé vrai à notre époque avec le téléphone mobile, où nous pouvons avoir accès à Internet, à la téléphonie, à la télévision entre autres[11]. Par exemple, aujourd'hui, un téléphone intègre une caméra avec laquelle nous pouvons enregistrer et puis envoyer une vidéo de haute qualité (HD<sup>2</sup>) par l'accès Internet et gratuitement.

En termes strictement électronique, pour que cela soit réalisable, les téléphones portables doivent intégrer au moins plusieurs circuits ou fonctions pour chaque service. Cela implique que l'augmentation de circuits génère une augmentation de la consommation d'énergie (Watts) et dans l'aire de construction [ $\mu m^2$ ]. Pour plus rentrer dans les détails, *la consommation* est fortement liée au *fonctionnement de circuits* et le *transfert de données dans les interconnexions* ou lignes métalliques. Par exemple, dans un capteur d'image à haute vitesse, le transfert des données des pixels vers les mémoires peut occasionner plus de 66% de la consommation totale [24].

Plusieurs implémentations industrielles et travaux de recherche montrent que les capteurs d'image CMOS sont devenus l'objet d'étude dans cette décennie pour l'amélioration des performances opto-électriques et la proposition de nouvelles architectures[7]. L'état de l'art montre que les capteurs d'image ont commencé à intégrer plus de fonctions pour s'adapter au marché de la téléphonie [11] en utilisant la technologie d'intégration 3D. Par exemple un DCDS (« digital correlated double sampling ») et un Processeur sont intégrés dans l'imageur Sony IMX135 [20].

Seulement les implémentations physiques récentes des capteurs d'image 3D ou « stacked imagers » sont détaillés dans la figure suivante (1). La figure nous montre que plusieurs réalisations se sont fait avec la technologie 3D wafer level<sup>3</sup>, WL. Puis, les CANs les plus utilisés dans l'industrie sont du type SAR<sup>4</sup> et SS<sup>5</sup> situés dans la colonne. Finalement, les imageurs 3D sont du type BSI.

Ce travail de thèse apporte principalement : *une étude de l'impact des interconnexions dans l'intégration de circuits des imageurs* afin de prévoir en termes de fonctionnement et de consommation les points positifs et les points négatifs de l'implémentation physique en utilisant la technologie d'intégration 3D. Pour arriver à ce but, cette thèse est validée dans les chapitres suivants.

- 
1. International Telecommunication Union ou Union internationale des télécommunications.
  2. High Definition ou haute définition.
  3. Cette technologie sera expliquée en détail dans le chapitre 2.
  4. SAR=Successive Approximation Register.
  5. SS = Single slope ou simple rampe.

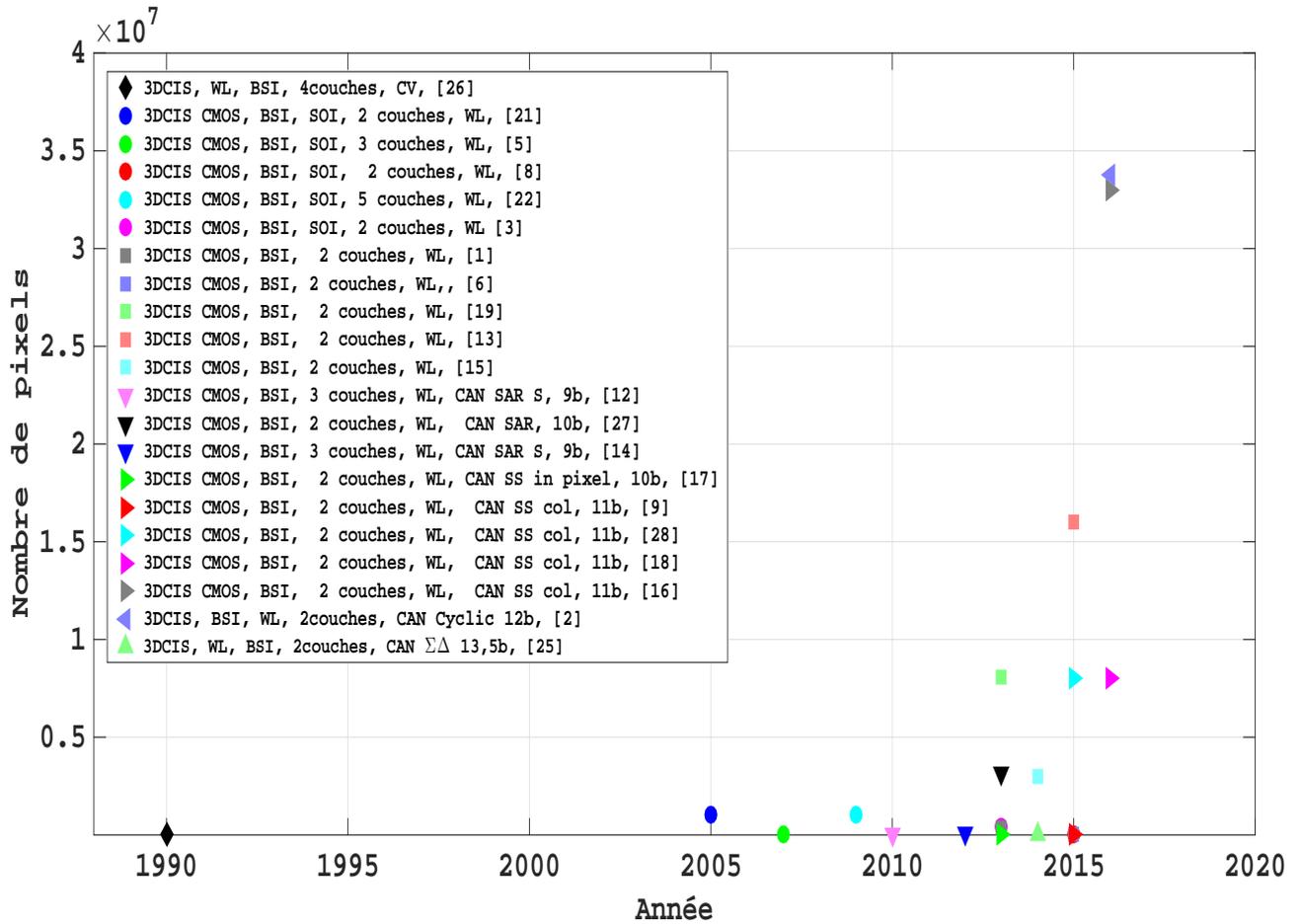


FIGURE 1 – Capteurs d’images 3D ou "stacked imagers" sans CANs[1, 3, 5, 6, 8, 13, 15, 19, 21, 22, 26] ; Capteurs d’image avec CANs[2, 9, 12, 14, 16–18, 25, 27, 28]. WL=Wafer level ; SOI=Silicon-On-Insulator ; CV=Construction verticale ; BSI=Backside illuminated ; SAR=Successive Approximation Register ; SS=Single slope ; b=bits.

## Organisation de la thèse

Ce travail est composé par différentes études situées dans les chapitres suivants :

Dans le *premier chapitre*, seront analysés de manière générale une architecture « standard » d’un imageur et les potentialités de l’implémentation physique avec la technologie CMOS. De plus, une étude de l’impact de l’intégration des circuits dans un capteur d’image, qui contient le fonctionnement et les limites d’implémentation monolithique, sera faite. De plus, ces circuits peuvent réduire considérablement les contraintes temporelles associées, (réduction de traitement des opérateurs). Enfin, cette étude nous amènera à prévoir l’impact des interconnexions sur les imageurs et de choisir une architecture parallèle pour la future réalisation physique 3D afin de réduire les contraintes d’implémentation (comme exemple d’utilisation de la technologie d’intégration 3D).

Le *deuxième chapitre* passera en revue l’état de l’art des technologies d’intégration 3D, ceci notamment pour les technologies d’intégration 3D à forte densité d’interconnexions. Cette analyse permettra de dégager trois axes de réalisation de technologies 3D. Les avantages et les limites de ces trois axes sont décrits afin d’estimer leurs éventuels apports dans les imageurs CMOS.

Le *troisième chapitre* permettra de comparer l’architecture parallèle choisie sur la techno-

logie monolithique et celle d'intégration 3D. De plus, cette comparaison nous montrera que les limites ne sont pas seulement dans l'espace de construction (impliquant une dégradation des performances électro-optiques dans le pixel à cause de la perte de facteur de remplissage) sinon dans le couplage entre la partie analogique et numérique. Cette architecture parallèle permet d'avoir plus de choix dans l'implémentation des circuits sur les imageurs. Une étude du couplage des interconnexions dans la technologie 3D choisie est donné afin d'estimer les effets perturbantes dans les futures implémentations. Enfin, l'implémentation et les premiers résultats du capteur d'image 3D qui intègre un CAN 10 bits sont présentés<sup>6</sup>.

Le *quatrième chapitre*, contribuera à une analyse approfondie des imageurs qualifiés « haute cadence » de type continu et de type rafale ou "burst". Cette analyse va permettre d'identifier les interconnexions comme les éléments qui limitent le fonctionnement des phases temporelles de ce type d'imageurs. Nous introduirons l'apport de la technologie 3D pour chaque type d'imageurs. Dans le cas des imageurs de type continu, nous avons trouvé que la sortie des données impose une limite ou "bottleneck" dans la phase de lecture. Même en utilisant la technologie 3D et d'autres type d'architectures, nous ne pouvons pas réduire cette contrainte. Dans le cas des imageurs type burst, nous avons vu que la limite était le transfert des données entre le pixel et les mémoires du fait de la charge capacitive induite par le bus colonne. Grâce à la technologie 3D nous pouvons profiter de la réduction de celle-ci en utilisant une interconnexion entre wafers. Cela permet non seulement de réduire le temps de transfert mais aussi du courant consommé (puissance totale).

Finalement, la conclusion permettra de réaliser un récapitulatif des différents points abordés et de dégager les perspectives de ce travail.

## Bibliographie

- [1] J. Aoki, Y. Takemoto, K. Kobayashi, N. Sakaguchi, M. Tsukimura, N. Takazawa, H. Kato, T. Kondo, H. Saito, Y. Gomi, and Y. Tadaki. A rolling-shutter distortion-free 3d stacked image sensor with  $\#x2212;160\text{db}$  parasitic light sensitivity in-pixel storage node. In *2013 IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pages 482–483, Feb 2013. doi : 10.1109/ISSCC.2013.6487824.
- [2] T. Arai, T. Yasue, K. Kitamura, H. Shimamoto, T. Kosugi, S. Jun, S. Aoyama, M. C. Hsu, Y. Yamashita, H. Sumi, and S. Kawahito. 6.9 a 1.1  $\mu\text{m}$  33mpixel 240fps 3d-stacked cmos image sensor with 3-stage cyclic-based analog-to-digital converters. In *2016 IEEE International Solid-State Circuits Conference (ISSCC)*, pages 126–128, Jan 2016. doi : 10.1109/ISSCC.2016.7417939.
- [3] Y. Arai and M. Motoyoshi. Application of 3d stacking technology to soi radiation image sensor. In *2013 IEEE Electrical Design of Advanced Packaging Systems Symposium (EDAPS)*, pages 5–8, Dec 2013. doi : 10.1109/EDAPS.2013.6724443.

---

6. La réalisation imageur sera présentée en utilisant une technologie à laquelle nous avons eu accès par le milieu du consortium multi-projet CMP-MOSIS-CMC[4, 23]

- [4] CMP. Tezzaron cmos 130nm fastack(r). <http://cmp.imag.fr/products/ic/?p=130nmFaStack>.
- [5] E. Culurciello and P. Weerakoon. Three-dimensional photodetectors in 3-d silicon-on-insulator technology. *IEEE Electron Device Letters*, 28(2) :117–119, Feb 2007. ISSN 0741-3106. doi : 10.1109/LED.2006.889042.
- [6] G. W. Deptuch, G. Carini, T. Collier, P. Gryboś, P. Kmon, R. Lipton, P. Maj, M. Trimpl, D. P. Siddons, R. Szczygieł, and R. Yarema. Results of tests of three-dimensionally integrated chips bonded to sensors. In *2013 IEEE Nuclear Science Symposium and Medical Imaging Conference (2013 NSS/MIC)*, pages 1–5, Oct 2013. doi : 10.1109/NSSMIC.2013.6829434.
- [7] Ray Fontaine. The state-of-the-art of mainstream cmos image sensors. *INTERNATIONAL IMAGE SENSOR WORKSHOP*, 2015.
- [8] M. Goto, K. Hagiwara, Y. Iguchi, H. Ohtake, T. Saraya, M. Kobayashi, E. Higurashi, H. Toshiyoshi, and T. Hiramoto. Three-dimensional integrated circuits and stacked cmos image sensors using direct bonding of soi layers. In *3D Systems Integration Conference (3DIC), 2015 International*, pages TS9.2.1–TS9.2.4, Aug 2015. doi : 10.1109/3DIC.2015.7334562.
- [9] M. Ikebe, D. Uchida, Y. Take, M. Someya, S. Chikuda, K. Matsuyama, T. Asai, T. Kuroda, and M. Motomura. Image sensor/digital logic 3d stacked module featuring inductive coupling channels for high speed/low-noise image transfer. In *2015 Symposium on VLSI Circuits (VLSI Circuits)*, pages C82–C83, June 2015. doi : 10.1109/VLSIC.2015.7231331.
- [10] ITU. Tendances des réformes dans les télécommunications «convergence et réglementation». <http://www.itu.int/pub/D-PREF-TTR/fr>, 2e édition, 1999.
- [11] D. James. 3d ics in the real world. In *25th Annual SEMI Advanced Semiconductor Manufacturing Conference (ASMC 2014)*, pages 113–119, May 2014. doi : 10.1109/ASMC.2014.6846988.
- [12] K. Kiyoyama, K. W. Lee, T. Fukushima, H. Naganuma, H. Kobayashi, T. Tanaka, and M. Koyanagi. A block-parallel signal processing system for cmos image sensor with three-dimensional structure. In *3D Systems Integration Conference (3DIC), 2010 IEEE International*, pages 1–4, Nov 2010. doi : 10.1109/3DIC.2010.5751479.
- [13] T. Kondo, Y. Takemoto, K. Kobayashi, M. Tsukimura, N. Takazawa, H. Kato, S. Suzuki, J. Aoki, H. Saito, Y. Gomi, S. Matsuda, and Y. Tadaki. A 3d stacked cmos image sensor with 16mpixel global-shutter mode and 2mpixel 10000fps mode using 4 million interconnections. In *2015 Symposium on VLSI Circuits (VLSI Circuits)*, pages C90–C91, June 2015. doi : 10.1109/VLSIC.2015.7231335.

- [14] K. W. Lee, Y. Ohara, K. Kiyoyama, S. Konno, Y. Sato, S. Watanabe, A. Yabata, T. Kamada, J. C. Bea, H. Hashimoto, M. Murugesan, T. Fukushima, T. Tanaka, and M. Koyanagi. Characterization of chip-level hetero-integration technology for high-speed, highly parallel 3d-stacked image processing system. In *Electron Devices Meeting (IEDM), 2012 IEEE International*, pages 33.2.1–33.2.4, Dec 2012. doi : 10.1109/IEDM.2012.6479156.
- [15] C. C. M. Liu, Chin-Hao Chang, Hon-Yih Tu, C. Y. P. Chao, Fu-Lung Hsueh, Szu-Ying Chen, V. Hsu, Jen-Cheng Liu, Dun-Nien Yaung, and Shou-Gwo Wu. A peripheral switchable 3d stacked cmos image sensor. In *2014 Symposium on VLSI Circuits Digest of Technical Papers*, pages 1–2, June 2014. doi : 10.1109/VLSIC.2014.6858370.
- [16] C. C. M. Liu, M. M. Mhala, C. H. Chang, H. Tu, P. S. Chou, C. Chao, and F. L. Hsueh. 6.8 a 1.5v 33mpixel 3d-stacked cmos image sensor with negative substrate bias. In *2016 IEEE International Solid-State Circuits Conference (ISSCC)*, pages 124–125, Jan 2016. doi : 10.1109/ISSCC.2016.7417938.
- [17] F. Raymundo, P. Martin-Gonthier, R. Molina, S. Rolando, and P. Magnan. Exploring the 3d integration technology for cmos image sensors. In *Electronics, Control, Measurement, Signals and their application to Mechatronics (ECMSM), 2013 IEEE 11th International Workshop of*, pages 1–5, June 2013. doi : 10.1109/ECMSM.2013.6648935.
- [18] K. Shiraishi, Y. Shinozuka, T. Yamashita, K. Sugiura, N. Watanabe, R. Okamoto, T. Ashitani, M. Furuta, and T. Itakura. 6.7 a 1.2e??? temporal noise 3d-stacked cmos image sensor with comparator-based multiple-sampling pga. In *2016 IEEE International Solid-State Circuits Conference (ISSCC)*, pages 122–123, Jan 2016. doi : 10.1109/ISSCC.2016.7417937.
- [19] S. Sukegawa, T. Umebayashi, T. Nakajima, H. Kawanobe, K. Koseki, I. Hirota, T. Haruta, M. Kasai, K. Fukumoto, T. Wakano, K. Inoue, H. Takahashi, T. Nagano, Y. Nitta, T. Hirayama, and N. Fukushima. A 1/4-inch 8mpixel back-illuminated stacked cmos image sensor. In *2013 IEEE International Solid-State Circuits Conference Digest of Technical Papers*, pages 484–485, Feb 2013. doi : 10.1109/ISSCC.2013.6487825.
- [20] Shunichi Sukegawa, Taku Umebayashi, Tsutomu Nakajima, Hiroshi Kawanobe, Ken Koseki, Isao Hirota, Tsutomu Haruta, Masanori Kasai, Koji Fukumoto, Toshifumi Wakano, et al. A 1/4-inch 8mpixel back-illuminated stacked cmos image sensor. In *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2013 IEEE International*, pages 484–485. IEEE, 2013.
- [21] Suntharalingam. Megapixel cmos image sensor fabricated in three-dimensional integrated circuit technology. *ISSCC, SESSION 19 / IMAGERS / 19.6 :2*, 2005.
- [22] V. Suntharalingam, R. Berger, S. Clark, J. Knecht, A. Messier, K. Newcomb, D. Rathman, R. Slattery, A. Soares, C. Stevenson, K. Warner, D. Young, L. P. Ang, B. Mansoorian, and D. Shaver. A 4-side tileable back illuminated 3d-integrated mpixel cmos image sensor.

In *2009 IEEE International Solid-State Circuits Conference - Digest of Technical Papers*, pages 38–39,39a, Feb 2009. doi : 10.1109/ISSCC.2009.4977296.

- [23] Tezzaron. 3d multi-project wafers. <http://www.tezzaron.com/OtherICs/Custom>
- [24] Y. Tochigi, K. Hanzawa, Y. Kato, R. Kuroda, H. Mutoh, R. Hirose, H. Tominaga, K. Takubo, Y. Kondo, and S. Sugawa. A global-shutter cmos image sensor with readout speed of 1tpixel/s burst and 780mpixel/s continuous. pages 382 –384, feb. 2012. ISSN 0193-6530. doi : 10.1109/ISSCC.2012.6177046.
- [25] A. Khakoni, H. Le-Thai, and G. G. E. Gielen. A low-noise high-frame-rate 1-d decoding readout architecture for stacked image sensors. *IEEE Sensors Journal*, 14(6) :1966–1973, June 2014. ISSN 1530-437X. doi : 10.1109/JSEN.2014.2307792.
- [26] K. Yamazaki, Y. Itoh, A. Wada, K. Morimoto, and Y. Tomita. 4-layer 3-d ic technologies for parallel signal processing. In *Electron Devices Meeting, 1990. IEDM '90. Technical Digest., International*, pages 599–602, Dec 1990. doi : 10.1109/IEDM.1990.237127.
- [27] S. F. Yeh, C. C. Hsieh, and K. Y. Yeh. A 3 megapixel 100 fps 2.8  $\mu$  m pixel pitch cmos image sensor layer with built-in self-test for 3d integrated imagers. *IEEE Journal of Solid-State Circuits*, 48(3) :839–849, March 2013. ISSN 0018-9200. doi : 10.1109/JSSC.2012.2233331.
- [28] S. F. Yeh, K. Y. Chou, H. Y. Tu, C. Y. P. Chao, and F. L. Hsueh. A 0.66e #x2212;rms temporal-readout-noise 3d-stacked cmos image sensor with conditional correlated multiple sampling (ccms) technique. In *2015 Symposium on VLSI Circuits (VLSI Circuits)*, pages C84–C85, June 2015. doi : 10.1109/VLSIC.2015.7231332.

# Chapitre 1

## Technologie CMOS pour les capteurs d'image.

Lorsque nous regardons une image ou une photographie, nous regardons une action du passé, une action échantillonnée qui pourra rester dans nos souvenirs et dans le temps. Si nous creusons un peu pour comprendre les mécanismes de l'acquisition de l'image, nous allons trouver qu'il existe des principes et lois physiques qui sont essentiels pour capturer ces moments. Ces systèmes d'acquisition des images sont appelés systèmes d'imagerie.

Dans ce chapitre, pour comprendre plus en détail l'acquisition des images, la vision globale d'un système d'imagerie sera montrée, en se focalisant plutôt sur le capteur d'image. Ensuite, le mécanisme physique impliqué dans le fonctionnement de l'imageur sera décrit, ce qui est nécessaire pour la conversion des photons en électrons. Les différents types d'architectures pour un capteur d'image CMOS seront présentés pour avoir une vue d'ensemble des éléments participants dans la construction de ce dernier. Puis, l'exploration des potentialités dans la construction des imageurs dans la technologie CMOS sera exposée pour comprendre ses limites. Enfin, nous décrirons les limites de l'intégration des circuits pour les capteurs d'image CMOS.

### 1.1 Le système d'imagerie et ses origines dans la technologie des semiconducteurs

L'intérêt de prendre des images de haute qualité et de faire des appareils photos miniaturisés a éveillé une motivation particulière chez les chercheurs et industriels pour le développement des technologies spécifiques aux capteurs d'image. L'ensemble de ces éléments qui utilisent les principes et lois physiques pour prendre des images est appelé : système d'imagerie.

Un système d'imagerie est utilisé pour capturer des images d'une scène vue. L'exemple de la figure 1.1 illustre une coupe transversale d'un appareil photo [1] en montrant un système d'imagerie. Les éléments suivants font partie de celui-ci :

- Partie optique (objectif).
- Capteur d'image (détecteur).
- Circuits de commande de polarisation et numérisation.

- Circuit de traitement des images.

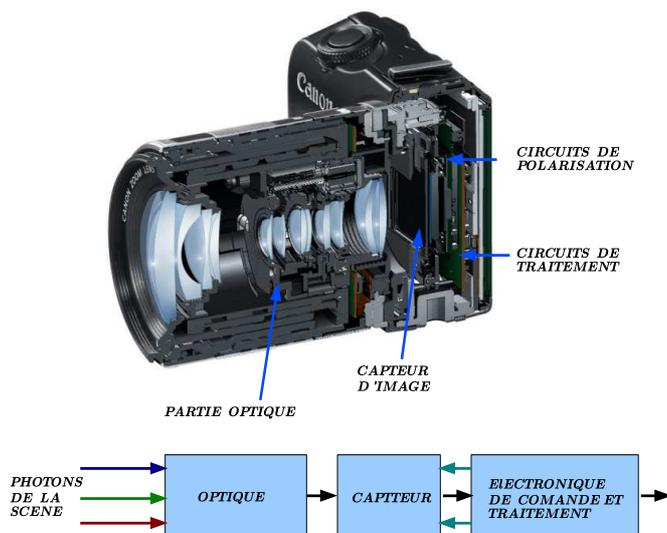


FIGURE 1.1 – Système d'imagerie dans un appareil photo[1].

**Le rôle du système d'imagerie.** Son rôle principal est d'avoir des images des scènes vues adaptés aux systèmes électroniques.

### Technologies de construction des éléments de détection des systèmes d'imagerie.

L'invention du CDD<sup>a</sup> en 1970[2] sous une technologie propre, a déclenché une industrie des appareils photos qui dure jusqu'à maintenant et est répandue dans différentes applications[3, 4] (spatiale, grand public, médicale, entre autres). En parallèle des CDDs, l'invention des capteurs d'image passifs s'est présentée comme une option technologique[2]. La fabrication de ce capteur dans la technologie CMOS<sup>b</sup> donnait un intérêt économique à cette époque, cependant le bruit et le type de lecture du pixel n'était pas comparable en terme de performance avec la technologie CDD, donc l'industrialisation de ce capteur n'a pas été faite.

Dans les années 90s, le capteur d'image CMOS APS<sup>c</sup>[2] est inventé. Comme le capteur d'image passif, ce nouvel imageur est fabriqué avec la technologie CMOS. Malgré des performances moindres au regard du CDD, les chercheurs ont mis en évidence les potentialités dues à l'intégration ou insertion de circuits dans le capteur d'image. Un exemple visible se trouve dans le pixel, avec l'insertion d'un amplificateur pour faire la lecture en tension des valeurs photoniques. L'intégration des circuits dans l'imageur a été un élément attractif pour les industriels et chercheurs pour les systèmes d'imagerie.

Les paragraphes suivants présentent le fonctionnement du système d'imagerie.

a. Charge Coupled Devices, Dispositifs à transfert de charge.

b. Complementary Metal Oxide Semiconductor.

c. Active Pixel Sensor.

### 1.1.1 Fonctionnement du système d'imagerie

Le travail conjoint de ces éléments ou fonctions du système d'imagerie permettent d'obtenir une image. Dans un premier temps, les photons provenant de la scène arrivent à la partie optique (qui est capable de s'adapter) pour les diriger vers le capteur d'image. Ces photons, projetés sur le capteur d'image, sont convertis en signal électrique (effet photo-électrique). Le signal électrique est ensuite numérisé et les données ainsi obtenues sont acheminées vers la sortie du système selon un protocole prédéterminé afin d'être lues et visualisées. Les circuits de commande et de polarisation permettent de piloter et d'alimenter en tension le capteur d'image selon les conditions de prises de vue. Les circuits de traitement servent généralement au filtrage ou aux opérations mathématiques sur les images, selon l'information utile voulue.

## 1.2 Capteurs d'image

Actuellement 2 types de capteur d'image[5] sont utilisés dans les applications scientifiques, militaires et de grand public : Le capteur CDD<sup>d</sup> et le capteur d'image CMOS. Dans cette étude, seul le capteur d'image CMOS va à être décrit.

### 1.2.1 Capteur d'image CMOS

Les capteurs d'image sont des éléments qui permettent le changement des photons en électrons par l'effet photo-électrique. Dans le contexte de ce travail, ces éléments ou imageurs CMOS sont appelés "Solid State Imagers"[6] parce qu'ils se sont construit avec des procédés de fabrication CMOS (Silicium) et utilisent les lois physiques des semi-conducteurs ou circuits CMOS pour leur fonctionnement.

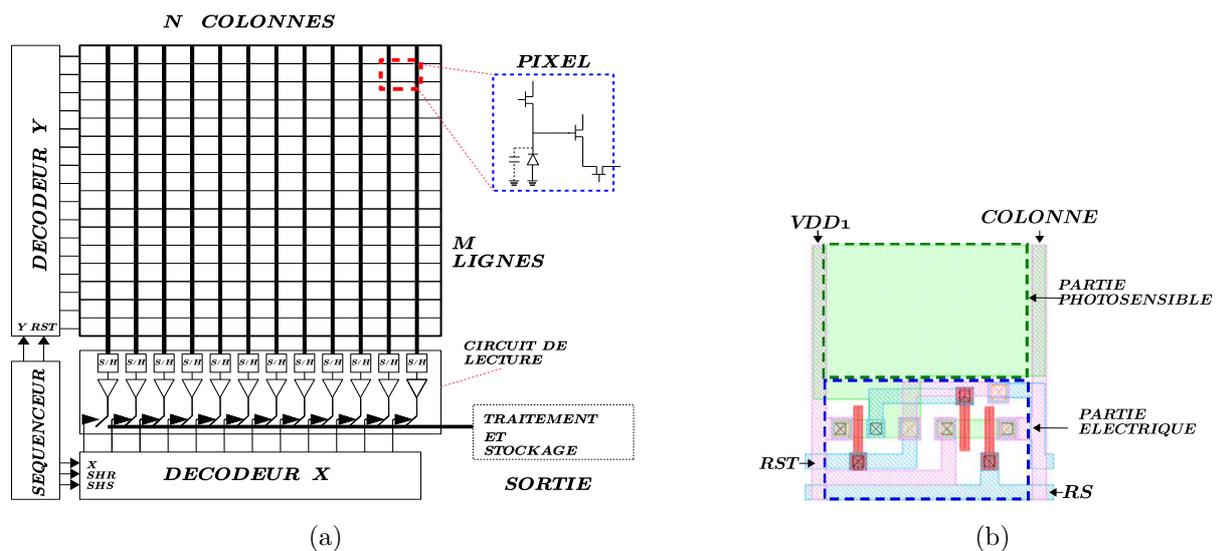


FIGURE 1.2 – Architectures : (a) Architecture d'un capteur d'image CMOS. ; (b) Layout d'un pixel 3T.

d. Charge-Coupled Device

## 1.2.2 Architecture d'un capteur d'image CMOS

L'architecture standard d'un capteur d'image[2, 7, 8] est décrite par la figure 1.2(a). Celle-ci se compose des éléments suivants :

- *Le pixel*, permet la conversion des photons en signal électrique et est organisé en matrice (M Lignes x N Colonnes).
- *Les fonctions d'adressage en ligne et colonne*, permettent de sélectionner le pixel à lire.
- *Le circuit séquenceur*, permettant de piloter les signaux du pixel, de la chaîne de lecture et des fonctions d'adressage. Ce séquenceur peut être implanté sur le même circuit silicium que la matrice de pixel (séquenceur « on chip ») ou alors déporté sur un autre support.
- *Le circuit de lecture*, permet de lire le signal électrique de chaque pixel et de l'acheminer vers la sortie de celui-ci.

Selon les besoins, des fonctions complémentaires peuvent être implantées sur le même circuit silicium à savoir un bloc de traitement, un bloc de stockage.

## 1.2.3 Pixel

Dans les imageurs CMOS, le *pixel* assure la fonction de détection, la collection des charges et les conversions de celles-ci en signal électrique. Il est généralement composé d'une partie électronique et d'une partie photosensible, comme le montre la figure 1.2(b). Les fonctions assurées par le pixel sont décrites dans les paragraphes suivants.

### 1.2.3.1 Photo-détection

Pour décrire la photo-détection, il faut considérer l'interaction de la matière du semi-conducteur avec la radiation électromagnétique du flux photonique. Cette interaction peut s'expliquer grâce à 2 phénomènes : *L'effet photo-électrique* et *l'absorption de l'énergie dans un matériau*.

**L'effet photo-électrique.** Permet de décrire le mécanisme de génération des porteurs dans le semi-conducteur dû à l'incidence du flux photonique.

Un photon est caractérisé par son énergie  $E_{PH}$  qui est en fonction de la longueur d'onde.<sup>e</sup> Ceci est montré dans les équations suivantes.

$$E_{PH} = \frac{\hbar \cdot c}{\lambda} \quad (1.1)$$

$$E_{PH}[eV] = \frac{1240}{\lambda[nm]} \quad (1.2)$$

Un photon interagit avec d'autres particules en transférant son énergie. Ensuite, il se désintègre[9]. Cet échange d'énergie se produit si l'énergie que peut apporter le photon est au moins égal à la plus petite énergie que l'autre particule peut accepter.

---

e.  $\hbar$  est la constante de Planck et  $c$  est la vitesse de la lumière dans le vide.

Dans le cas d'un capteur d'image, généralement la partie photosensible est construite en silicium. Pour créer des paires électrons trous dans cette partie, l'énergie nécessaire est de 1.12eV. Plus précisément, cette énergie fait qu'un électron de la bande de valence passe à la bande de conduction (figure1.3(a)). L'illustration de la figure1.3(b) montre l'effet photo-électrique dans une photodiode sans polarisation. Cet effet peut se réaliser dans une capacité MOS.

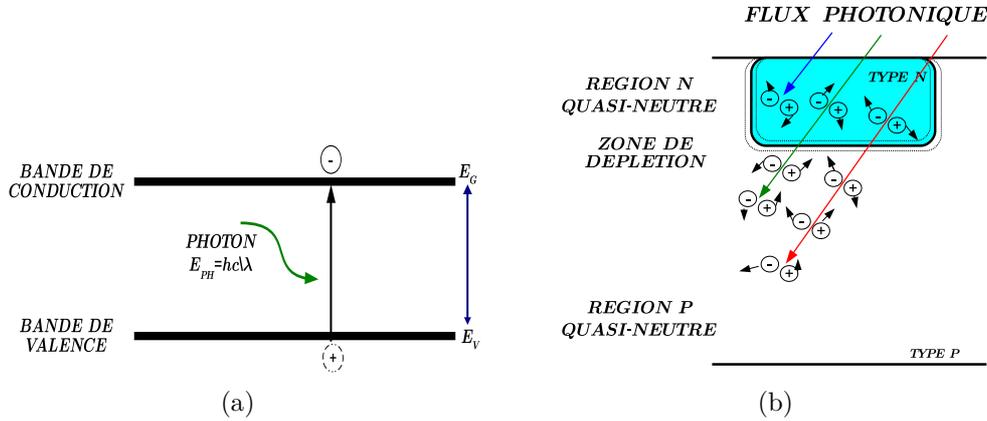


FIGURE 1.3 – Photo-détection : (a) L'effet photo-électrique dans le silicium. ; (b) Génération des photo-porteurs dans un photodiode sans polarisation.

**L'absorption de l'énergie dans un matériau.** Décrit la génération des paires électrons trous au long des trajets d'incidence du flux photonique[9]. Il est caractérisé par le *coefficient d'absorption*.

Le *coefficient d'absorption*  $\alpha$  est défini comme le ratio de diminution de la puissance lumineuse  $dP/P$  ou énergie des photons lorsque la lumière parcourt une distance  $dZ$  dans un matériau.

Il est défini de la manière suivant :

$$\alpha = \frac{1}{dZ} \frac{dP}{P} \quad (1.3)$$

$$P = P_0 \cdot [e^{-\alpha \cdot Z}] \quad (1.4)$$

On en déduit la longueur d'absorption :

$$L_{ABS} = \alpha^{-1} \quad (1.5)$$

Un flux photonique est composé par différents photons de différentes longueurs d'onde. Dans le cas d'un capteur d'image, ces photons sont absorbés dans différents endroits de la partie photosensible et créent des porteurs photo-générées dans le trajet d'absorption.

La valeur de la longueur d'absorption  $L_{ABS}$  dépend donc de la longueur d'onde.

Dans la figure1.4, il est montré le coefficient d'absorption et la longueur d'absorption dans le silicium en fonction des différentes longueurs d'onde[10].

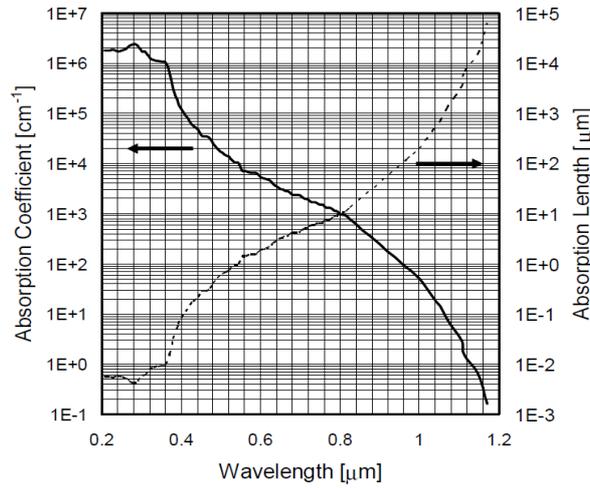


FIGURE 1.4 – Le coefficient d’absorption et le longueur d’absorption dans le silicium[10].

### 1.2.3.2 Collection de charges

Pour collecter la charge photo-générée, les éléments participants dans la partie photosensible doivent être polarisés. Dans les paragraphes suivants la collection de charges dans une photodiode est décrite.

**Opération dans une photodiode** Pour que la collection de charges se fasse dans une photodiode du capteur d’image, celle-ci doit être tout d’abord être polarisée avec une tension inverse. Cette tension est à l’origine d’un champ électrique dans le semiconducteur et augmente la zone de déplétion (voir figure1.5). Grâce à la polarisation, la photodiode peut fonctionner comme une capacité ( $C_{pd}$ ).

La tension est enlevée, et le photo-détecteur reste avec une zone déplétée.

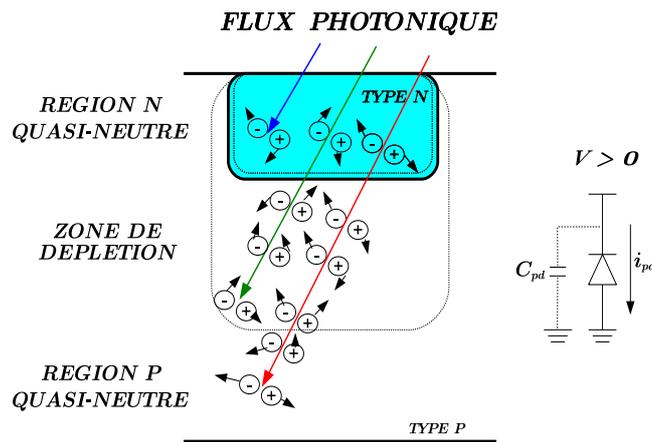


FIGURE 1.5 – Mécanisme de génération des porteurs dans une photodiode à tension inverse[10, 11].

Ensuite, les photons provenant d’une scène arrivent et percutent la partie photosensible du pixel, ce qui permet de créer des paires électrons-trous dans le volume de la partie photosensible (Zone de déplétion, régions N et P quasi neutres). Cette génération des porteurs photoniques

dépend de la partie photosensible (dopage et polarisation), des longueurs d'onde et de l'énergie des photons[10]. Les charges créées dans la partie de déplétion seront mises sous l'influence du champ électrique (effet drift) et collectées. Les charges créées en dehors de la zone déplétée doivent se diffuser pour être collectées. Si les charges ne sont pas collectées elles finissent par se recombiner.

L'équation de la capacité de déplétion est la suivante dans le cas d'une photodiode :

$$C_{pd} = A_d \cdot \sqrt{\frac{q \cdot \epsilon_{si} \cdot N_A}{2 \cdot (V_d + V_{bi} - \frac{2 \cdot K \cdot T}{q})}} \quad (1.6)$$

- $C_{pd}$  : Capacité de déplétion dans la photodiode.
- $A_d$  : Aire de la photodiode ( $cm^2$ ).
- $q, e$  : Charge électrique dans la photodiode ( $1.6 \times 10^{-19} C$ ).
- $\epsilon_{si}$  : Coefficient diélectrique du silicium ( $10^{-12} F/cm$ ).
- $N_A$  : Concentration des porteurs dans une région de la photodiode [ $1/cm^3$ ].
- $V_d$  : Tension inverse appliquée à la photodiode [V].
- $V_{bi}$  : Tension de Built-In [V].
- $K$  : Coefficient de Boltzmann.
- $T$  : Température en Kelvin [K].

Le courant *photonique* est très faible, généralement de l'ordre de quelques dizaines à des centaines de fA ( $10^{-15}$  Amp)[11]. Le courant direct  $I_F$  dans une photodiode PN sans prendre en compte la lumière (sans flux photonique) est :

$$I_F = I_{DIFF} \cdot [e^{\frac{eV_d}{nKT}} - 1] \quad (1.7)$$

Le courant de diffusion  $I_{DIFF}$  dépend directement des paramètres technologiques comme les coefficients de diffusion, longueurs de diffusion, concentration des porteurs de dopages et dimensions de la photodiode. Il est exprimé par :

$$I_{DIFF} = e \cdot A \cdot [\frac{D_n}{L_n} \cdot n_{po} - \frac{D_p}{L_p} \cdot p_{no}] \quad (1.8)$$

La figure 1.6 représente les courbes I-V de la photodiode avec et sans flux photonique ou :

- $I_F$  : Le courant direct dans une photodiode PN sans flux photonique.
- $I_{DIFF}$  : Le courant de diffusion ou de saturation[10].
- $I_L$  : Le courant direct dans une photodiode PN avec flux photonique.
- $I_{PH}$  : Le courant photonique dans une photodiode PN.
- $n$  : Facteur idéal.
- $V_d$  : Tension appliquée à la photodiode.
- $D_n, D_p$  : Coefficient de diffusion des porteurs minoritaires dans la région p et la région n respectivement.
- $L_n, L_p$  : Longueur de diffusion des porteurs minoritaires dans la région p et la région n respectivement.

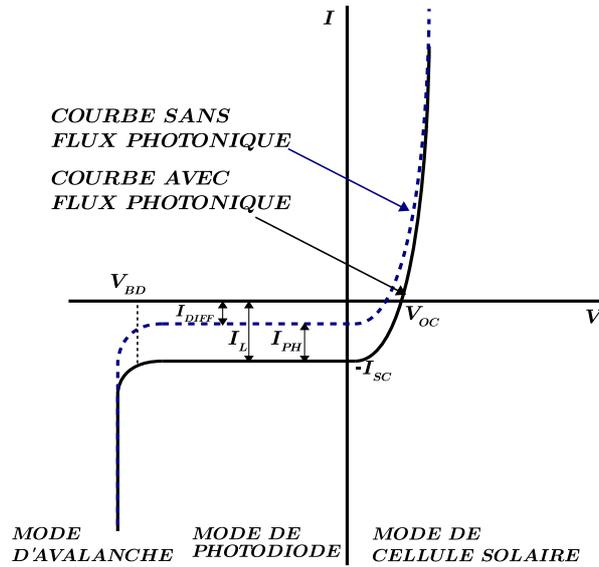


FIGURE 1.6 – Courbes I-V de la photodiode avec et sans flux photonique[10].

- $n_{po}, p_{no}$  : Concentration des porteurs minoritaires dans la région p et la région n respectivement.
- $A$  : Section transversal de la photodiode.
- $K$  : Coefficient de Boltzmann.
- $T$  : Température en Kelvin [ $K$ ].

Le courant direct de sortie de la photodiode  $I_L$  (avec flux photonique) est donc :

$$I_L = I_{PH} - I_F \tag{1.9}$$

$$I_L = I_{PH} - I_{DIFF} \cdot [e^{\frac{eV_d}{nKT}} - 1] \tag{1.10}$$

Dans le mode photodiode (Tension inverse dans la photodiode,  $V_d < 0$ ), l'expression exponentielle de l'équation 1.10 peut être négligée :

$$I_L \approx I_{PH} + I_{DIFF} \tag{1.11}$$

Il est montré que le courant direct de sortie de la photodiode est la somme du courant photonique et du courant de diffusion. De plus, le photo-courant augmente linéairement avec l'intensité de la lumière.

### 1.2.3.3 Lecture intra-pixel

La réponse naturelle d'une photodiode éclairée est la génération de charges, donc un courant. La lecture de ce courant va dépendre du type de pixel utilisé. Il existe 3 types de lecture :

- Lecture en tension.
- Lecture par transfert de charges.
- Lecture du courant photonique.

Dans les paragraphes suivants, ces types de lecture intra-pixel sont décrits.

**Lecture en tension.** Le courant résultant provenant du flux photonique est liée à la tension aux bornes de la photodiode. Cette tension peut être lue par l'intermédiaire d'un circuit isolant ou "buffer" (amplificateur) qui sépare la partie de détection de la partie lecture dans le pixel. En général, ce type de lecture est utilisé par un pixel de 3 transistors associé à un élément de photo-détection (photodiode). Un schéma du pixel est montré en figure 2.4(a), il est composé par un transistor interrupteur "Reset"  $T_{RST}$ , un transistor en configuration de "suiveur à source commune"  $T_{SF}$  (buffer gain < 1) et un transistor interrupteur "sélection des lignes"  $T_{RS}$ . La particularité de ses pixels, est d'avoir un élément actif dans le pixel qui permet l'intégration directe de la charge photonique (conversion de la charge à une tension au sein de la photodiode). Cette tension est ensuite récupérée pour le post-traitement.

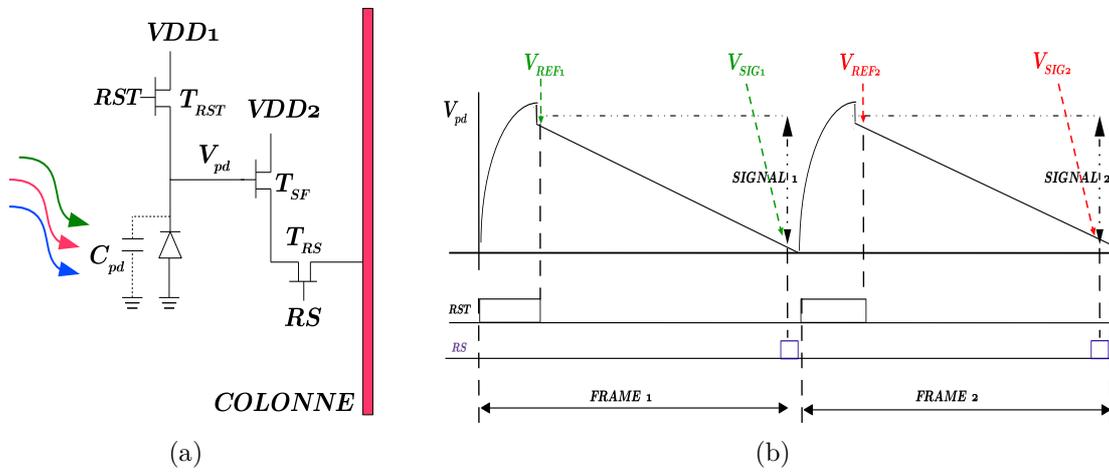


FIGURE 1.7 – Mode d'opération : (a) Pixel 3T avec des photons incidents; (b) Tension de la photodiode en mode d'intégration directe.

L'équation de la tension aux bornes de la photodiode est la suivante :

$$V_{pd}(t) = V_{REF} - \frac{1}{C_{pd}} \cdot \int_0^t i_{pd}(t) dt \quad (1.12)$$

L'équation de la tension de la photodiode à la fin du temps d'intégration<sup>f</sup> est exprimé par :

$$V_{pd}(t_{int}) = V_{SIG} = V_{REF} - \frac{1}{C_{pd}} \cdot \int_0^{t_{int}} i_{pd}(t) dt \quad (1.13)$$

Pour récupérer les signaux photoélectriques, il faut récupérer une référence et un signal final (à la fin d'une exposition ou intégration,  $t_{int}$ , comme il est montré dans la figure 2.4(b)). Ces tensions sont appelées :  $V_{REF}$  et  $V_{SIG}$ . Généralement, le courant photonique  $i_{pd}$  est constant, donc dans l'équation 1.13, ce signal pourra s'écrire :

$$V_{REF} - V_{SIG} = \frac{i_{pd}}{C_{pd}} \cdot t_{int} \quad (1.14)$$

f. Temps nécessaire pour obtenir une image, généralement est de 30ms (cadence vidéo).

**Lecture par transfert de charges.** Dans ce type de lecture, les charges photo-générées sont transférées dans un nœud de lecture pour être lues.

Les pixels qui utilisent ce type de lecture sont les suivants [3, 4] : "Pinned photodiode" et le "photogate". Les schémas de ce 2 pixels sont montrés dans la figure 1.8. Dans cette partie seulement le "pinned photodiode" va être décrit.

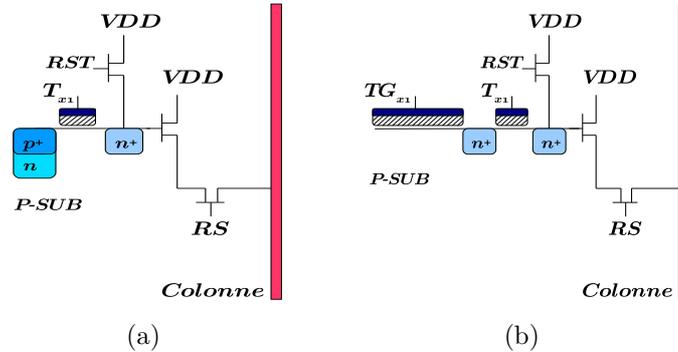


FIGURE 1.8 – Pixels APS : (a) Pinned photodiode; (b) Photogate.

**Pinned photodiode.** Ce type de pixel utilise un nœud de lecture séparé du nœud de photo-détection. Ceci est important pour la réduction du bruit issu des transistors du pixel. Le nœud de lecture est situé au-dessous du transistor de reset  $T_{RST}$  et le nœud de photo-détection est situé à l'extrémité du transistor de transfert  $T_{X1}$ .

Le *fonctionnement* de ce pixel commence avec la mise à zéro des nœuds de lecture et de la photo-détection (afin d'enlever les charges résiduelles) en faisant en sorte que les transistors  $T_{RST}$  et  $T_{X1}$  deviennent passants (figure 1.8). Ainsi donc le nœud de photo-détection forme une grande capacité due aux jonctions et est prêt à recevoir des photons.

Pendant l'intégration, les charges photo-générées sont collectées dans le nœud de photo-détection dans un pixel. Ensuite, le nœud de lecture est rechargé avec la charge collectée en faisant passer le transistor  $T_{X1}$ . La lecture est semblable à celle du pixel 3T par l'intermédiaire des transistors de lecture des colonnes.

**Lecture du courant photonique.** Le pixel utilisant cette lecture est généralement, le pixel passif. Les charges photo-électriques ou courant photo-électrique sont lues par un amplificateur de charge situé dans la colonne. Cette lecture est destructive (comme dans le cas du CDD) car les charges sont transférées à l'amplificateur de charge. La lecture dépend du temps de transfert des charges du pixel à la sortie de l'amplificateur de charge, en passant par la ligne métallique de la colonne et du temps d'intégration. Les imageurs contenant des pixels passifs ont généralement un grand facteur de remplissage en comparaison des pixels étudiés. Cela est dû au fait qu'ils ont un transistor dans le pixel [11, 12], comme le montre la figure 2.5(a).

Une *comparaison en matière de vitesse* entre la lecture en tension (pixel 3T) et la lecture du courant photonique (CDD ou pixel passif) donne à la lecture en tension comme la plus rapide. Ceci est dû à l'architecture du pixel 3T. Cette architecture permet d'avoir un élément actif dans le pixel (3T) qui isole la partie de photo-détection de la lecture des signaux. Donc, il impose

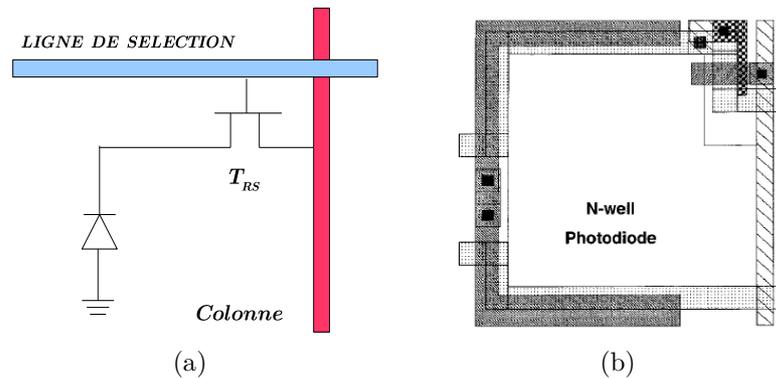


FIGURE 1.9 – Pixel Passif : (a) Schéma du pixel passif; (b) Layout du pixel passif[12], pixel de 20umx20um avec une technologie de 0.6um.

seulement une tension dans la colonne et pas de transfert de charges. A l'inverse, l'architecture du pixel passif (lecture du courant photonique) ne sépare pas la partie de photo-détection de la lecture. Donc, la lecture du courant photonique dépend du transfert des charges (temps de la charge de la colonne) et du temps d'intégration.

Les trois types ou familles de lecture intra-pixel ont été examinés. Dans les paragraphes suivants, les circuits ou fonctions d'adressage seront détaillés.

### 1.2.4 Les fonctions d'adressage

L'architecture standard d'un capteur d'image est matricielle. Par conséquent, il a besoin de circuits qui puissent sélectionner les pixels et envoyer des signaux de commande à chaque pixel. Ces circuits ou fonctions sont les circuits d'adressage. Ces éléments servent à la sélection de lignes et colonnes. Celles-ci peuvent être de deux types :

- *Décodeurs*, l'utilisation de ce type d'adressage permet de réaliser une lecture aléatoire des pixels de l'imageur.
- *Registres à décalage*, dans le cas où les pixels sont lus d'une manière séquentielle. Ce type de circuit permet de simplifier la mise en œuvre de l'imageur CMOS.

La figure 1.10 illustre les fonctions d'adressage à partir d'une implémentation d'un capteur d'image[13]. Dans les paragraphes suivants, ces fonctions sont décrites dans le cas de l'utilisation

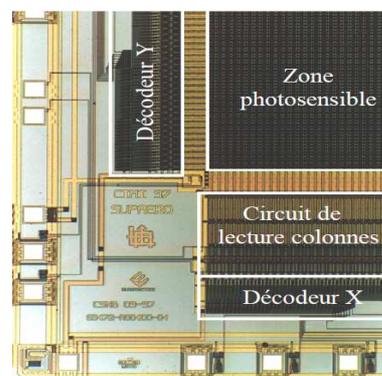


FIGURE 1.10 – Photographie d'un capteur d'image CMOS APS 256x256 pixels[13], avec les décodeurs de lignes (Y) et colonnes (X).

de décodeurs.

**Les décodeurs des colonnes** Ces circuits sont utilisés dans la matrice de pixels pour sélectionner les colonnes et permettre d'extraire les signaux provenant des lignes des pixels sélectionnés. Généralement, ce circuit se sert des signaux  $SEL\_X(x)$  pour sélectionner une colonne. Une représentation schématique pour une matrice de 4 colonnes est donnée dans la figure 1.11(a).

**Les décodeurs des lignes** Ces circuits sont utilisés pour envoyer les signaux de reset  $RST(x)$  et de sélection des Lignes  $SEL\_Y(x)$ , qui servent à piloter les circuits de sélection des pixels pour la lecture. Un exemple pour une matrice de 4 lignes est donné dans la figure 1.11(b).

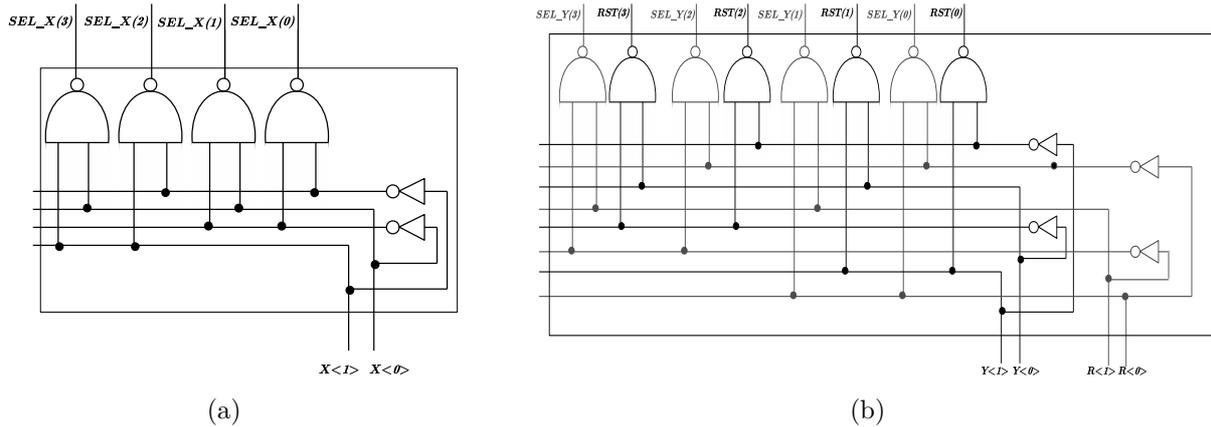


FIGURE 1.11 – Schématices des décodeurs : (a) Décodeur sur 2 Bits pour les colonnes (Décodeur X) ; (b) Décodeur sur 2 Bits, pour des lignes avec les signaux de RST et SEL\_Y (Décodeur Y).

Comme vu précédemment, les fonctions d'adressage, servent à sélectionner les pixels. Ces signaux de commande dans le chronogramme sont générés par le séquenceur qui sera décrit dans le paragraphe suivant.

### 1.2.5 Séquenceur

Les séquenceurs sont des circuits générateurs des signaux de commande pour piloter les circuits d'adressage du capteur d'image.

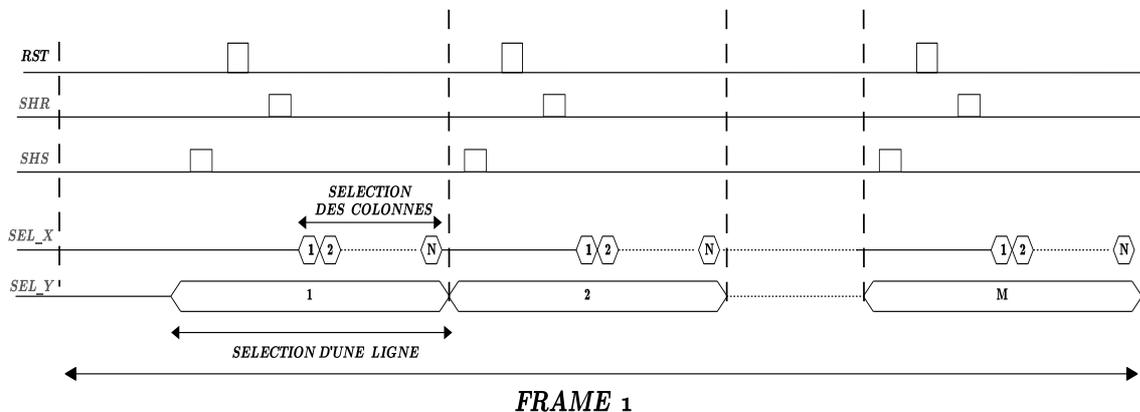


FIGURE 1.12 – Chronogramme pour une matrice(M x N) effectué par le séquenceur.

Ils sont composés généralement de circuits numériques qui utilisent des horloges pour leur fonctionnement. Leur fréquence de travail et signaux de sortie dépendent de la taille de la

matrice et de l'architecture. Un exemple du chronogramme d'un séquenceur pour une matrice  $M \times N$  est montré dans la figure 1.12.

Le processus de lecture des signaux des pixels est décrit dans les paragraphes suivants.

### 1.2.6 La fonction de lecture

Dans une architecture standard, ces circuits sont situés en bas de chaque colonne. Ils servent à stocker les valeurs  $V_{REF}$  et  $V_{SIG}$  dans ses capacités  $C_{REF}$  et  $C_{SIG}$ . Ces 2 signaux sont ensuite envoyés à la sortie pour être convertis en signaux numériques (imageur numérique). Un exemple de ce circuit est montré dans la figure 1.13(a).

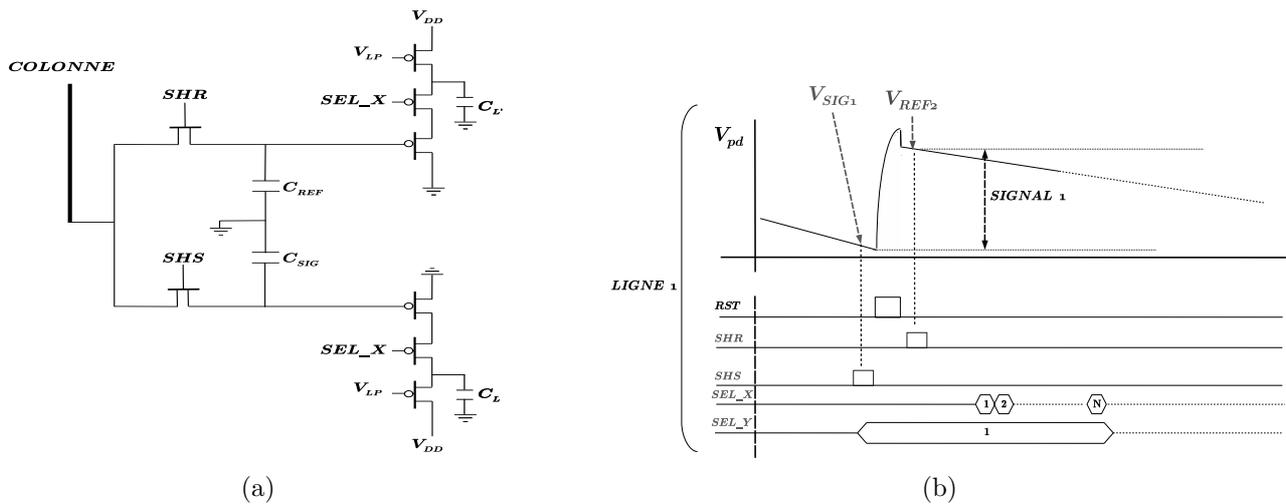


FIGURE 1.13 – Circuits de lecture : (a) Circuit de lecture de la colonne. (b) Chronogramme avec valeurs de-corrélés de  $V_{REF}$  et  $V_{SIG}$ .

Le fonctionnement de ce circuit est géré par les circuits d'adressage. Ceci est possible par l'intermédiaire d'un chronogramme de lecture<sup>g</sup>. Pour analyser ce circuit, la figure 1.13(b) nous montre l'acquisition de valeurs de-corrélés de  $V_{REF}$  et  $V_{SIG}$ . D'abord, une ligne de la matrice des pixels est sélectionnée avec le signal  $SEL\_Y(x)$ . Puis, les valeurs  $V_{SIG}$  des pixels de la ligne sélectionnée passent vers les capacités  $C_{SIG}$  par l'intermédiaire du signal  $SHS$ . Les signaux de commande  $RST$  sont envoyés et ensuite les valeurs de référence ou de reset de cette ligne sont envoyées vers les capacités par l'intermédiaire du signal  $SHR$ . Comme cette ligne est encore sélectionnée, le séquenceur sélectionne chaque colonne par les signaux  $SEL\_X(x)$ , pour amener les valeurs  $V_{REF}$  et  $V_{SIG}$  en sortie. Cette acquisition continue jusqu'au dernier pixel de la ligne. Ensuite, le séquenceur sélectionne la ligne suivante, et le processus de lecture est répété pour toute la matrice.

La prise des valeurs  $V_{REF}$  et  $V_{SIG}$  sert à faire une opération mathématique, la soustraction. Cette opération permet d'avoir un signal photonique référencé à un signal connu ( $V_{REF}$ ) qui après peut être numérisé. Cette opération est comparable au traitement d'un filtre passe haut[3] et permet :

- L'élimination du bruit de recharge (dans les pixels de 4T et autres).

g. Les types de chronogramme de lecture seront décrites dans la section types de lecture des capteurs d'image.

- L'élimination des offsets dû aux disparités apparues lors de la fabrication ou bruit FPN.
- Réduction des bruits de basses fréquences ( $1/F$ , etc.).

Nous avons décrit les éléments d'un imageur. Les paragraphes suivants montreront le travail d'ensemble des éléments de l'imageur pour l'acquisition des scènes.

## 1.3 Types de lecture des capteurs d'image

Les images sont le résultat du processus d'acquisition des scènes. Ce processus dans ce travail est appelé lecture des données de la matrice de pixels.

Généralement, il existe 2 types de lecture pour les capteurs d'image :

- La lecture *rolling shutter*.
- La lecture *global shutter*.

Ces 2 types de lecture seront décrits dans les paragraphes suivants.

### 1.3.1 Lecture Rolling Shutter

Ce type de lecture est standard dans plusieurs types de capteurs d'image. Pour comprendre la lecture rolling shutter, le fonctionnement ou l'envoi des signaux de commande de cette lecture est montré dans la figure 1.14.

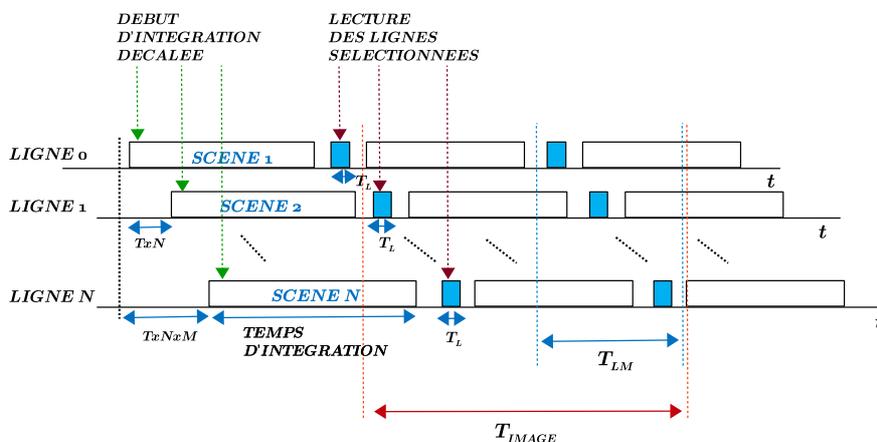


FIGURE 1.14 – Chronogramme pour la lecture d'un capteur d'image type Rolling Shutter, la lecture est effectuée après l'intégration.

A partir du chronogramme montré dans la figure 1.14 :

- $T_L$  = Temps de lecture de la ligne.
- $T_{xN}$  = Temps de décalage entre 2 lignes.
- $T_{xNxM}$  = Temps de décalage entre la première et la dernière ligne.
- $T_{LM}$  = Temps de lecture de la matrice.
- $T_{DI}$  = Temps d'intégration.
- $T_{IMAGE} = T_{DI} + T_{LM}$  = Temps pour obtenir une image.

Dans la figure 1.14, il est montré seulement un type de lecture rolling shutter. Ce type de lecture commence avec un début d'intégration séquentiel de chaque ligne (envoi différé des

commandes de reset). La deuxième ligne est envoyée dans un temps de  $T_{xN}$  et la dernière ligne est envoyée dans un temps  $T_{xNxM}$ . Pour l'acquisition des valeurs, elle est effectuée après de chaque intégration des scènes de chaque ligne, donc il prend un temps  $T_{IMAGE}$  pour tous les valeurs de la matrice. Cette lecture peut se faire dans le temps d'intégration de l'imageur.

Il est vu que dans la lecture "rolling shutter", chaque ligne commence l'intégration dans un intervalle différent de temps (dans un espace de  $T_{xN}$ ), c'est à dire, que les scènes sont différentes entre chaque ligne. Pour analyser cet effet dans une image, l'annexe 3 va expliquer d'une manière analytique l'impact dû aux mouvements.

### 1.3.2 Lecture Global Shutter

Le chronogramme montré dans la figure 1.15 est appelé lecture "global shutter".

Ce type de lecture diffère de la lecture rolling shutter car l'intégration dans les lignes de la matrice commencent en même temps (figure 1.15). Cela présente l'avantage d'intégrer une seule scène, ce qui est mieux adapté aux objets en mouvement (imagerie rapide).

Dans le cas de la lecture, comme dans la lecture rolling shutter, les valeurs des pixels peuvent être lues après l'intégration (figure 1.15) et pendant l'intégration. Le  $T_{IMAGE}$  du global shutter n'est pas similaire en ordre de grandeur à celui du rolling shutter car le temps d'intégration dans la lecture global shutter est plus court dans l'imagerie rapide ( $\leq 10\text{ms}$ ).

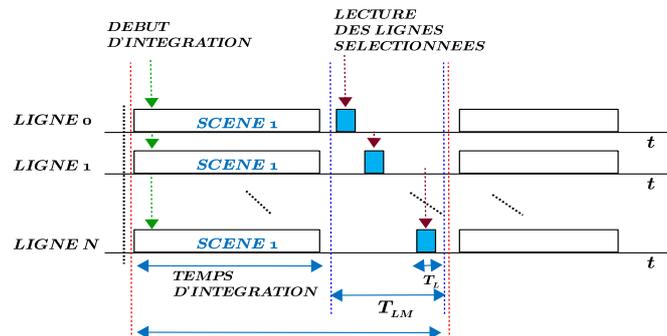


FIGURE 1.15 – Chronogrammes pour la lecture d'un capteur d'image type Global Shutter, la lecture est effectuée après l'intégration.

Nous avons vu les 2 types de lecture des imageurs. Pour savoir les performances et limites d'un imageur, il existe des éléments qui nous permettent de le caractériser, cela sera décrit dans les paragraphes suivants.

## 1.4 Facteurs de mérite d'un capteur d'image CMOS

La conception d'un capteur d'image est lié toujours à une application. Pour savoir si cette conception correspond bien au besoin, nous caractérisons le capteur en fonction des paramètres géométriques, physiques et opto-électriques[14, 15]. En sachant ces paramètres nous pouvons savoir les performances et limites de fonctionnement, les possibles applications adaptées et la comparaison entre imageurs.

Pour mesurer ses performances, il faut faire de tests avec références de mesure et les comparer

avec du calcul analytique s'appuyant sur des résultats de mesure. Ces tests sont faits sous l'influence ou l'absence du flux photonique. Les principaux facteurs de mérite ou paramètres des capteurs d'image peuvent être classifiés de la manière montrée dans le tableau 1.1.

Paramètres clés d'un capteur d'image		
Paramètres géométriques	Paramètres électriques	Paramètres opto-électriques
<ul style="list-style-type: none"> <li>- <b>Résolution</b>, le nombre de pixels dans le capteur[15, 16].</li> <li>- <b>Facteur de remplissage</b>, mesure l'espace physique de la partie photosensible du pixel[16].</li> </ul>	<ul style="list-style-type: none"> <li>- <b>Courant d'obscurité</b>.</li> <li>- <b>Bruit temporels</b>, principalement composé par les bruits thermique[17, 18], le bruit de grenaille photonique et du courant d'obscurité et le bruit de lecture[15, 19].</li> <li>- <b>Bruit spatial</b>, il est composé par : le bruit FPN<sup>h</sup> et le bruit PRNU<sup>i</sup>[20].</li> <li>- <b>Charge stockable</b>, définit la quantité maximale de charge qu'un pixel peut accumuler[15].</li> </ul>	<ul style="list-style-type: none"> <li>- <b>QE</b>, nombre d'électrons produits grâce aux nombres de photons incidents[3, 18, 21].</li> <li>- <b>CVF</b>, définit la tension à la sortie de l'élément de photo-détection par rapport à un électron stocké dans lui-même[3].</li> </ul>
<b>Paramètres globaux : SNR, DR, MTF</b>		

Tableau 1.1 – Paramètres d'un capteur d'image sous et sans l'influence du flux photonique.

## 1.5 Technologies CMOS « classiques » de construction pour les imageurs.

Dans l'année 1996, une publication du centre de recherche *I.B.M. - Thomas J. Watson* [22] décrit les potentialités du développement de la technologie CMOS pour les imageurs. Ces potentialités sont les suivantes :

- La basse tension de fonctionnement.
- La faible consommation d'énergie.
- L'intégration électronique sur puce.
- Un accès aléatoire des données de l'image.
- Éventuellement la réduction du coût de fabrication par rapport aux implémentations du CCD classique.

En 2008, dans une conférence[2], les caractéristiques des capteurs actuels se sont affinées et elles sont : L'opération ou fonctionnement des capteurs d'image sont les mêmes que celles de ses origines, le partage des transistors a augmenté le facteur de remplissage (Fill Factor), les performances des convertisseurs analogiques numériques (CANs) ont augmenté, l'amélioration du traitement de couleur "on-chip" et la réduction du pas du pixel dû aux règles de design des

h. Fixed Pattern Noise.

i. PhotoResponse Non Uniformity.

technologies sub-microniques se sont imposées.

L'analyse de ces 2 publications[2, 22] montre que les circuits de traitement des signaux photoniques dans le pixel ont gagné en importance dû à la réduction du bruit et l'augmentation de la cadence de sortie. Les implémentations de ces fonctions occupent une grande partie du pixel, ce qui dégrade le facteur de remplissage et le rendement quantique. Le problème de l'aire de construction n'est pas résolu, même si la lithographie autorise une réduction de la taille des circuits utilisés[23].

### 1.5.1 Exploration de la technologie CMOS pour les capteurs d'image

Au milieu des années 90, les technologies CMOS utilisées pour la fabrication des imageurs sans modification des procédés étaient entre 0.5um à 1um. Par la suite, lors de la réduction de la lithographie des questions ont commencé à fleurir à savoir s'il fallait changer de procédés et savoir dans quelles parties de l'imageur[22].

#### 1.5.1.1 Miniaturisation du Pixel

La miniaturisation du pixel permet d'augmenter la résolution du capteur. Dans le début des années 1990, les chercheurs ont pensé que la miniaturisation de la technologie CMOS donnerait des mauvaises performances opto-électriques dû à la réduction de la taille du pixel (voir figure1.16). En effet, la partie photosensible était réduite, donc le facteur de remplissage aussi (Fill factor)[22].

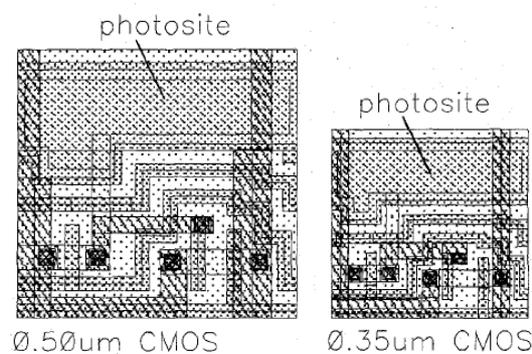


FIGURE 1.16 – Comparaison des technologies avec les tailles du pixel. A gauche, un pixel avec un technologie de 0.5um (10um de pas de pixel). A droite, un pixel avec un technologie de 0.35um (7um de pas de pixel)[22].

A la fin des années 1990, les chercheurs ont utilisé les avantages de construction des circuits dans le pixel en utilisant des technologies sub-microniques ( $<0.5\mu\text{m}$ ). Ces imageurs avec une grande intégration de circuits dans les pixels[45–47], comme par exemple l'insertion d'un Convertisseur Analogique Numérique (CAN)[8], donnaient un avantage en termes de construction des fonctions par rapport aux CDDs classiques[45]. Ces imageurs CMOS avaient des problèmes de bruit, comme le bruit de reset et le courant d'obscurité[7]. Donc, de nouvelles architectures de pixels sont apparues pour compenser ces défauts, comme par exemple le pixel 4T[48].

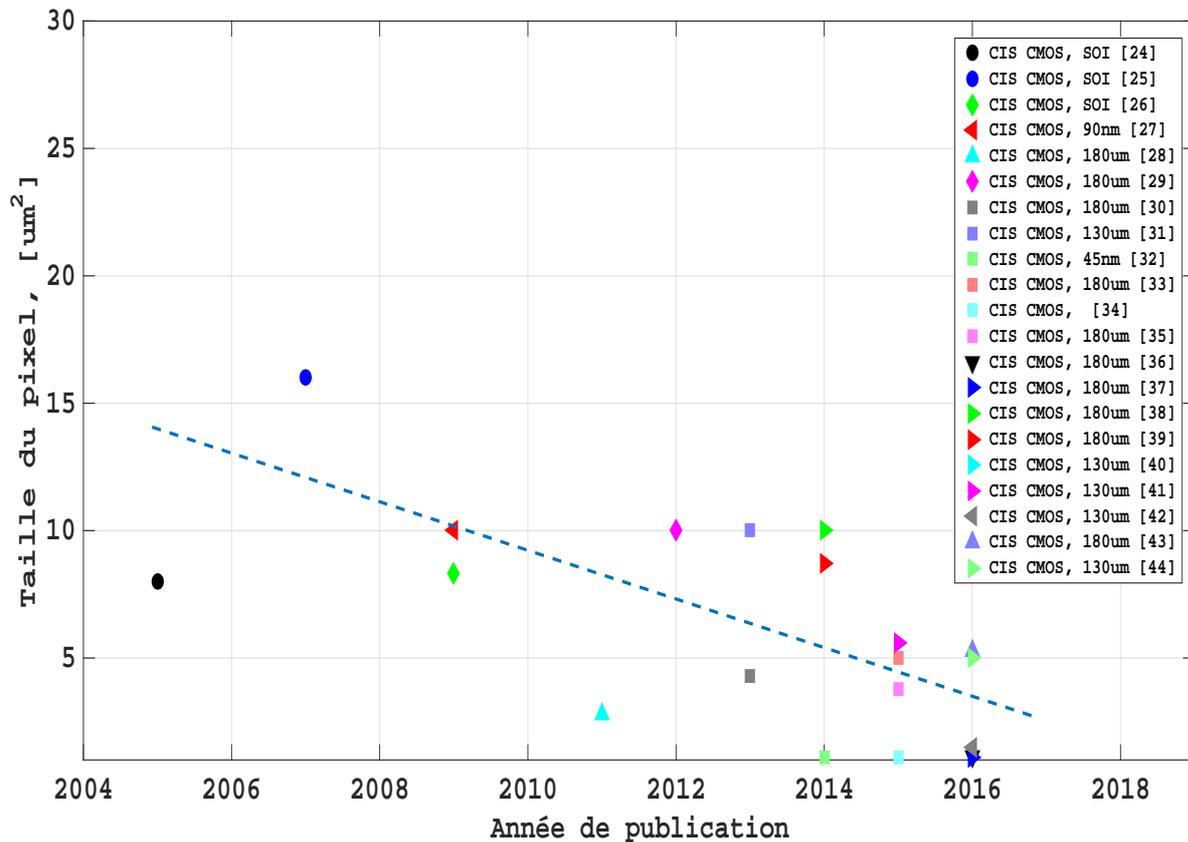


FIGURE 1.17 – Taille du pixel avec l'année de publication[24–44].

La taille du pixel est déterminée par la technologie utilisée, l'architecture de l'imageur et les règles technologiques de design[23]. La figure 1.17 montre la miniaturisation de la taille du pixel (vers 1μm) en fonction de l'année de publication.

### 1.5.1.2 Consommation de puissance et coût de fabrication

Différentes publications[7, 22] montraient qu'une des potentialités de la technologie CMOS était la faible consommation d'énergie par rapport aux imageurs CDDs, ce qui permettrait à cette technologie de se développer. Ceci est devenu vrai grâce à l'intérêt de la faible consommation de puissance en premier, mais d'une manière plus importante au bas coût de production des imageurs CMOS pour différents marchés[49], comme par exemple la téléphonie mobile.

La figure 1.18 montre le rapport entre la production et le coût de fabrication d'un capteur d'image CMOS VGA[49]. Dans cet exemple, le coût de fabrication est réduit d'un rapport 25 en 10 ans (à partir des années 2000 aux années 2010) et la production de ces capteurs a augmenté d'un facteur 100 durant cette période.

Cet exemple est une preuve que le marché a une forte influence dans la technologie choisie pour la fabrication des capteurs d'image.

## 1.5.2 Procédés CMOS pour les imageurs des hautes performances

La technologie CMOS optimisée pour l'imagerie est apparue il y a un dizaine d'années. Grâce à cela, cela a permis d'augmenter leurs performances tant géométriques, électriques et

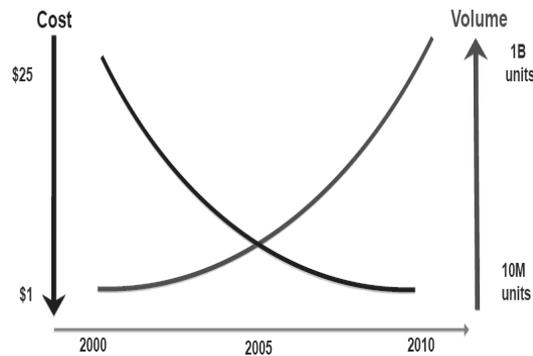


FIGURE 1.18 – Variation du prix d’un capteur d’image CMOS VGA[49].

opto-électriques. Dans cette partie, il est décrit les imageurs de hautes performances.

### 1.5.2.1 Imageurs avec l’augmentation du facteur de remplissage

Dans le cas de construction des pixels avec plus de 4 transistors (smart pixel, etc.), la matrice finale possède un facteur de remplissage<sup>a</sup> réduit en comparaison avec une matrice de pixels 3T. Pour compenser cette difficulté, des nouvelles techniques se sont appliquées dans la conception des imageurs, comme le partage des circuits de lecture et l’utilisation de micro-lentilles.

**Partage des pixels** Grâce à l’utilisation des transistors de transfert (Transfert gate), comme par exemple dans des pixels 4T (voir figure1.19a), un arrangement des pixels est effectué. En effet, chaque pixel a son propre transistor de transfert et durant la phase de lecture, ils sont multiplexés. Ils utilisent la même colonne pour la lecture des signaux.

Dans la figure1.19b, la quantité totale des transistors dans le pixel est 5. Ce pixel composé utilise un transistor pour le reset et 4 transistors pour le multiplexage de la lecture. Durant la phase de lecture, la quantité de transistors effective est 1.25T (5T/4).

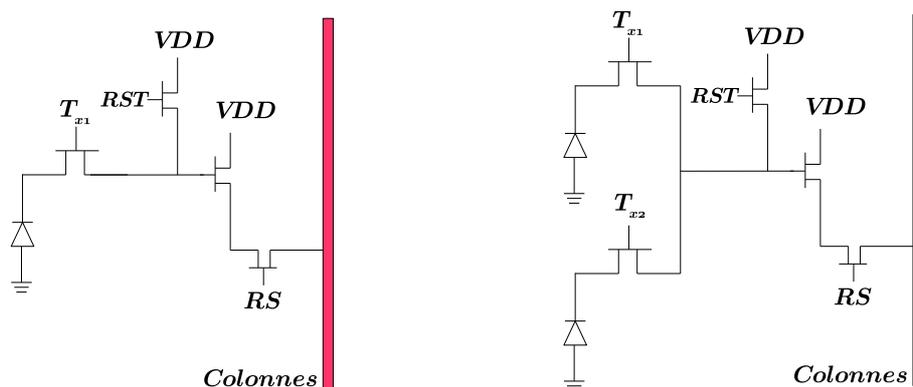


FIGURE 1.19 – Partage des pixels : a)Pixel pinned photodiode. b)Pixel 1.25T.

Dans le cas de la figure1.20, la quantité des transistors est 7, et le nombre de transistors utilisé pour le multiplexage est 4, donc cela donne 1.75T.

Cette configuration rend possible l’augmentation du facteur de remplissage, mais il ajoute

a. Fill factor.

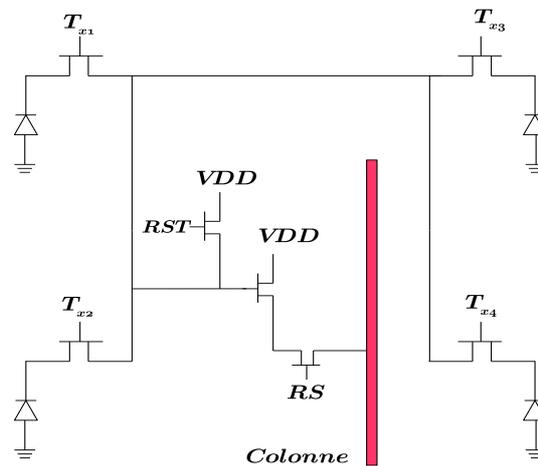


FIGURE 1.20 – Partage de 4 pixels, Pixel 1.75T.

quelques difficultés, comme la conception d'un circuit de sélection de la lecture et un chronogramme adapté à l'architecture.

**Utilisation des micro-lentilles** Les progrès lithographiques pour la fabrication des imageurs (0.6 $\mu\text{m}$  dans la fin des années 1990 à 0.35 $\mu\text{m}$ [50] au début des années 2000), ont conduit à vouloir ajouter des circuits dans le pixel, comme illustré dans un application dans une technologie de 0.18 $\mu\text{m}$ [50, 51]. Cependant, quelques paramètres opto-électriques ont perdu en performance. Pour compenser ces défauts, les micro-lentilles ont été ajoutées dans le procédé de fabrication<sup>b</sup>[52].

Ces microlentilles utilisent différents matériaux, comme par exemple le Silicon Quartz (fused Silica), des semiconducteurs du group III-V ou II-VI et des polymères[52].

Le fonctionnement des microlentilles est simple, il consiste en focaliser le rayonnement lumineux sur la zone photosensible du pixel, ce qui augmente le nombre de photons incidents .

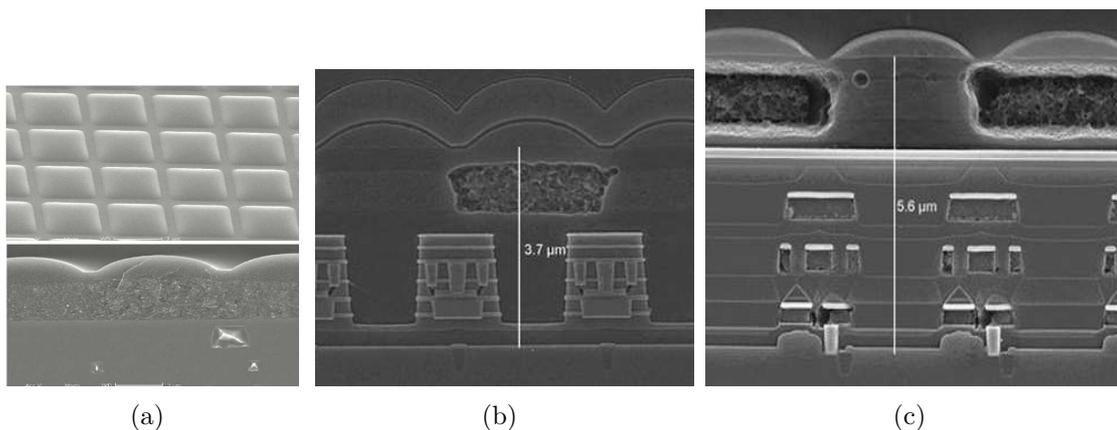


FIGURE 1.21 – Microlentilles : (a) Utilisation de micro-lentilles dans les capteurs d'image[53] ; (b) Imageur de Samsung de 2Mpixels en utilisant une technologie de 0.13 $\mu\text{m}$  , avec un pas de pixel de 2.8 $\mu\text{m}$  et des lignes métalliques en cuivre[54] ; (c) Imageur de Samsung de 1.3Mpixels et des lignes métalliques en aluminium[54].

Un exemple est montré dans la figure1.21(a), il s'agit de micro-lentilles de 2.8 $\mu\text{m}$  x 2.8 $\mu\text{m}$  dans

b. Les procédé de fabrication de microlentilles sont le Reflow et la fabrication Grayscale.

un capteur d'image[4, 53].

Grâce à l'utilisation des micro-lentilles le facteur de remplissage peut augmenter de <25%-40%> à <60%-80%>[4]. La publication [55] montre une augmentation de 30% à 60% du facteur de remplissage.

Dans la figure 1.21(b) et (c), il est montré 2 sections transversales des imageurs de Samsung[54]. Les filtres de couleur sont en bas de chaque micro-lentille. La comparaison de ces 2 imageurs montre que l'utilisation de cuivre pour les lignes métalliques (figure 1.21(b)) implique une réduction d'espace entre les microlentilles et la photodiode par rapport à l'utilisation des lignes métalliques d'aluminium (figure 1.21(c)).

Il y a des différents types de micro-lentilles[4], et ils sont montrés dans la figure 2.14.

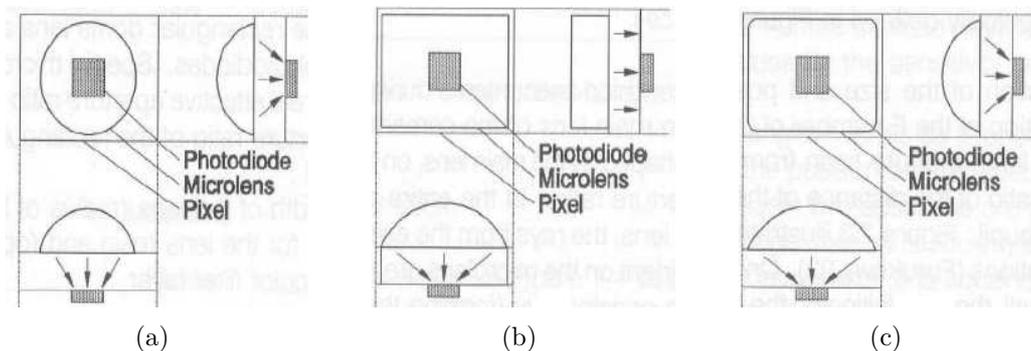


FIGURE 1.22 – Différents type de micro-lentilles[4] : (a) Lentilles hémisphérique ; (b) Lentilles semi-cylindrique ; (c) Lentilles dôme rectangulaire.

### 1.5.2.2 Imageurs illuminés par la face arrière, BSI

En 1999, la société PHOTOBIT propose un nouveau procédé pour les capteurs d'image CMOS[56]. Ce procédé<sup>c</sup> consiste en l'amincissement de la couche du substrat (jusqu'à une distance raisonnable de déplétion pour le photo-détecteur), le positionnement de l'imageur (il est tourné) et une couche de matériau optiquement transparente (verre optique) qui est placée au-dessus de cette partie (photosensible). Le produit issu de ce procédé est appelé capteur d'image BSI<sup>d</sup>.

Ce nouveau procédé permet à la partie photosensible de recevoir plus des photons. De cette manière, le facteur de remplissage<sup>e</sup> augmente. Sans cet apport, les photons seront réfléchis ou absorbés dans les lignes métalliques et parcourent des grandes distances pour arriver au photo-détecteur.

En comparaison avec un capteur d'image standard ou FSI<sup>f</sup>, un capteur d'image BSI a plus de rendement quantique parce que presque toute la totalité de la surface contribue à la génération des charges[15].

Dans les années suivantes, plusieurs fondeurs comme SONY, TOSHIBA entre autres ont com-

c. Il avait la possibilité de mettre le CFA, les filtres de couleur.

d. Back-side illuminated ou illuminés par la face arrière,

e. Fill Factor

f. FrontSide illuminated

mencé à faire des recherches pour la fabrication de ces types d'imageurs[57]. Quelques exemples de section transversale sont montrés dans les figures 1.23(a) et (b).

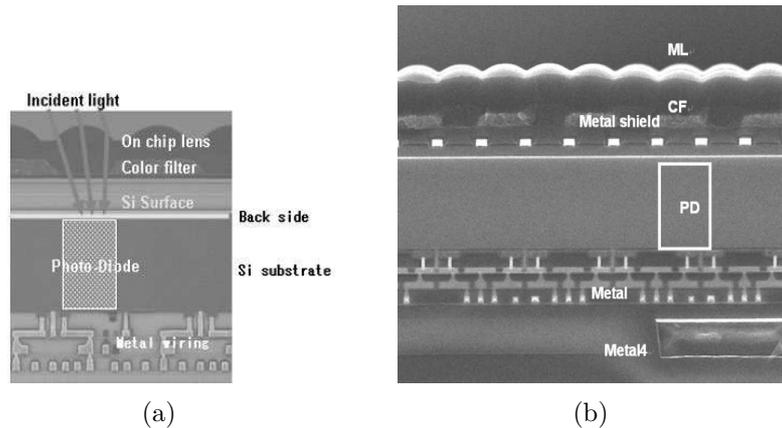


FIGURE 1.23 – Sections transversales des imageurs illuminé à la face arrière : (a) Imageur SONY BSI[58]. La taille du pixel est de  $1.75\mu\text{m} \times 1.75\mu\text{m}$  ; (b) Imageur SONY BSI[59]. La technologie utilisée est  $0.14\mu\text{m}$  1P4M et la taille du pixel est de  $1.65\mu\text{m} \times 1.65\mu\text{m}$  .

Le coût de fabrication de cette innovation est élevé en raison des différentes étapes de construction, comme l'addition des masques et le wafer bonding, entre autres[60]. Cependant, des entreprises ont industrialisé cette option grâce aux qualités des images et à de nouveaux procédés de fabrication. A ce jour, plusieurs fabricants de capteurs (SONY et FUJIFILM) ont des produits de hautes performances (caméscope, appareil photographique reflex numérique (DSLR) et appareil photographique numérique (DSC)) utilisant cette technologie[49, 57]. Pour ce qui est des produits moins performants comme les imageurs des téléphones mobiles, les entreprises Samsung, Toshiba, ST-Microelectronics, Micron et TSMC ont également des réalisations avec les imageurs illuminés par la face arrière[49].

## 1.6 L'impact de l'intégration des circuits dans les capteurs d'image CMOS.

Cette étude va permettre d'avoir une vue d'ensemble de l'intégration des circuits dans les imageurs. De plus, les architectures des imageurs présentées sont modélisées et adaptées selon les équations de l'article [61]. Enfin, cette analyse nous permettra de visualiser tant les contraintes liées à l'implémentation monolithique que les avantages du fonctionnement des architectures. De cette manière, nous pourrons choisir une architecture qui pourra être construite dans la technologie d'intégration 3D afin de réduire ces contraintes, (comme exemple d'utilisation des potentialités de la technologie 3D.).

La taille de la matrice a une forte influence dans la cadence de sortie<sup>g</sup> selon l'article [61]. De plus, les circuits ou fonctions intégrés dans l'imageur contribuent aussi au flux des valeurs des pixels vers la sortie. Pour étudier l'impact de l'insertion des circuits complémentaires dans

g. Frame Rate.

une implémentation monolithique, cette étude prend en compte le CAN<sup>h</sup> associé à une chaîne de lecture « bas bruit », lequel est l'élément le plus intégré dans les imageurs selon l'état de l'art. 3 architectures sont présentées dans un positionnement différent du CAN.

**CAN à la sortie de la matrice.** Dans cette configuration, le CAN est situé au niveau de la sortie de la matrice (voir figure 1.24). L'équation suivante montre le temps de conversion du CAN,  $T_{CAN}$ . Le temps  $T_{CAN}$  doit être plus petit ou égal à la cadence de sortie ou lecture d'un pixel,  $T_{PIX}$ .

$$T_{CAN} \leq T_{PIX} \tag{1.15}$$

Le nombre d'image par seconde (Frame rate) pour cette architecture est exprimé par :

$$FR = \frac{1}{X.Y.[T_{CAN} + \frac{B}{N}.T_{PIX}]} \tag{1.16}$$

- FR : Nombre d'image par seconde ou Frame rate [fps].
- Y : Nombre de lignes.
- X : Nombre de colonnes.
- $T_{CAN}$  : Temps de conversion.
- B : Nombre de bits.
- N : Nombre de sorties en parallèle.
- $T_{PIX}$  : Temps de lecture d'un pixel.

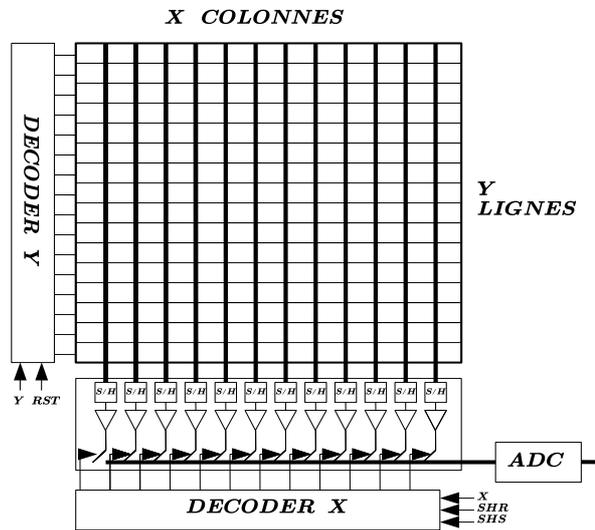


FIGURE 1.24 – Architecture d'un capteur d'image CMOS avec un CAN à la sortie.

Cette architecture permet de se libérer des contraintes topologiques dans la construction de la matrice de pixels. Celle-ci est due à la séparation physique de la matrice de pixels et le CAN. En plus, le CAN n'impose pas une dimension de la matrice. Ceci permet la conception d'un CAN avec des dimensions optimales. Cependant la fréquence de sortie des pixels impose la fréquence de conversion, qui est importante.

h. Convertisseur Analogique Numérique.

Pour le cas d'un imageur rapide<sup>i</sup> l'utilisation d'une telle architecture n'est pas optimale, car le "frame rate" de sortie est en fonction directe de toute la matrice (XxY), ce qui donne des "frames rates" faibles. Le facteur de remplissage n'est pas affecté par l'insertion du CAN.

**CAN dans la colonne.** Dans cette architecture, le CAN est positionné au niveau de la colonne, dans la chaîne de lecture (voir figure1.25). Cette configuration permet de convertir la valeur photonique de chaque pixel d'une ligne en même temps. Dans l'équation suivante le temps de conversion de ce type de CAN est donné. Le temps de lecture de la ligne  $T_{READ\_ROWS}$  est le temps de transfert des valeurs de la matrice au CAN. L'équation montre que, dans un temps  $T_{CAN}$ , la ligne est totalement numérisée.

$$T_{CAN} = X.T_{PIX} - T_{READ\_ROWS} \tag{1.17}$$

Le nombre d'image par seconde (Frame rate) est exprimé par :

$$FR = \frac{1}{X.Y.[\frac{T_{CAN}}{Y} + \frac{B}{N}.T_{PIX}]} \tag{1.18}$$

Comme dans le cas précédent, il n'y a pas d'éléments du CAN dans le pixel. Cependant, le CAN

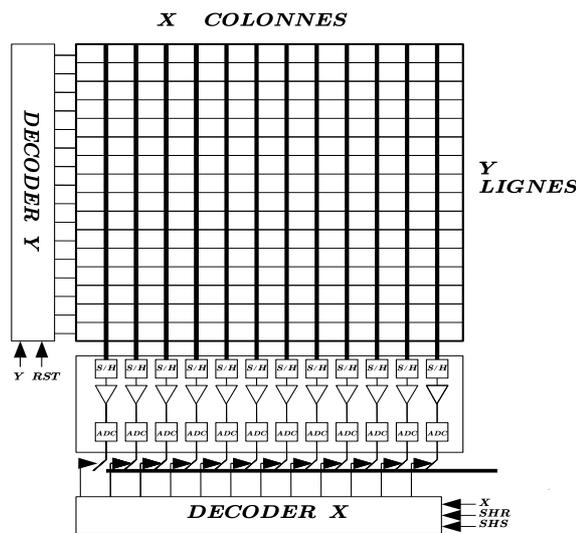


FIGURE 1.25 – Architecture d'un capteur d'image CMOS avec un CAN dans la colonne.

implanté dans la colonne dépend du pas du pixel (pas colonne). Dans son fonctionnement, il s'agit d'une configuration semi-parallèle car elle dépend essentiellement du nombre de colonnes ( $X$ ) et non pas de toute la matrice pour la conversion numérique. Ce résultat donne un avantage : la fréquence de conversion est réduite et permet d'utiliser des CANs de faible performance en termes du temps de conversion, donc de taille réduite. Comme l'architecture précédente, le facteur de remplissage n'est pas affecté par l'insertion du CAN.

**CAN dans le pixel.** Le CAN est placé dans le pixel dans cette architecture (Voir figure1.26). Toutes les valeurs photoniques des pixels sont converties en même temps. L'équation suivante

i. Les imageurs rapides seront expliqués dans le chapitre 4.

montre le temps de conversion de ce type d'architecture. Dans un temps  $T_{CAN}$ , toutes les valeurs du pixel sont numérisées.

$$T_{CAN} = X.Y.T_{PIX} - Y.T_{READ\_ROWS}. \tag{1.19}$$

Le nombre d'image par seconde (Frame rate) est exprimé par :

$$FR = \frac{1}{X.Y.[\frac{T_{CAN}}{X.Y} + \frac{B}{N}.T_{PIX}]} \tag{1.20}$$

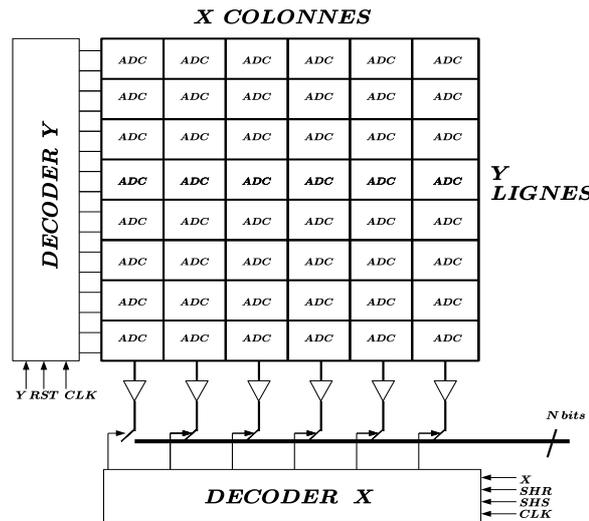


FIGURE 1.26 – Architecture d'un capteur d'image CMOS avec un CAN dans le pixel.

L'intégration du CAN dans le pixel implique une grande quantité des transistors. Cela réduit donc l'aire de la partie photosensible du pixel. Dans le cas du fonctionnement de ce pixel, la fréquence de conversion est fortement ralentie car elle ne dépend pas des dimensions (X x Y) de la matrice. Cette architecture est dite parallèle. La configuration parallèle donne la possibilité d'utiliser des CANs de moindres performances en termes de vitesse. Le facteur de remplissage diminue considérablement en comparaison avec les 2 cas précédents.

Les trois types d'architectures avec des différentes formes d'intégration des CANs dans le capteur d'image ont été montrés. Pour avoir une idée d'implémentation de ces architectures dans un capteur d'image, dans les paragraphes suivants les simulations de "frame rates"<sup>j</sup> en fonction du temps de lecture sont étudiées.

**Comparaison entre architectures** Afin d'analyser les points forts et les limites de ces 3 architectures vues, nous allons prendre des valeurs de l'état de l'art pour affiner les simulations. Ces imageurs se sont implémentés tant dans la technologie monolithique que dans la technologie 3D.

Pour le frame rate, la figure 1.27 montre la cadence de sortie en fonction du temps de conversion du CAN. Nous pouvons apercevoir que la plupart des imageurs ont une cadence de

j. Cadence de sortie ou nombre d'image par second.

sortie au-dessous de 200fps. Pour le temps de conversion,  $T_{CAN}$  les valeurs varient entre 1 $\mu$ s à 35 $\mu$ s.

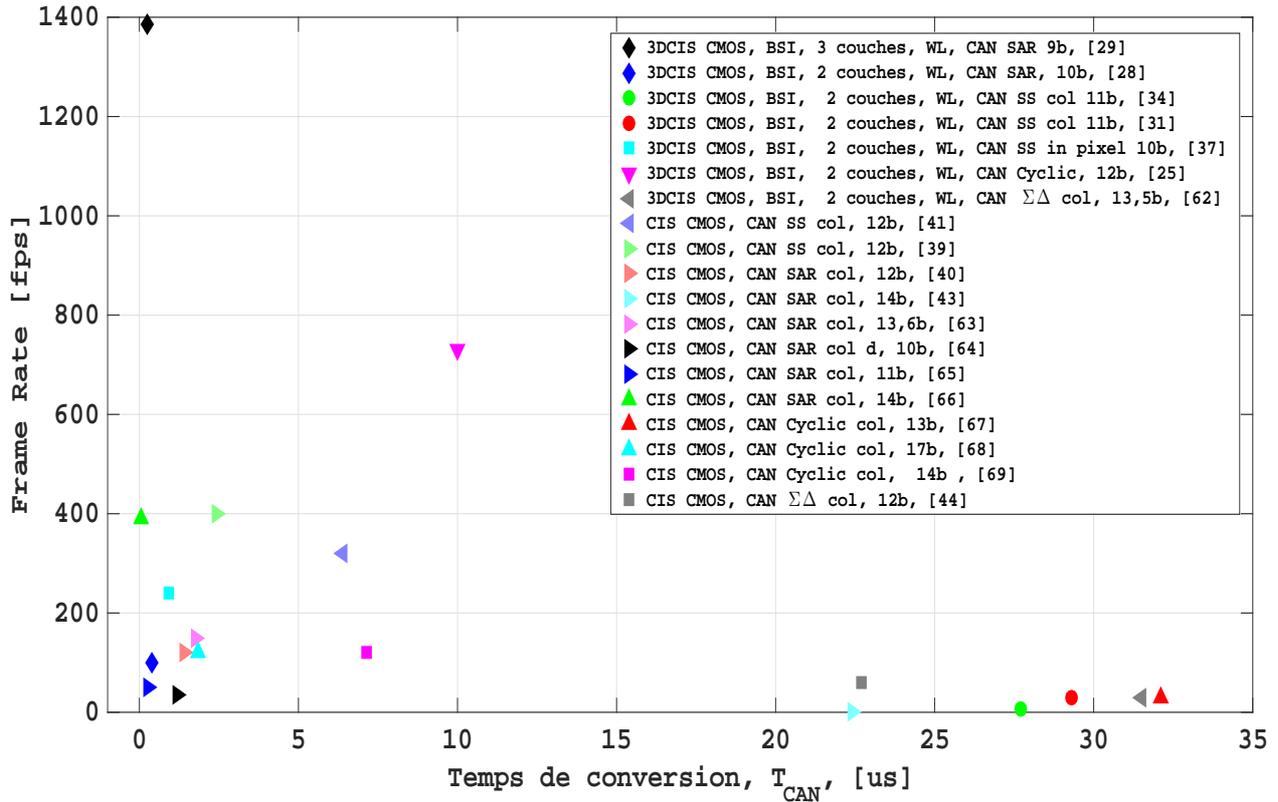


FIGURE 1.27 – Imageurs 3D avec CAN[28, 29, 31, 34, 37, 38]; Imageurs avec CAN[39–41, 43, 44, 62–69].

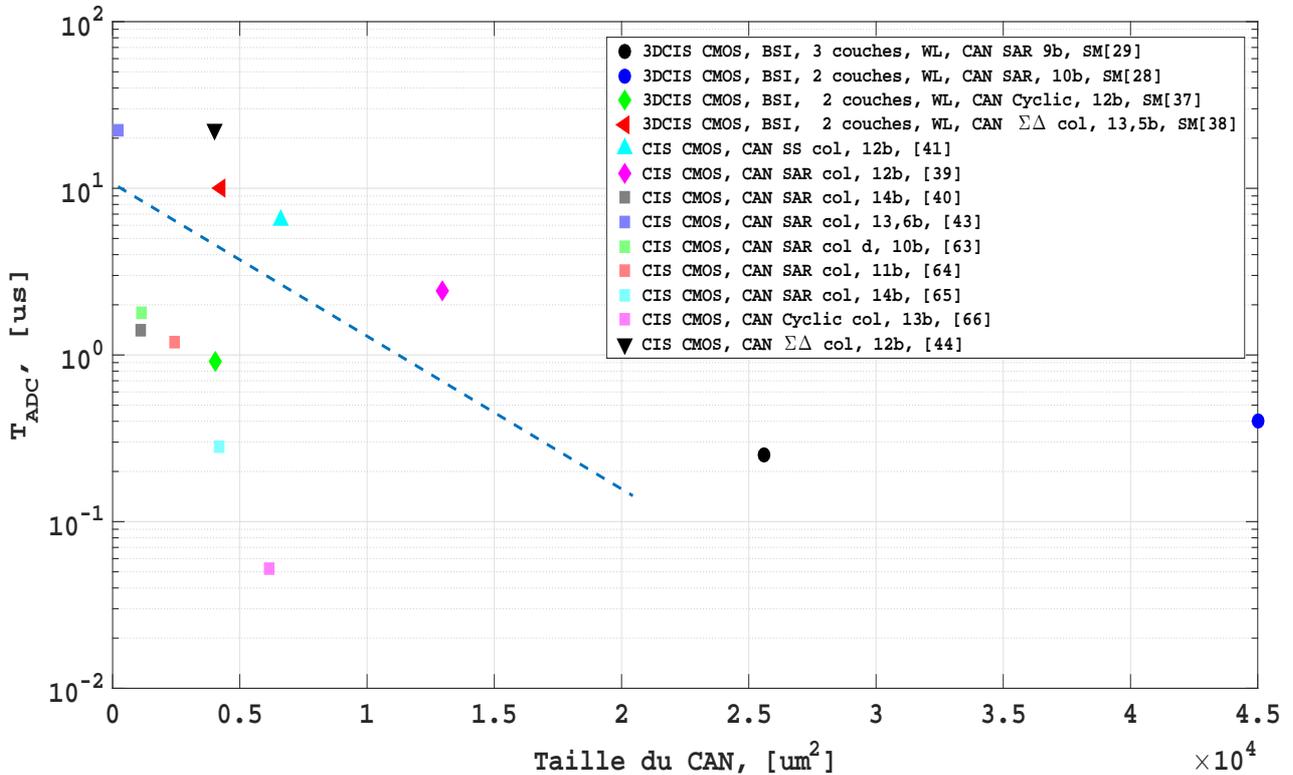


FIGURE 1.28 – Le temps de conversion du CAN, ( $T_{CAN}$ ), avec sa taille, 3DCIS[28, 29, 37, 38]; CIS[39–41, 43, 44, 63–66].

La figure 1.28 détaille les réalisations des imageurs qui montrent le temps de conversion ( $T_{CAN}$ ) du CAN en fonction de sa taille. Nous apercevons que la plupart des implémentations sont de type SAR<sup>k</sup> ou SS<sup>l</sup> (entre 9 à 17 bits, b); Dans l'étude des publications des architectures de la figure 1.28, nous pouvons remarquer que les CANs SAR colonnes (COL) dépendent de la taille du pixel dans une dimension et pas dans l'autre ( $5000\mu m^2 <$ ). De plus, dès que la taille du CAN augmente, le CAN est plus rapide. Les publications [28, 29] nous montrent que la matrice est divisé en sous matrices (SM); cela permet d'avoir plus d'espace de construction.

Grâce à l'étude de l'état de l'art, nous pouvons faire des simulations paramétriques avec les conditions suivantes :

- Une cadence de sortie maximale (Frame Rate) de 200fps (figure 1.27).
- Les tailles des matrices au-dessous de 1Mpixels (figure 1). Nous allons prendre les matrices : 128x128 (16Kpixels); 512x512 (0.26Mpixels) et 1024x1024 (1.048Mpixels).
- Pour la sortie en parallèle de données : N=1, 4, 64.
- 10 bits pour le CAN de ces architectures.
- Le temps de conversion du CAN,  $T_{CAN}$  : 1us, 11us, 21us et 40us.
- Les valeurs de  $T_{PIX} = 1ns$  à 1000ns.

Les simulations de la figure 1.29 sont basées sur les équations 1.16, 1.18 et 1.20 avec les conditions suivantes : Taille de la matrice = 512x512; Sorties en parallèle, N=1;  $T_{CAN} = 1us, 11us, 21us$  et 40us et 10bits pour le CAN. Ces résultats montrent l'évolution du nombre d'images par seconde (Frame Rate) de l'imageur en fonction du temps de lecture d'un pixel  $T_{PIX}$ .

Dans le cas du *CAN à la sortie de la matrice*, il est montré que les nombres d'image par seconde (Frame rate) avec différentes valeurs des temps de conversion  $T_{CAN}$  ne peuvent pas arriver à la valeur choisi de 200fps. Cette simulation montre que le frame rate dépend fortement des dimensions de la matrice (HxV) et du  $T_{CAN}$ , donc une architecture non parallèle avec le CAN. Par contre, le  $T_{PIX}$  a une faible influence sur le frame rate dû au positionnement du CAN et du flux des valeurs provenant de la matrice.

Dans le cas du *CAN dans la colonne*, seul un  $T_{CAN}$  faible permet d'arriver à la valeur de 200fps. La simulation du "frame rate" montre que le  $T_{PIX}$  commence à avoir une importance à partir des grandes valeurs. Ceci est dû au fait que le temps de conversion du CAN est faible. Donc à partir de ces valeurs, le nombre d'image par seconde ne dépend pas des CANs. Ceci est une configuration semi parallèle avec le CAN.

Dans le cas du *CAN dans le pixel*, il est possible d'arriver à la valeur de 200fps avec toutes les valeurs du  $T_{CAN}$ . Ce fonctionnement est possible grâce au travail en parallèle de chaque CAN, donc, le "frame rate" ne dépend pas des valeurs du  $T_{CAN}$ .

Les simulations mettent en évidence que dans le cas d'intégration du *CAN dans le pixel*, le "frame rate" ne dépend pas du type de CAN ( $T_{CAN}$ ). C'est pour cela que cette architecture peut intégrer des circuits moins performants dans le pixel, ce qui amène à avoir un CAN de taille réduite, et donc à la fin un pixel de petite taille.

*Bruit apporté par l'interconnexion.* Les architectures moins bruitées sont le CAN dans le

---

k. SAR=Successive Approximation Register.

l. SS = Single slope ou simple rampe.

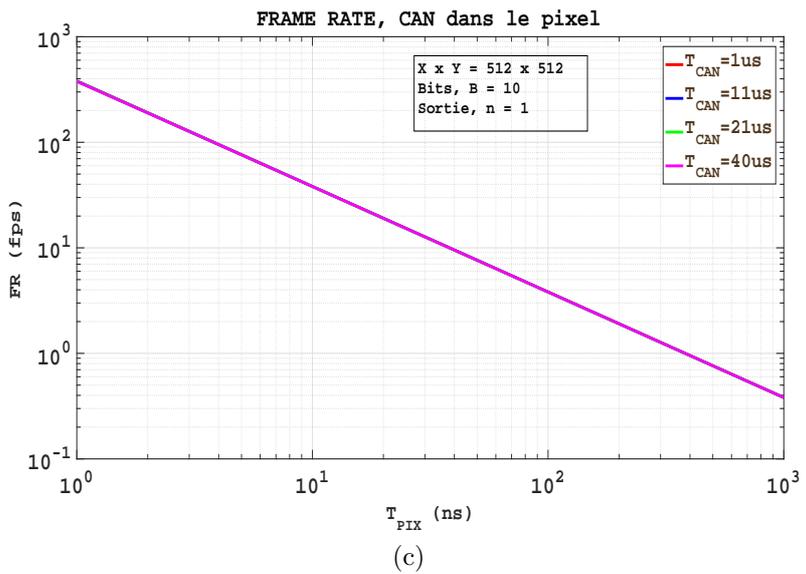
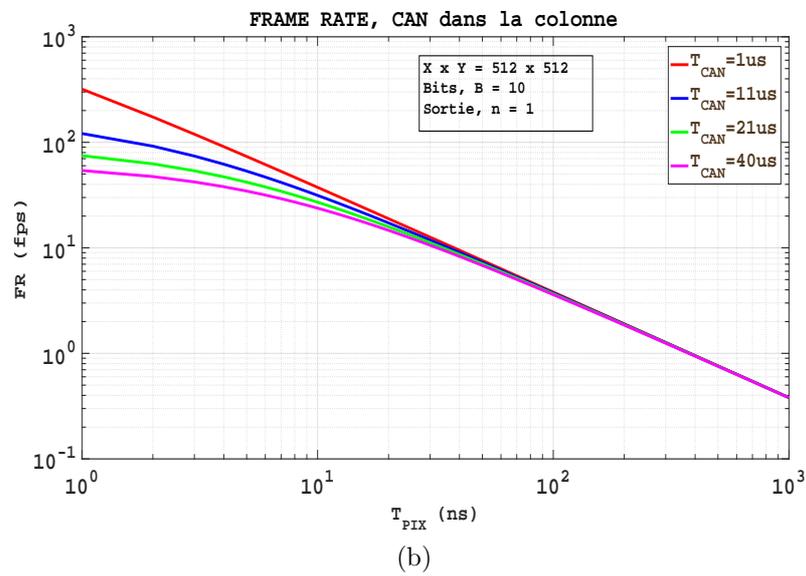
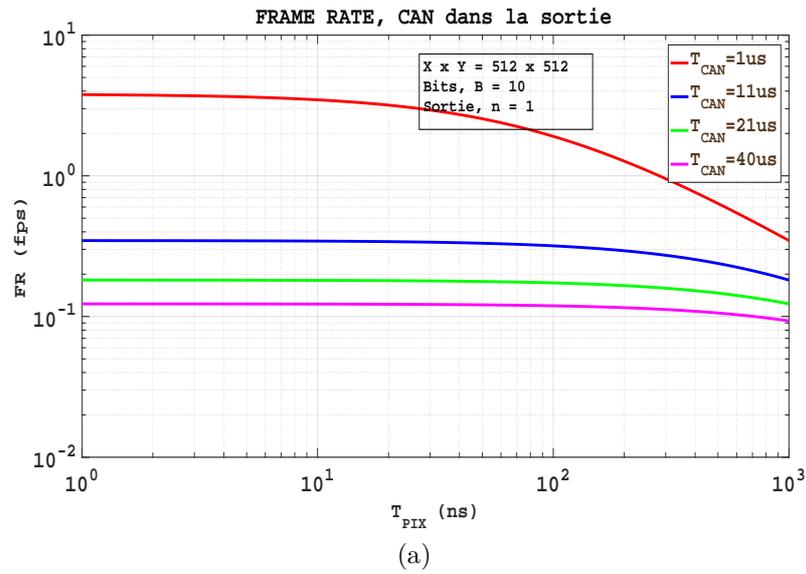


FIGURE 1.29 – Simulation des "Frame Rates" : (a) FR, CAN à la sortie de la matrice. ; (b) FR, CAN dans la colonne ; (c) FR, CAN dans le pixel.

pixel et CAN dans la colonne. Les bruits apportés par chaque étage sont décrits d'une manière générale dans les équations suivantes pour un signal à la sortie (Architecture CAN dans la colonne ou CAN dans le pixel). L'expression  $\sigma_{photodiode}$  est la contribution du bruit de la photodiode et des transistors du pixel. Le terme  $\sigma_{CAN}$ , exprime le bruit apporté par le CAN ; Les termes  $\sigma_{colonne}$  et  $\sigma_{connecteur\_pixel}$  signalent respectivement la contribution des éléments actifs dans la colonne et l'interconnexion du pixel avant d'arriver au CAN.

$$\sigma_{signal\_can\_colonne} = \sqrt{(\sigma_{photodiode})^2 + (\sigma_{colonne})^2 + (\sigma_{CAN})^2} \quad (1.21)$$

$$\sigma_{signal\_can\_pixel} = \sqrt{(\sigma_{photodiode})^2 + (\sigma_{connecteur\_pixel})^2 + (\sigma_{CAN})^2} \quad (1.22)$$

Le bruit apporté par la colonne et les éléments participants (CAN colonne) est plus significatif que celui du connecteur (CAN pixel) parce qu'il est amplifié comme les valeurs photoniques. L'architecture CAN dans le pixel est moins bruitée avant d'arriver au CAN ;

Des *autres simulations paramétriques* se sont faites pour corroborer et compléter les résultats obtenus (voir figure1.30). Les conditions sont : Matrice de pixels de 128x128 et 1024x1024. Nombre de sorties en parallèle, N=4 et 64. Les valeurs du  $T_{CAN}$  et du  $T_{PIX}$  sont les mêmes que dans la simulation précédente.

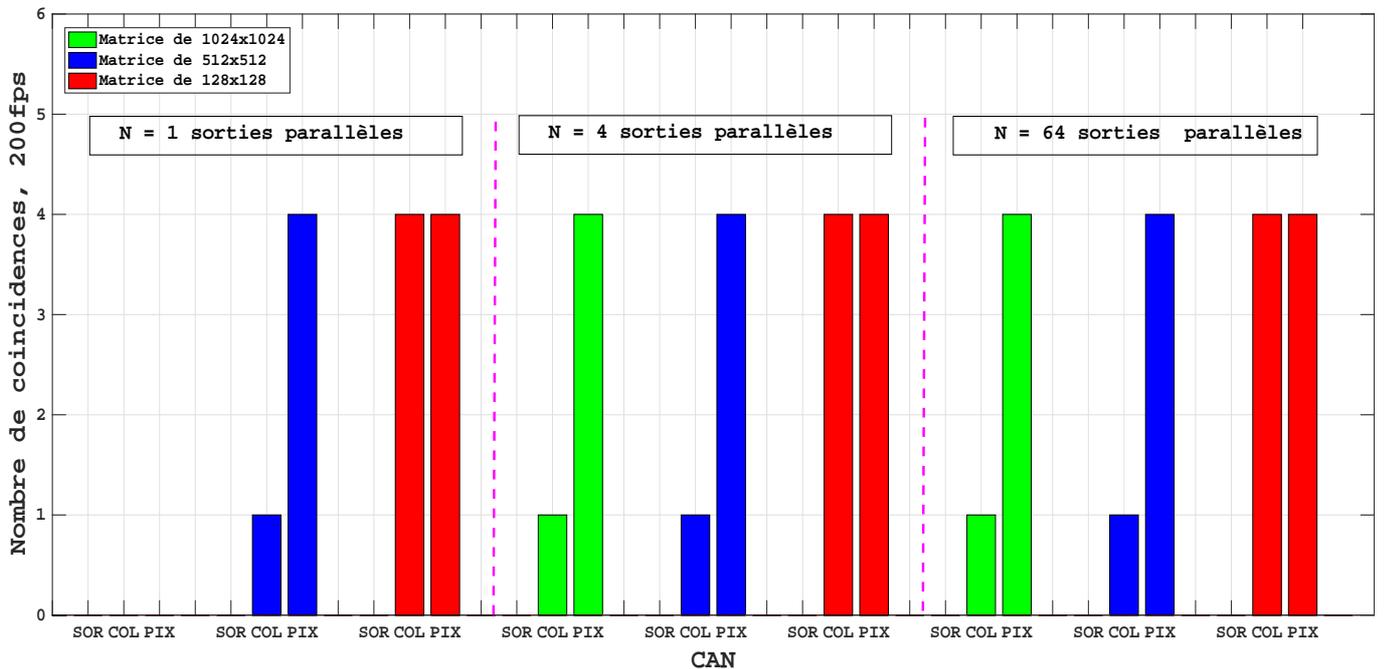


FIGURE 1.30 – Les simulation paramétriques pour la cadence de sortie de 200fps. Matrices : 128x128, 512x512 et 1024x1024; Sorties en parallèle, N=1,4 et 64; CAN à 10 bits;  $T_{CAN} = 1\mu s, 11\mu s, 21\mu s$  et  $40\mu s$ ;  $T_{PIX} = 1ns$  à  $1000ns$ .

La figure1.30 nous montre, les résultats de simulation pour différents types de CAN et incidences avec la cadence image de 200fps. Les types de CANs, SOR pour CAN dans la sortie, COL pour CAN dans la colonne et PIX pour CAN dans le pixel, sont présentés. Si le nombre de sorties augmente tant l'architecture parallèle que la semi-parallèle peuvent arriver à la valeur

désirée. De ce fait, la matrice est divisée en sous matrices. De cette manière, l'architecture semi-parallèle allège le flux des données photoniques d'une matrice à grand format. L'architecture du CAN dans la sortie ne peut pas arriver à la valeur désirée à cause de la dépendance des dimensions de la matrice.

Nous pouvons **conclure** que dès que les matrices ont un grand format, il est nécessaire de faire des sous matrices pour obtenir une valeur de cadence de sortie élevée en utilisant l'architecture parallèle ou la semi-parallèle. Dans la partie *topologique*, l'architecture *parallèle* en comparaison avec la *semi-parallèle*, permet de faire le traitement bas bruit et d'intégrer dans le pixel un CAN. Malheureusement, cela prendra beaucoup d'espace et va sûrement descendre les paramètres opto-électriques si l'imageur est fait de manière monolithique (sans microlentilles et sans BSI).

Si l'architecture parallèle est choisie, cette *analyse incite à se poser des questions* sur l'intégration des circuits dans le pixel avec la technologie CMOS standard. Par exemple, par rapport aux transistors, combien de transistors peut-on intégrer dans un pixel ? Quelles sont les conséquences des couplages dans le pixel ? Quel est le positionnement optimal de ces circuits ? Toutes ces questions sont abordées dans les paragraphes suivants.

### 1.6.1 Intégration d'un CAN dans le pixel.

Un avantage de l'intégration des circuits dans le pixel, est de faire du traitement de signal de bas bruit. Cependant, un convertisseur analogique numérique occupe une aire plus grande que celle du pixel comme vu dans l'état de l'art. Ainsi, l'aire du pixel augmentera.

Pour avoir un ordre de grandeur de l'impact de l'intégration, nous allons prendre un transistor de différentes technologies (0.13um, 0.18um, 0.35um et 0.7um.) et les mettre d'une manière ordonnée dans un pixel pour savoir la quantité des transistors pouvant être accueillis (figure1.31(a)). Cette opération est répétée pour 3 tailles de pixel : 15um x 15um, 10um x 10um, 5um x 5um. La figure1.31(a) montre les dimensions des transistors dans l'aire du pixel. La figure1.31(b) montre le rapport entre la technologie et la taille du pixel. Dès que la technologie diminue, la quantité de transistors ajoutés augmente. Par exemple, dans une aire d'un pixel de 10umx10um, la quantité transistors implémentés avec la technologie 0.13um est 104. Dans la même aire, seulement 2 transistors sont implémentés avec la technologie 0.7um. Le tableau1.2 montre la quantité des transistors dans différents tailles de pixel.

La figure 1.31(b) montre le rapport entre la technologie et la taille du pixel. Dès que la technologie diminue, la quantité de transistors ajoutés augmente. Par exemple, dans une aire d'un pixel de 10umx10um, la quantité de transistors implémentés avec la technologie 0.13um est 104. Dans la même aire, seulement 2 transistors sont implémentés avec la technologie 0.7um. Le tableau 1.2 montre la quantité des transistors dans différentes tailles de pixels.

Dans le cas d'imageurs, le tableau 1.3 montre les réalisations plus pertinentes en terme d'aire des CANs.

Ces résultats mettent en évidence que la quantité de transistors et l'aire du CAN peuvent limiter la construction d'un circuit (CAN) dans un pixel en utilisant la technologie standard

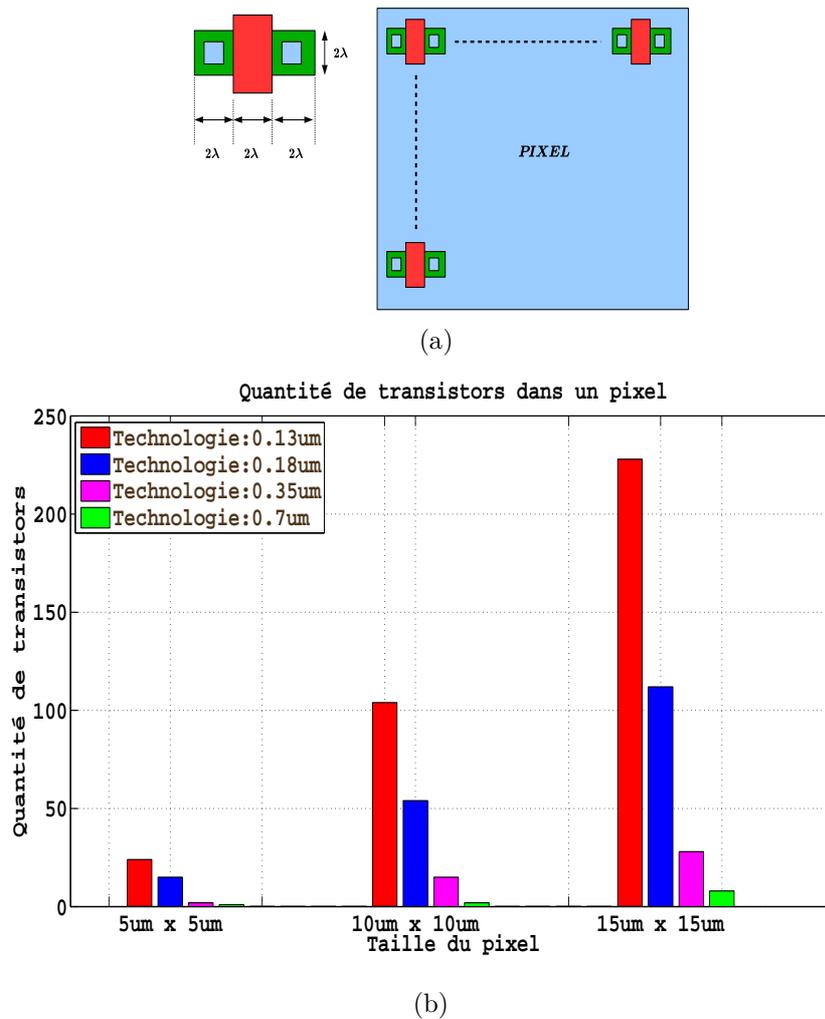


FIGURE 1.31 – Intégration des transistors dans le pixel : (a) Taille de transistor et positionnement des transistors dans le pixel. ; (b) Rapport entre différentes technologies et tailles de pixels.

Taille du pixel	Technologie 0.13um	Technologie 0.18um	Technologie 0.35um	Technologie 0.7um
5um x 5um	24	15	2	1
10um x 10um	104	54	15	2
15um x 15um	228	112	28	8

Tableau 1.2 – Quantité des transistors dans différentes tailles de pixels[70].

	Aire CAN [ $\mu m^2$ ]	Taille Pixel [ $\mu m^2$ ]	$T_{CAN}$ [ $\mu s$ ]	FR [ $fps$ ]
CIS[47] SS 8b in pixel	20.3	9.5x9.5	25	10000
CIS[43] SAR col 11b	235.2	5.3x5.3	22.4	1.4
CIS[44] $\Sigma\Delta$ col 12b	4000	5x5	22.7	60

Tableau 1.3 – Aire du CAN[43, 44, 47].

CMOS. Cependant, le CAN SS (simple rampe) peut donner une solution à la contrainte d'espace du fait à sa petite taille (20% de l'aire occupée du pixel[47]).

### 1.6.2 Couplage apporté du CAN dans le pixel.

Le fait d'ajouter un CAN dans le pixel créera un couplage inévitable avec les circuits analogiques. De plus, le CAN a besoin de se connecter avec les circuits périphériques de contrôle, ce qui ajoute des lignes supplémentaires à la matrice. Ensuite, comme un imageur est un circuit matriciel, il y aura des interconnexions avec les autres pixels qui pourront polluer les valeurs photoniques.

Heureusement, l'état de l'art montre que la lithographie diminue et que par conséquent la capacité d'intégration de circuits et d'interconnexions augmente. Cette réduction technologique peut créer des couplages indésirables. Pour évaluer ceci, nous allons calculer la capacité de couplage en fonction de la séparation entre 2 lignes métalliques (figure 1.32). La distance entre ces 2 lignes varie en fonction des technologies (0.13 $\mu\text{m}$ , 0.18 $\mu\text{m}$ , 0.35 $\mu\text{m}$  et 0.7 $\mu\text{m}$ ) [70, 71].

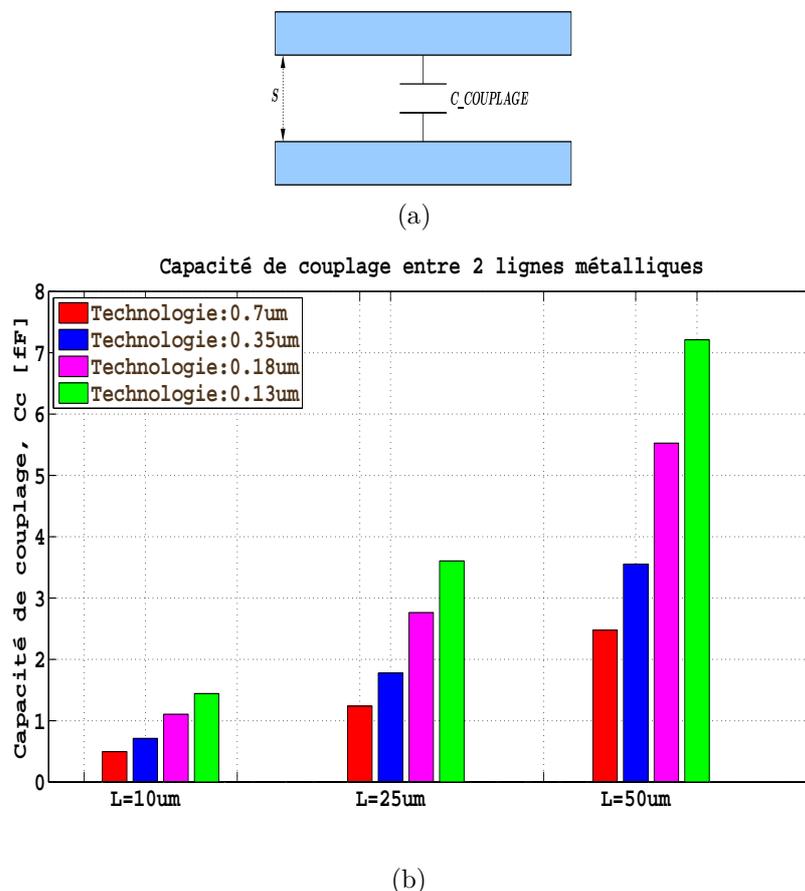


FIGURE 1.32 – Capacité de couplage de 2 lignes métalliques : (a) Section transversale des 2 lignes métalliques ; (b) Capacités de couplage entre 2 lignes métalliques avec différentes technologies (0.13 $\mu\text{m}$ , 0.18 $\mu\text{m}$ , 0.35 $\mu\text{m}$  et 0.7 $\mu\text{m}$ .)

La figure 1.32(b) montre le rapport entre la technologie et la distance entre 2 lignes avec des différents longueurs  $L$ . Si la technologie diminue, la distance entre 2 lignes métalliques diminue aussi, donc la capacité de couplage augmente. Le tableau 1.4 présente les valeurs calculées des capacités de couplages <sup>m</sup>.

Cet effet capacitif peut avoir un impact sur l'intégrité des signaux analogiques dans un pixel. Ceci peut être une limite pour l'intégration du CAN dans un pixel en utilisant la technologie

<sup>m</sup>. Le calcul des capacités de couplage est approfondie dans le chapitre 3.

Technologie	W[um]	S[um]	T[um]	L[um]	H[um]	$C_C$ [fF]
0.7um	1.60	1.60	1.10	10	1	0.49
0.35um	0.80	0.80	0.80	10	1	0.71
0.18um	0.28	0.28	0.45	10	1	1.10
0.13um	0.20	0.20	0.45	10	1	1.44
0.7um	1.60	1.60	1.10	25	1	1.23
0.35um	0.80	0.80	0.80	25	1	1.77
0.18um	0.28	0.28	0.45	25	1	2.76
0.13um	0.20	0.20	0.45	25	1	3.60
0.7um	1.60	1.60	1.10	50	1	2.47
0.35um	0.8	0.80	0.80	50	1	3.55
0.18um	0.28	0.28	0.45	50	1	5.52
0.13um	0.20	0.20	0.45	50	1	7.21

Tableau 1.4 – Capacité de couplage  $C_C$  dans différents technologies[70, 71].

standard CMOS.

### 1.6.3 Positionnement du CAN dans le pixel.

Le routage des lignes métalliques de ces circuits supplémentaires induisent des difficultés. Celles-ci sont dû au fait que les lignes occupent également une aire physique. Les problèmes sont liées aux couplages entre ces lignes et le croisement physique.

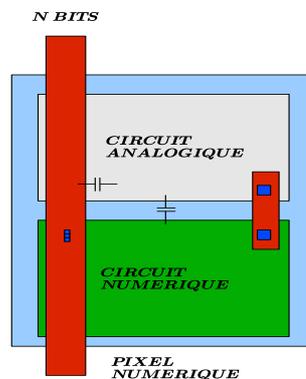


FIGURE 1.33 – Positionnement du CAN dans le pixel.

La figure 1.33 montre un modèle d'implémentation où la densité des lignes métalliques peut dégrader directement l'intégrité des signaux photoniques dès qu'ils sont en fonctionnement. A cause de la numérisation dans le pixel, les signaux numériques peuvent coupler ou dégrader les signaux analogiques dès que ces circuits travaillent en parallèle (pipeline).

En **synthèse**, l'architecture parallèle "CAN dans le pixel" a beaucoup d'avantages en termes de bruit et intégration de circuits par rapport à ses paires déjà mentionnées. Cependant, les difficultés décrites ci-dessus montrent que la technologie standard CMOS a des limites pour la construction de cette architecture. Celle-ci provoque des bruits indésirables et une aire limitée de construction. L'implémentation 3D de cette architecture pourra peut-être réduire ces contraintes. Le chapitre suivant va décrire la technologie d'intégration 3D afin de choisir un axe de développement pour l'implémentation de cette architecture

## 1.7 Conclusion

Dans la première partie du chapitre, le capteur d'image CMOS a été décrit. Le fonctionnement, les types de pixels et les architectures couramment utilisées sont montrés. Quelques facteurs de mérite sont donnés, ceci nous donne une idée des performances à savoir quelles sont les limites de fonctionnement et les applications possibles. Les publications et réalisations montraient que la technologie prédominante dans la construction des capteurs d'image était la technologie CDD grâce aux performances opto-électriques entre autres. En parallèle, la technologie CMOS pour les imageurs a commencé à avoir de l'importance avec de nouveaux capteurs d'image (pixel passif), mais ces imageurs avaient des performances réduites. Cette technologie s'est développée avec l'invention du capteur APS. L'intégration des circuits dans le capteur d'image avait un avantage : la fabrication de la partie photosensible et des circuits utilise les mêmes procédés de fabrication ce qui réduit le coût. De plus, ils sont réalisés sur le même wafer, cependant cet avantage n'était pas bien exploité. Après des recherches pointues avec les imageurs APS, les performances de ces derniers ont augmentées. Depuis une décennie, les publications montraient que l'intégration permet le traitement des signaux dans le pixel (réduction du bruit), la conversion des signaux photoniques aux signaux numériques et l'augmentation des performances opto-électriques entre autres.

Les études de l'impact de l'intégration montrent qu'il y a 2 architectures qui sont intéressantes pour avoir une grande cadence de sortie. L'architecture la plus intéressante, est celle du *CAN dans le pixel* dû à la possibilité de réduction du bruit et la possibilité d'intégrer un CAN à taille réduite. Cependant cette intégration pose également de nouvelles difficultés, comme par exemple un nombre limité de transistors dans les pixels, le couplage et le positionnement des circuits. La quantité de transistors est limitée par la taille du pixel. Les couplages augmentent si la densité des lignes métalliques augmente. Donc, l'implémentation monolithique peut réduire les avantages obtenus dans cette étude.

L'architecture *CAN dans le pixel* sera utilisée comme exemple de vérification des potentialités de la **technologie d'intégration 3D** afin de réduire les contraintes citées. Dans le chapitre suivant, la technologie 3D est décrite pour avoir une vue d'ensemble et savoir qu'elle est la meilleure pour l'implémentation physique dans le cas d'intégration des circuits dans le pixel d'un capteur d'image.

## Bibliographie

- [1] K. Phan, “Thoughts on canon eos m system,” <http://opticalcollimator.com/2012/07/27/thoughts-on-canon-eos-m-system/>.
- [2] E. R. Fossum, “Cmos active pixel image sensors : Past, present, and future,” South Korea., 2008.
- [3] P. MARTIN-GONTHIER, “Contribution à l’amélioration de la dynamique des capteurs d’image cmos à réponse linéaire,” Ph.D. dissertation, ISAE, 2010.
- [4] U. de Stanford, “Ee392b image sensors,” 2005.
- [5] MICRON, “The evolution of digital imaging : From ccd to cmos,” *WHITE PAPER*, 2006.
- [6] A. Theuwissen, “For pixels ; size matters,” *Photonics Spectra*, 2000.
- [7] ———, “Ccd or cmos image sensors for consumer digital still photography ?” in *VLSI Technology, Systems, and Applications, 2001. Proceedings of Technical Papers. 2001 International Symposium on*, 2001, pp. 168 –171.
- [8] A. E. Gamal, “Pixel level processing —why, what, and how ?” *SPIE Conference on Sensors, Cameras, and Applications for Digital Photography*, 1999.
- [9] A. Darmont, “Spectral response of silicon image sensors,” *Aphesa White paper*, 2009.
- [10] J. Ohta, *Smart CMOS Image Sensors and Applications*, ser. ISBN : 978-0-8493-3681-2. CRC Press 2007.
- [11] X. Liu, “Cmos image sensors dynamic range and snr enhancement via statistical signal processing,” Ph.D. dissertation, Stanford University, 2002.
- [12] I. Fujimori, C.-C. Wang, and C. Sodini, “A 256 times ;256 cmos differential passive pixel imager with fpn reduction techniques,” pp. 106 –107, 2000.
- [13] Y. DEGERLI, “Etude, modélisation des bruits et conception des circuits de lecture dans les capteurs d’images à pixels actifs cmos,” Ph.D. dissertation, L’ECOLE NATIONALE SUPERIEURE DE L’AERONAUTIQUE ET DE L’ESPACE, 2000.
- [14] T. York, “Fundamentals of image sensor performance,” <http://www.cse.wustl.edu/~jain/cse567-11/ftp/imgsens.pdf/>.
- [15] P. COUDRAIN, “Contribution au développement d’une technologie d’intégration tridimensionnelle pour les capteurs d’images cmos à pixels actifs,” Ph.D. dissertation, ISAE, Université de Toulouse, 2009.
- [16] A. J. Theuwissen, “{CMOS} image sensors : State-of-the-art,” *Solid-State Electronics*, vol. 52, no. 9, pp. 1401 – 1406, 2008. [Online]. Available : <http://www.sciencedirect.com/science/article/pii/S0038110108001317>

- [17] H. Tian, "Noise analysis in cmos image sensors," Ph.D. dissertation, Stanford University, 2000.
- [18] C. Cavadore, "Conception et caractérisation de capteurs d'images à pixel actifs cmos," Ph.D. dissertation, SUPAERO, 1998.
- [19] V. GOIFFON, "Contribution à une approche structurée de la conception des imageurs cmos en vue de leur durcissement à l'environnement radiatif spatial," Ph.D. dissertation, ISAE, 2008.
- [20] A. J. Theuwissen, "How to measure : Fixed-pattern noise in light or prnu (1)," <http://harvestimaging.com/blog/?p=916>.
- [21] J. Solhusvik, "Étude et conception de capteurs d'images À pixels actifs et de l'Électronique de traitement associÉE en vue d'applications faible flux," Ph.D. dissertation, SUPAERO, 1996.
- [22] H.-S. Wong, "Technology and device scaling considerations for cmos imagers," *Electron Devices, IEEE Transactions on*, vol. 43, no. 12, pp. 2131–2142, dec 1996.
- [23] H.-S. P. Wong, "Cmos image sensors-recent advances and device scaling considerations," pp. 201–204, dec 1997.
- [24] V. Suntharalingam, R. Berger, J. A. Burns, C. K. Chen, C. L. Keast, J. M. Knecht, R. D. Lambert, K. L. Newcomb, D. M. O'Mara, D. D. Rathman, D. C. Shaver, A. M. Soares, C. N. Stevenson, B. M. Tyrrell, K. Warner, B. D. Wheeler, D. R. W. Yost, and D. J. Young, "Megapixel cmos image sensor fabricated in three-dimensional integrated circuit technology," in *ISSCC. 2005 IEEE International Digest of Technical Papers. Solid-State Circuits Conference, 2005.*, Feb 2005, pp. 356–357 Vol. 1.
- [25] E. Culurciello and P. Weerakoon, "Three-dimensional photodetectors in 3-d silicon-on-insulator technology," *IEEE Electron Device Letters*, vol. 28, no. 2, pp. 117–119, Feb 2007.
- [26] V. Suntharalingam, R. Berger, S. Clark, J. Knecht, A. Messier, K. Newcomb, D. Rathman, R. Slattery, A. Soares, C. Stevenson, K. Warner, D. Young, L. P. Ang, B. Mansoorian, and D. Shaver, "A 4-side tileable back illuminated 3d-integrated mpixel cmos image sensor," in *2009 IEEE International Solid-State Circuits Conference - Digest of Technical Papers*, Feb 2009, pp. 38–39,39a.
- [27] K. Kiyoyama, K. W. Lee, T. Fukushima, H. Naganuma, H. Kobayashi, T. Tanaka, and M. Koyanagi, "A block-parallel signal processing system for cmos image sensor with three-dimensional structure," in *3D Systems Integration Conference (3DIC), 2010 IEEE International*, Nov 2010, pp. 1–4.

- [28] S. F. Yeh, C. C. Hsieh, and K. Y. Yeh, "A 3 megapixel 100 fps 2.8  $\mu$  m pixel pitch cmos image sensor layer with built-in self-test for 3d integrated imagers," *IEEE Journal of Solid-State Circuits*, vol. 48, no. 3, pp. 839–849, March 2013.
- [29] K. W. Lee, Y. Ohara, K. Kiyoyama, S. Konno, Y. Sato, S. Watanabe, A. Yabata, T. Kamada, J. C. Bea, H. Hashimoto, M. Murugesan, T. Fukushima, T. Tanaka, and M. Koyanagi, "Characterization of chip-level hetero-integration technology for high-speed, highly parallel 3d-stacked image processing system," in *Electron Devices Meeting (IEDM), 2012 IEEE International*, Dec 2012, pp. 33.2.1–33.2.4.
- [30] J. Aoki, Y. Takemoto, K. Kobayashi, N. Sakaguchi, M. Tsukimura, N. Takazawa, H. Kato, T. Kondo, H. Saito, Y. Gomi, and Y. Tadaki, "A rolling-shutter distortion-free 3d stacked image sensor with 160db parasitic light sensitivity in-pixel storage node," in *2013 IEEE International Solid-State Circuits Conference Digest of Technical Papers*, Feb 2013, pp. 482–483.
- [31] F. Raymundo, P. Martin-Gonthier, R. Molina, S. Rolando, and P. Magnan, "Exploring the 3d integration technology for cmos image sensors," in *Electronics, Control, Measurement, Signals and their application to Mechatronics (ECMSM), 2013 IEEE 11th International Workshop of*, June 2013, pp. 1–5.
- [32] C. C. M. Liu, C.-H. Chang, H.-Y. Tu, C. Y. P. Chao, F.-L. Hsueh, S.-Y. Chen, V. Hsu, J.-C. Liu, D.-N. Yaung, and S.-G. Wu, "A peripheral switchable 3d stacked cmos image sensor," in *2014 Symposium on VLSI Circuits Digest of Technical Papers*, June 2014, pp. 1–2.
- [33] M. Ikebe, D. Uchida, Y. Take, M. Someya, S. Chikuda, K. Matsuyama, T. Asai, T. Kuroda, and M. Motomura, "Image sensor/digital logic 3d stacked module featuring inductive coupling channels for high speed/low-noise image transfer," in *2015 Symposium on VLSI Circuits (VLSI Circuits)*, June 2015, pp. C82–C83.
- [34] S. F. Yeh, K. Y. Chou, H. Y. Tu, C. Y. P. Chao, and F. L. Hsueh, "A 0.66e rms temporal-readout-noise 3d-stacked cmos image sensor with conditional correlated multiple sampling (ccms) technique," in *2015 Symposium on VLSI Circuits (VLSI Circuits)*, June 2015, pp. C84–C85.
- [35] T. Kondo, Y. Takemoto, K. Kobayashi, M. Tsukimura, N. Takazawa, H. Kato, S. Suzuki, J. Aoki, H. Saito, Y. Gomi, S. Matsuda, and Y. Tadaki, "A 3d stacked cmos image sensor with 16mpixel global-shutter mode and 2mpixel 10000fps mode using 4 million interconnections," in *2015 Symposium on VLSI Circuits (VLSI Circuits)*, June 2015, pp. C90–C91.
- [36] K. Shiraishi, Y. Shinozuka, T. Yamashita, K. Sugiura, N. Watanabe, R. Okamoto, T. Ashitani, M. Furuta, and T. Itakura, "6.7 a 1.2e temporal noise 3d-stacked cmos image sensor with comparator-based multiple-sampling pga," in *2016 IEEE International Solid-State Circuits Conference (ISSCC)*, Jan 2016, pp. 122–123.

- [37] T. Arai, T. Yasue, K. Kitamura, H. Shimamoto, T. Kosugi, S. Jun, S. Aoyama, M. C. Hsu, Y. Yamashita, H. Sumi, and S. Kawahito, “6.9  $\mu\text{m}$  33mpixel 240fps 3d-stacked cmos image sensor with 3-stage cyclic-based analog-to-digital converters,” in *2016 IEEE International Solid-State Circuits Conference (ISSCC)*, Jan 2016, pp. 126–128.
- [38] A. Khakoni, H. Le-Thai, and G. G. E. Gielen, “A low-noise high-frame-rate 1-d decoding readout architecture for stacked image sensors,” *IEEE Sensors Journal*, vol. 14, no. 6, pp. 1966–1973, June 2014.
- [39] R. Xu, W. C. Ng, J. Yuan, S. Yin, and S. Wei, “A 1/2.5 inch vga 400 fps cmos image sensor with high sensitivity for machine vision,” *IEEE Journal of Solid-State Circuits*, vol. 49, no. 10, pp. 2342–2351, Oct 2014.
- [40] J. B. Kim, S. K. Hong, and O. K. Kwon, “A low-power cmos image sensor with area-efficient 14-bit two-step sa adcs using pseudomultiple sampling method,” *IEEE Transactions on Circuits and Systems II : Express Briefs*, vol. 62, no. 5, pp. 451–455, May 2015.
- [41] J. Lee, H. Park, B. Song, K. Kim, J. Eom, K. Kim, and J. Burm, “High frame-rate vga cmos image sensor using non-memory capacitor two-step single-slope adcs,” *IEEE Transactions on Circuits and Systems I : Regular Papers*, vol. 62, no. 9, pp. 2147–2155, Sept 2015.
- [42] H. Totsuka, T. Tsuboi, T. Muto, D. Yoshida, Y. Matsuno, M. Ohmura, H. Takahashi, K. Sakurai, T. Ichikawa, H. Yuzurihara, and S. Inoue, “6.4  $\mu\text{m}$  aps-h-size 250mpixel cmos image sensor using column single-slope adcs with dual-gain amplifiers,” in *2016 IEEE International Solid-State Circuits Conference (ISSCC)*, Jan 2016, pp. 116–117.
- [43] D. G. Chen, M. K. Law, Y. Lian, and A. Bermak, “Low-power cmos laser doppler imaging using non-cds pixel readout and 13.6-bit sar adc,” *IEEE Transactions on Biomedical Circuits and Systems*, vol. 10, no. 1, pp. 186–199, Feb 2016.
- [44] Y. R. Jo, S. K. Hong, and O. K. Kwon, “A low-noise and area-efficient pwm-  $\delta\sigma$  adc using a single-slope quantizer for cmos image sensors,” *IEEE Transactions on Electron Devices*, vol. 63, no. 1, pp. 168–173, Jan 2016.
- [45] B. Fowler, A. E. Gamal, and D. X.-D. Yang, “A cmos area image sensor with pixel-level a/d conversion,” *IEEE International Solid-State Circuits Conference*, 1994.
- [46] D. Yang, B. Fowler, and A. Gamal, “A nyquist rate pixel level adc for cmos image sensors,” pp. 237–240, may 1998.
- [47] S. Kleinfelder, S. Lim, X. Liu, and A. El Gamal, “A 10000 frames/s cmos digital pixel sensor,” *Solid-State Circuits, IEEE Journal of*, vol. 36, no. 12, pp. 2049–2059, dec 2001.
- [48] R. Guidash, T.-H. Lee, P. Lee, D. Sackett, C. Drowley, M. Swenson, L. Arbaugh, R. Hollstein, F. Shapiro, and S. Domer, “A 0.6  $\mu\text{m}$  cmos pinned photodiode color imager technology,” pp. 927–929, Dec. 1997.

- [49] J. Perkins, "Cmos image sensors technology & market trends," *IEEE-CPMT / IMAPS*, 2012.
- [50] A. El Gamal, "Trends in cmos image sensor technology and design," *Electron Devices Meeting*, 2002.
- [51] V. Korobov, C. Cork, H. Wolf, and S. Fainleib, "Characterization methodology for microlens performance in cmos image sensors," in *IEEE Workshop on Charge-Coupled Devices and Advanced Image Sensors*, 2001.
- [52] Teledyne, "Optical microlenses," [http://www.teledyne-si.com/optical\\_microlenses/](http://www.teledyne-si.com/optical_microlenses/).
- [53] H. Rhodes, G. Agranov, C. Hong, U. Boettiger, R. Mauritzson, J. Ladd, I. Karasev, J. McKee, E. Jenkins, W. Quinlin, I. Patrick, J. Li, X. Fan, R. Panicacci, S. Smith, C. Mouli, and J. Bruce, "Cmos imager technology shrinks and image performance," in *Microelectronics and Electron Devices, 2004 IEEE Workshop on*, 2004, pp. 7–18.
- [54] I. S. World, "Chipworks reverse engineered samsung image sensor," [http://image-sensors-world.blogspot.fr/2006\\_03\\_01\\_archive.html](http://image-sensors-world.blogspot.fr/2006_03_01_archive.html).
- [55] C. S. Bamji, P. O'Connor, T. Elkhatib, S. Mehta, B. Thompson, L. A. Prather, D. Snow, O. C. Akkaya, A. Daniel, A. D. Payne, T. Perry, M. Fenton, and V. H. Chan, "A 0.13."
- [56] E. F. Robert Nixon, Nicholas Doudoumopoulos, "Backside illumination of cmos image sensor, us patent 6429036," Patent 6 429 036, 1999.
- [57] P. Garrou, "Iftle 90 highlights from the iee 3dic 2012 japan," <http://citrix.cleanrooms.com/index/packaging/packaging-blogs/>, 2012.
- [58] SONY, "Sony develops back-illuminated cmos image sensor, realizing high picture quality, nearly twofold sensitivity(\*1) and low noise," <http://www.sony.net/SonyInfo/News/Press/200806/08-069E/>, 2008.
- [59] H. Wakabayashi, K. Yamaguchi, M. Okano, S. Kuramochi, O. Kumagai, S. Sakane, M. Ito, M. Hatano, M. Kikuchi, Y. Yamagata, T. Shikanai, K. Koseki, K. Mabuchi, Y. Maruyama, K. Akiyama, E. Miyata, T. Honda, M. Ohashi, and T. Nomoto, "A 1/2.3-inch 10.3mpixel 50frame/s back-illuminated cmos image sensor," pp. 410–411, feb. 2010.
- [60] SONY, "Sony backside illuminated (bsi) cmos image sensor," <http://www.i-micronews.com/news/Sony-Backside-Illuminated-BSI-CMOS-Image-Sensor,3161.html>, 2009.
- [61] M. El-Desouki, M. Jamal Deen, Q. Fang, L. Liu, F. Tse, and D. Armstrong, "Cmos image sensors for high speed applications," *Sensors*, vol. 9, no. 1, pp. 430–444, 2009.

- [62] Y. Lim, K. Koh, K. Kim, H. Yang, J. Kim, Y. Jeong, S. Lee, H. Lee, S. H. Lim, Y. Han, J. Kim, J. Yun, S. Ham, and Y. T. Lee, "A 1.1e- temporal noise 1/3.2-inch 8mpixel cmos image sensor using pseudo-multiple sampling," in *2010 IEEE International Solid-State Circuits Conference - (ISSCC)*, Feb 2010, pp. 396–397.
- [63] M. S. Shin, J. B. Kim, M. K. Kim, Y. R. Jo, and O. K. Kwon, "A 1.92-megapixel cmos image sensor with column-parallel low-power and area-efficient sa-adcs," *IEEE Transactions on Electron Devices*, vol. 59, no. 6, pp. 1693–1700, June 2012.
- [64] D. G. Chen, F. Tang, and A. Bermak, "A low-power pilot-dac based column parallel 8b sar adc with forward error correction for cmos image sensors," *IEEE Transactions on Circuits and Systems I : Regular Papers*, vol. 60, no. 10, pp. 2572–2583, Oct 2013.
- [65] S. Matsuo, T. Bales, M. Shoda, S. Osawa, B. Almond, Y. Mo, J. Gleason, T. Chow, and I. Takayanagi, "A very low column fpn and row temporal noise 8.9 m-pixel, 60 fps cmos image sensor with 14bit column parallel sa- adc," in *2008 IEEE Symposium on VLSI Circuits*, June 2008, pp. 138–139.
- [66] J. H. Park, S. Aoyama, T. Watanabe, K. Isobe, and S. Kawahito, "A high-speed low-noise cmos image sensor with 13-b column-parallel single-ended cyclic adcs," *IEEE Transactions on Electron Devices*, vol. 56, no. 11, pp. 2414–2422, Nov 2009.
- [67] M. W. Seo, T. Sawamoto, T. Akahori, T. Iida, T. Takasawa, K. Yasutomi, and S. Kawahito, "A low noise wide dynamic range cmos image sensor with low-noise transistors and 17b column-parallel adcs," *IEEE Sensors Journal*, vol. 13, no. 8, pp. 2922–2929, Aug 2013.
- [68] T. Yasue, K. Kitamura, T. Watabe, H. Shimamoto, T. Kosugi, T. Watanabe, S. Aoyama, M. Monoi, Z. Wei, and S. Kawahito, "A 1.7-in, 33-mpixel, 120-frames/s cmos image sensor with depletion-mode mos capacitor-based 14-b two-stage cyclic a/d converters," *IEEE Transactions on Electron Devices*, vol. 63, no. 1, pp. 153–161, Jan 2016.
- [69] Y. Chae, J. Cheon, S. Lim, M. Kwon, K. Yoo, W. Jung, D.-H. Lee, S. Ham, and G. Han, "A 2.1 m pixels, 120 frame/s cmos image sensor with column-parallel adc architecture," *Solid-State Circuits, IEEE Journal of*, vol. 46, no. 1, pp. 236–247, 2011.
- [70] N. Integration and M. N. G. at ASU, "Predictive technology model (ptm)," <http://ptm.asu.edu/>.
- [71] F. Caignet, "Mesure et modélisation prédictive des phénomènes parasites liés aux interconnexions dans les technologies cmos," Ph.D. dissertation, Institut national des sciences appliquées de Toulouse, 1999.
- [72] Y. Tochigi, K. Hanzawa, Y. Kato, R. Kuroda, H. Mutoh, R. Hirose, H. Tominaga, K. Takubo, Y. Kondo, and S. Sugawa, "A global-shutter cmos image sensor with readout speed of 1tpixel/s burst and 780mpixel/s continuous," pp. 382–384, feb. 2012.

## Chapitre 2

# Technologies d'intégration 3D pour les capteurs d'image CMOS.

Ce chapitre décrit les principaux types de technologie d'intégration 3D. Cela va nous permettre d'avoir une vision globale dans l'utilisation de ces technologies pour la construction des capteurs d'image CMOS.

Pour commencer cette analyse, le développement, au fil du temps, de ces technologies est recueilli et présenté pour avoir une vue d'ensemble et les axes de développement de la technologie d'intégration 3D.

Deuxièmement, les potentialités d'amélioration des performances des imageurs CMOS utilisant ces technologies de construction 3D sont présentées.

A la fin de ce chapitre, les 3 principales technologies d'intégration 3D actuellement utilisées sont développées et illustrées par des travaux récents dans la construction des imageurs.

### 2.1 L'intégration des circuits grâce à la technologie d'intégration 3D.

Durant les 50 premières années du 20e siècle, la technologie des tubes électroniques dominaient l'industrie électronique. Mais cette technologie avait des limites par rapport à la puissance consommée, la fragilité des connections, l'évacuation de chaleur, entre autres. Donc à cette époque, les performances désirées étaient loin d'être atteintes[1]. Le besoin d'une autre technologie était évident pour surmonter les limites citées.

Grâce aux Laboratoires Bell, en 1947, le transistor a été inventé[2]. Cette technologie était plus durable, consommait moins d'énergie, et produisait moins de chaleur. Cependant, des problèmes subsistaient. Le plus important était l'interconnexion entre composants discrets. Pour la construction d'un circuit complexe ou dans un équipement, il était nécessaire d'utiliser de grandes quantités de composants électroniques, donc chaque interconnexion contribuait à la faible fiabilité du système. Les industriels se posaient la question de comment résoudre cette difficulté pour les composants du futur. Car ils se sont rendu compte que pour les applications de calcul, transmission et traitement de l'information, ils avaient besoin d'une grande quantité

de composants électroniques. Ce problème s'appelait "tyranny of numbers"[1]. L'industrie électronique avait donc deux grands sujets à traiter : l'interconnexion et le coût de fabrication.

Une approche apportée par l'armée américaine<sup>a</sup> était les micromodules[3, 4], où tous les composants étaient uniformes, avec la même taille et forme et une technique d'assemblage convenable. A la fin des années 50, les Laboratoires de Texas Instruments travaillaient dans les micromodules, et en 1958, Jack Kilby a été intégré au sein de ces laboratoires. Jack Kilby a pensé à une autre façon de résoudre ce problème, il a raisonné de la manière suivante : "*Dans les semiconducteurs, les résistances et les condensateurs pourraient être fabriqués à partir du même matériau que les dispositifs actifs, et tous les composants pourraient être faits d'un matériau unique. Ils pourraient également être réalisés in-situ interconnectés pour former un circuit complet*"[1]. A partir de ce raisonnement, l'intégration réelle a commencé.

Une voie d'intégration des circuits est la technologie de construction 3D. Celle-ci est décrite dans les paragraphes suivants.

### 2.1.1 Développement de la technologie d'intégration 3D.

L'histoire a mis en évidence 2 acteurs principaux dans le développement de la technologie 3D : l'école américaine et japonaise d'électronique. Le pionnier de cette technologie est l'école américaine, parce qu'elle a donné "les idées à suivre ou des fondements" depuis les années 50, avec l'idée du transistor et l'intégration des circuits entre autres. Un de ces principaux acteurs est IBM<sup>b</sup> qui a proposé des procédés de fabrication[4]. L'école japonaise a suivi cette tendance en proposant des innovations technologiques[5, 6] à partir des années 80's. Ils ont émis la nouvelle idée "More than Moore"[5]. Le tableau 2.1 montre le développement chronologique de cette technologie avec ces 2 acteurs.

Les années 80's furent très importantes pour le développement de la technologie 3D car il y avait 2 problèmes à résoudre : "La non continuité de la loi de Moore"[6] et "les ordinateurs du futur"[7]. En réalité, il y avait beaucoup de propositions ou options technologiques à suivre pour résoudre ces problèmes. L'option technologique 3D qui s'approche plus de l'empilement de wafers (*Technologie 3D Wafer-Level*), a été choisie[6]. En parallèle, les chercheurs ont aussi regardé l'option de construction des circuits par déposition et cristallisation des matériaux (*Technologie 3D de construction séquentielle*). Pendant les années 2000's cette tendance était très difficile à réaliser à cause des contraintes de logiciel, d'implémentation des circuits et du temps de mise sur le marché des produits[6]. Donc les chercheurs et industriels ont préféré une autre option : L'approche système (*Technologie 3D packaging*)[6], dont les premières implémentations étaient pour la téléphonie mobile[8, 9]. La figure 2.1 présente les 3 axes principaux de cette technologie 3D d'une manière chronologique.

De nos jours, les 2 problèmes ne sont pas encore résolus de manière complète, donc la technologie d'intégration en trois dimensions a commencé à avoir de l'importance et est exploitée dans quelques applications, comme les processeurs[10], FPGAs[11, 12], entre autres, pour s'affranchir

---

a. U.S. Army

b. International Business Machines Corporation.

des limites de la technologie actuelle.

Dans les paragraphes suivants, il est présenté les potentialités d'amélioration des performances pour les imageurs en utilisant la technologie d'intégration 3D

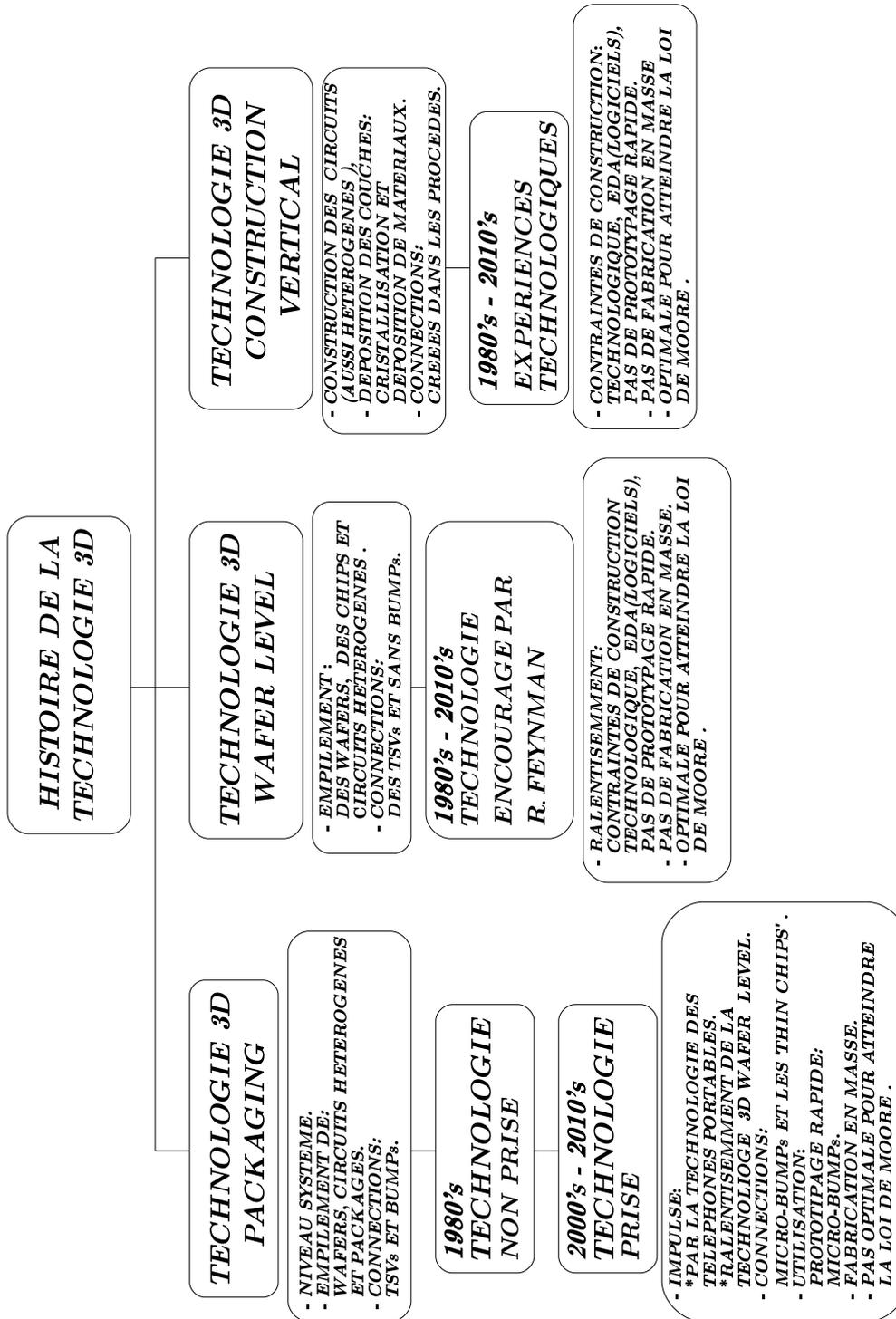


FIGURE 2.1 – Histoire des 3 axes de la technologie d'intégration 3D[4-6].

Principaux développeurs de la technologie 3D	
École américaine	École japonaise
<ul style="list-style-type: none"> <li>- <b>1960's</b> Développement des micromodules 3D, avec des niveaux de métaux dans le wafer, boîtiers multi-niveaux et cartes de double face.</li> <li>- <b>1970's</b> Production en masse des micromodules.</li> <li>- <b>1980's à 1990's</b> Introduction des couches céramiques et de boîtiers organiques. L'augmentation de couches s'est développé et l'empilement des circuits<sup>c</sup> et le SIP<sup>d</sup> sont apparus.</li> <li>- <b>1990's à 2000's</b> Introduction du TSV<sup>e</sup>, amincissement du silicium pour l'empilage des circuits, interconnexions "fine pitch" et croissance des matériaux. RPI<sup>f</sup> et autres laboratoires ont développé le procédé "Wafer bonding 3D (Cu bonding)". Motorola a fourni le procédé "Wafer bonding 3D(SOI)".</li> <li>- <b>2000's à 2010's</b> L'université de Stanford a développé le procédé amorphe-Si. Matrix Semiconductors a fourni le procédé Poly-Si. MIT a développé le procédé 3D d'intégration Hétérogène FD-SOI CMOS.</li> </ul>	<ul style="list-style-type: none"> <li>- <b>1980</b> Le MITI<sup>g</sup> a établi le comité de recherche des technologies 3D.</li> <li>- <b>1990's</b> Mitsubishi a développé le procédé "Laser anneal 3D". NEC a fourni le procédé "Wafer bonding 3D (Wafer Transfer)". L'université de Tohoku a développé le procédé "Wafer bonding 3D (Wafer Non Transfer)", le procédé 3D "Wafer bonding 3D (Buried interconnection)" et en collaboration avec le laboratoire Fraunhofer le procédé 3D "Wafer/Chip bonding 3D".</li> <li>- <b>2000's à 2010's</b>, le projet ASET a développé le procédé 3D "Chip bonding 3D". L'université de Tohoku a fourni le "Wafer to Wafer Bonding with TSV".</li> </ul>

Tableau 2.1 – Développement de la technologie 3D[4–6, 13–15].

## 2.2 Les potentialités d'amélioration des performances des imageurs CMOS en utilisant la technologie 3D.

Au contraire de la technologie CDD, la technologie CMOS permet d'intégrer des fonctions ou circuits dans les imageurs. Cela est dû à la miniaturisation ou la diminution du procédé lithographique. Par contre, la miniaturisation a une limite, car ils occupent un espace même si les circuits sont de taille réduite. Dans le cas d'un imageur à forte intégration de circuits, la taille du photo-détecteur dans le pixel doit être réduite. Il y aura aussi un bruit ajouté par les nouvelles fonctions dans les imageurs à prendre en compte pour le bruit du système. Donc tout n'est pas résolu avec la miniaturisation. Les limites de la technologie "Standard" CMOS pour les capteurs d'image à forte intégration de circuits sont les suivantes :

- Facteur de remplissage, impactant directement les performances de détection (EDS).
- Intégration des circuits dans le pixel.
- Bruit, associé aux nouveaux circuits dans le pixel (intégrité de signaux sensibles).
- Vitesse, associée aux architectures et positionnement de circuits.

---

c. Chip Stack.

d. System In Package.

e. Through Silicon Vias.

f. Rensselaer Polytechnic Institute.

g. Ministry of International Trade and Industry of Japan.

### 2.2.1 La technologie 3D pour le Facteur de Remplissage

La réduction de la taille du pixel a été rendue possible grâce à la miniaturisation de la technologie CMOS[44]. Un des premiers imageurs à forte intégration de circuits est sorti de l'université de Stanford et avait des fonctions dans le pixel[45]. Les fonctions sont : un CAN , une mémoire de 8 bits, un comparateur et le photo-récepteur, tout cela dans une aire de  $9.5\mu\text{m} \times 9.5\mu\text{m}$ . Donc, le facteur de remplissage était affecté et il était de seulement 15%. Il utilisait une technologie de  $0.18\mu\text{m}$ . Ce pixel est montré sur la figure 2.2.

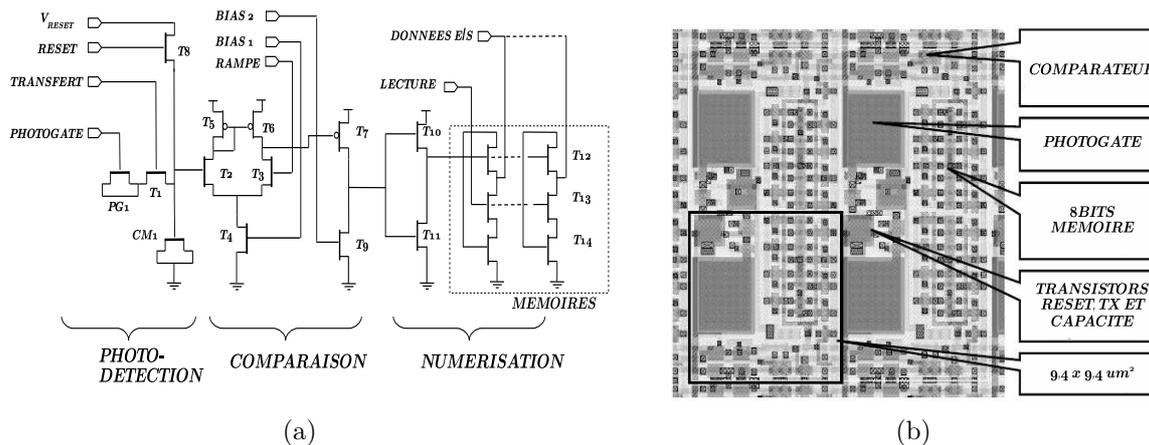


FIGURE 2.2 – Imageur à forte intégration de circuits[45] : (a) Schema du pixel ; (b) Layout du 4 pixels.

**Technologie 3D** Le facteur de remplissage pourrait être augmenté s'il utilisait une approche de fabrication 3D. Par exemple dans le cas de l'imageur hétérogène du MIT[15] il y avait 100% de facteur de remplissage et c'était grâce à la disposition de la partie photosensible dans un wafer top. Dans le cas du pixel de la figure 2.5(a), la *technologie d'intégration 3D Wafer level* pourrait être plus adaptée, car les circuits analogiques et numériques pourraient être séparés ou disposés dans différents wafers, ce qui donne plus d'espace dans un wafer pour mettre la partie photosensible et donc aboutirait à une augmentation du facteur de remplissage. La solution optimale est de construire un capteur d'image illuminé par la face arrière (BSI<sup>h</sup>). Pour la *technologie d'intégration 3D de construction séquentielle*, le circuit pourrait être conçu de façon similaire à la technologie citée auparavant en disposant les circuits dans différentes couches et en mettant la partie photosensible plus près de l'incidence des photons, comme un capteur d'image BSI.

### 2.2.2 La technologie 3D pour l'intégration des circuits dans le pixel

L'intégration des circuits CANs dans les imageurs, plus précisément dans les pixels, implique un traitement des signaux en parallèle[46], mais il ajoute une contrainte topologique dans

h. BackSide Illuminated.

l'architecture du pixel[47, 48], donc, cette option est souvent abandonnée. Des solutions sont apparues pour surmonter ce problème comme, par exemple, le partage des pixels[46], mais la complexité est reportée sur les circuits de lecture et les signaux de commande. La taille du pixel est déjà limitée par la partie photosensible et les circuits de lecture intra-pixel, donc, il manque de l'espace de construction pour intégrer des circuits dans le pixel.

**Technologie 3D** Les 2 approches : la *technologie d'intégration 3D Wafer level* et la *technologie d'intégration 3D de construction séquentielle* peut donner une solution augmentant l'espace de construction. Par exemple, avec la *technologie d'intégration 3D Wafer level* les architectures en utilisant les CAN dans les pixels pourraient disposer d'au moins du double aire du pixel. Cela grâce au collage entre wafers qui permet cette disposition des circuits. Avec la *technologie d'intégration 3D de construction séquentielle* le circuit est conçu sur ce principe en disposant l'aire nécessaire de construction dans différentes couches dans l'aire de construction de la photodiode. Mentionnant que les propres architectures et configurations des circuits peuvent ajouter de l'espace de construction. Cela était vu dans le chapitre 1 dans l'analyse de l'architecture en utilisant le CAN dans le pixel. Cette analyse montrait la possibilité de construire des circuits de taille réduite, car cette intégration dans le pixel fait que chaque CAN soit indépendant de l'architecture du capteur d'image, ce qui donne une liberté de choix des circuits pour le CAN et les connexions entre circuits peuvent être réduites.

### 2.2.3 La technologie 3D pour le bruit

L'intégration des fonctions dans les pixels implique des traitements des signaux intra-pixel, ce qui est avantageuse dans des systèmes embarqués. Malheureusement, il ajoute un bruit de couplage de la partie numérique à la chaîne de lecture analogique[45]. La miniaturisation aussi a fait que la densité des circuits augmente. Dans un capteur d'image, la densité de circuit se traduit dans un nombre supérieur des lignes métalliques, dont plus de couplages entre lignes[48]. Dans le cas d'un imageur rapide[49], il est possible le couplage entre les lignes des signaux, ce type d'imageur est illustré dans la figure2.3.

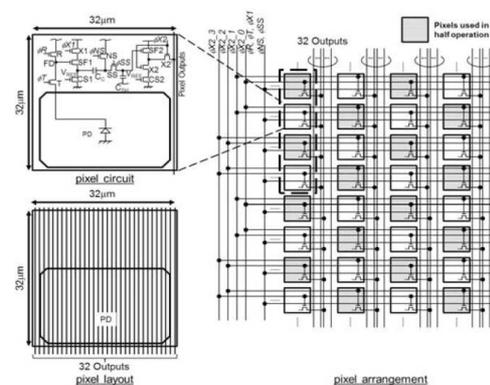


FIGURE 2.3 – Capteur d'image rapide[49] schéma du pixel montrant les lignes métalliques entre les pixels et les mémoires.

**Technologie 3D** La *technologie d'intégration 3D Wafer level* pourrait aider à séparer les circuits numériques et analogiques dans différents wafers, ce qui permettrait de réduire le bruit de couplage entre ces deux parties. Dans le cas de la *technologie d'intégration 3D de construction séquentielle*, on pourrait construire des couches intermédiaires ou des circuits qui puissent atténuer cet effet entre les 2 en utilisant différents matériaux ou de l'air.

### 2.2.4 La technologie 3D pour la vitesse

Dans les appareils de prise d'images à haute vitesse, la cadence de sortie est importante, car elle donne une idée du type du capteur d'image. Leurs sorties peuvent être analogiques ou numériques[50] et sont souvent appelées : "Frame Rates" ou cadence image. Le "frame rate" analogique est entre 1Kfps<sup>a</sup> à 400Mfps[50] et celle numérique est entre 100fps à 10Kfps[50]. Dans le cas d'un capteur d'image rapide, qui sort des valeurs analogiques, la seule limite concerne les effets RC des lignes métalliques de sortie, des colonnes et des lignes de la matrice. Pour le cas des valeurs numériques, il est plutôt affecté pour la cadence de l'horloge.

Pour ne pas dépendre directement des limites RC et avoir une cadence importante, il va falloir ajouter des circuits mémoire dans l'architecture[49, 50], ce qui donne une coupure de flux des valeurs et permet de ne pas dépendre du temps de traitement des circuits en amont. Par exemple, dans un capteur d'image rapide, la cadence de sortie est 1Tpixel/s[49]<sup>b</sup>, cela est rendu possible grâce à la configuration de l'architecture (voir figure2.3). L'architecture de chaque pixel permet de stocker 128 valeurs d'une scène rapide. Le "frame rate" est important grâce à la quantité de mémoires et l'architecture adaptée à ce type de cadence. Ces sorties travaillent avec une fréquence de 1Ghz[49].

**Technologie 3D** La *technologie d'intégration 3D Wafer level* peut contribuer à l'augmentation de la vitesse, par exemple dans le cas de l'imageur[49] (voir figure2.3), chaque valeur du pixel parcourt une distance différente pour arriver aux mémoires, donc avec cette technologie, les mémoires pourraient être disposées dans un autre wafer et cette distance pourrait être raccourcie à la taille d'une interconnexion (TSV ou autres).

En utilisant la *technologie d'intégration 3D de construction séquentielle* les interconnexions pourraient être réalisées avec différents matériaux[51] ce qui pourrait augmenter la vitesse et réduire l'effet RC.

Les potentialités de la technologie 3D ont été décrites. Dans les paragraphes suivants, les 3 axes principaux de cette technologie sont présentés afin de quantifier les vrais apports aux imageurs.

---

a. 1000 Frames par seconde.

b. Le capteur d'image a une taille de 400x256 pixels  $\approx 10^5$  pixels, donc le frame rate est  $(1\text{Tpixel/s})/(10^5 \text{ pixels}) = 10\text{Mfps}$ .

## 2.3 Technologie 3D Packaging

Ce type d'intégration technologique est composé d'au moins deux composants électroniques ou boîtiers micro-électroniques[8, 16] assemblés dans une pile verticale. Dans ce travail, 2 technologies seront présentées : SiP, System-in-Package et PoP, Package-on-Package. Les technologies d'intégration sont montrées sur la figure2.4.

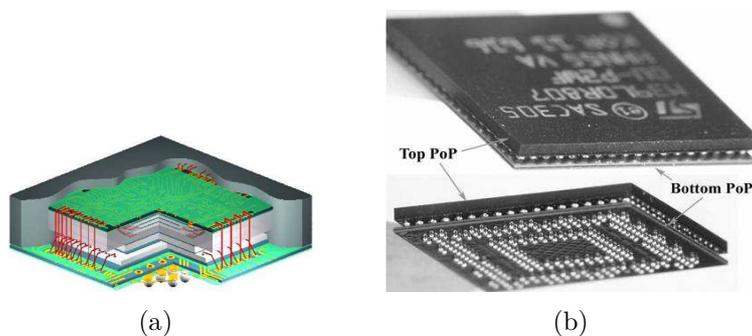


FIGURE 2.4 – Technologies d'intégration[8] : (a) Type SiP ; (b) Type POP.

### 2.3.1 SiP System-in-Package

Pour cette technologie, une carte ISM<sup>c</sup> est utilisée pour faire les interconnexions entre les composants[8, 13]. D'abord un circuit intégré est soudé à la carte, ensuite, un autre boîtier est soudé au système, puis les circuits intégrés sont encapsulés dans un boîtier conteneur. Ce type d'intégration est illustré par la figure2.5.

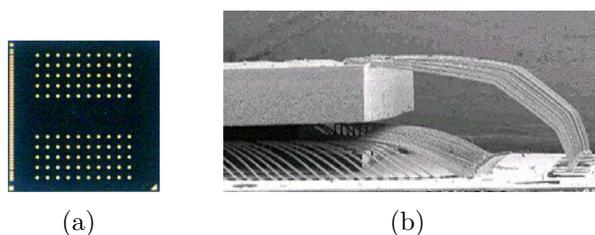


FIGURE 2.5 – Technologie SiP : (a) Carte ISM ; (b) Bonding SiP

#### 2.3.1.1 Description de la technologie

**Procédé de fabrication.** Le procédé est basé sur des méthodes de fabrication classiques, où le circuit intégré est soudé à une carte ISM et après d'être encapsulé, il est interconnecté avec le boîtier supérieur qui est fait de la même manière. La carte ISM contient des motifs pour le montage en boîtier. Pour finir, cet empilement est encapsulé. Ce procédé est montré sur la figure2.6[8].

La figure2.7 montre les implémentations de ce procédé :

---

c. Internal Stacked Module

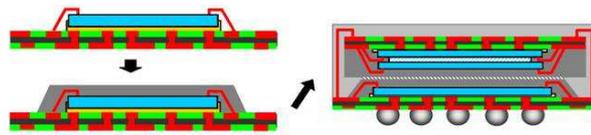
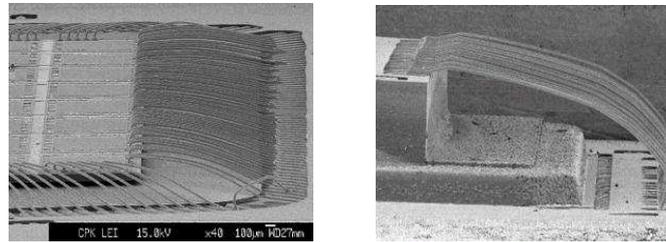


FIGURE 2.6 – Flux du procédé SiP



(a)

(b)

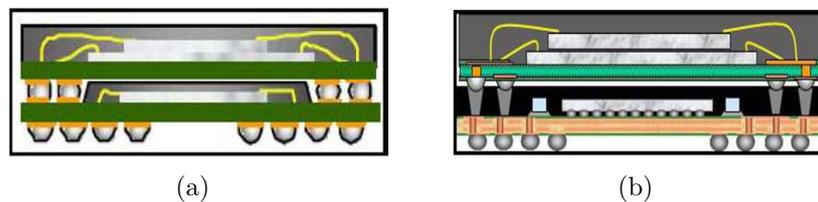
FIGURE 2.7 – Procédé SiP : (a) Bonding avec l'ISM ; (b) Encapsulation et bonding

### 2.3.1.2 Connexions, soudage et dimensions

Pour la connexion et le soudage, les méthodes classiques de bonding et d'encapsulation sont utilisées. Généralement, les dimensions respectent les normes JEDEC.

## 2.3.2 PoP Package-on-Package

Pour cette technologie, les boîtiers FBGA<sup>d</sup> sont utilisés pour l'empilement. Le standard JEDEC[16] montre 2 types d'intégration et ils sont représentés sur la figure 2.8. Le boîtier



(a)

(b)

FIGURE 2.8 – Technologies d'intégration PoP : (a) POP Flange ; (b) POP TMV

inférieur de la pile a des motifs pour la connexion, "metallized lands", sur la surface supérieure du package à travers lequel des connexions électriques et attaches mécaniques sont faites avec le boîtier supérieur, "upper package", comme nous pouvons le voir dans la figure 2.9.

### 2.3.2.1 Description de la technologie

**Procédé de fabrication.** Généralement, les circuits intégrés sont déjà implémentés dans des boîtiers FBGA. La figure 2.10 montre le procédé d'empilement[9] des 2 boîtiers.

D'abord, le boîtier inférieur est assemblé à une carte, ensuite ce boîtier est mis dans une autre carte, qui va porter tout le composant, avec une pâte à braser. Le boîtier supérieur est aussi plongé dans la pâte à braser et ensuite il est assemblé avec le boîtier inférieur. Finalement, pour la liaison le soudage par refusion est utilisé.

d. Fine-pitch, Square Ball Grid Array

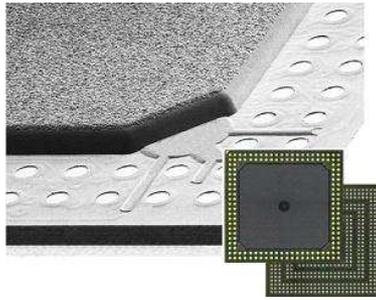


FIGURE 2.9 – Lands pads dans le boîtier inférieur

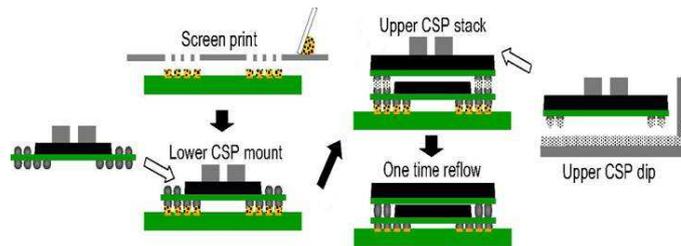


FIGURE 2.10 – Flux du procédé POP

A la fin du procédé de fabrication, les composants PoP sont obtenus comme le montre la figure 2.4. La section transversale montrée dans la figure 2.11 illustre la connexion des boîtiers et les interconnexions entre composants.

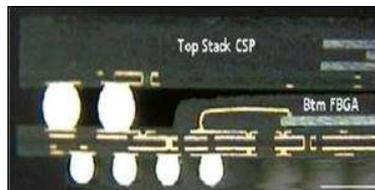


FIGURE 2.11 – Section transversale du composant POP

### 2.3.2.2 Connexions et soudage

Pour cette technologie, le soudage par refusion est utilisé. La température la plus importante est celle de fusion des billes : 220°C à 260°C.

### 2.3.2.3 Dimensions

Pour ces types de composants, les boîtiers utilisent les standards JEDEC. Les dimensions pour cette technologie sont :

- Taille des boîtiers :  $8000 \times 8000 \mu m^2$  à  $21000 \times 21000 \mu m^2 \pm 100 \mu m$ .
- Diamètre des billes :  $200 \mu m$  à  $550 \mu m \pm 50 \mu m$ .
- Le pas entre billes, pitch :  $400 \mu m$  à  $800 \mu m$ .

### 2.3.3 Intérêts et limites de la technologie 3D packaging

L'analyse de cette technologie nous permet de décrire les intérêts et limites de construction de circuits. Ils sont détaillés dans les paragraphes suivants.

L'intérêt d'utilisation de cette technologie réside dans plusieurs points :

- Possibilité d'intégration des différents circuits issus de technologies différentes.
- Possibilité d'intégrer des circuits fonctionnels KGD, « known good dies »(par l'intermédiaire de tests).
- Méthodologies de fabrication simple pour les fondeurs.
- Prototypage rapide, avec des connections de boitiers FBGA entre autres.
- Temps de commercialisation correct, « time to market ».

Cependant, cette technologie présente plusieurs limites :

- L'empilement des circuits est fait seulement par des boitiers.
- La taille des connections limite les signaux de sortie et entrée, comme par exemple pour un BGA de 8000um x 8000um le diamètre des billes sont de  $550\text{um} \pm 50\text{um}$ , donc il peut accueillir 256 billes comme maximum.
- Problème de mauvaise adhérence et viscosité de la pâte à souder qui nous donne l'effet "pillow" (voir figure2.12(b)).
- La fiabilité du circuit empilé dépend beaucoup du circuit du top, après des tests (drop test, etc.), et soudage.
- Problèmes avec des températures élevées, comme par exemple le « Warpage » ou déformation des boitiers (voir figure2.12(a)), il est dû au réchauffement du boitier pour être collé. Il est dépendant de l'évolution de la température de réchauffement[17].

Les problèmes les plus communs dans cette technologie sont : Le *warpage* et l'effet *Pillow*[9], ils sont montrés dans la figure2.12 :

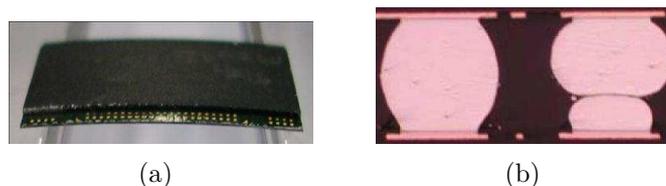


FIGURE 2.12 – Problèmes du procédé : (a) Warpage; (b) L'effet Pillow.

### 2.3.4 Implémentations avec cette technologie

De nombreuses réalisations existent, surtout dans la téléphonie mobile, comme dans le cas de l'augmentation de la mémoire de ces téléphones[18, 19] entre autres. Dans l'actualité, il existe plusieurs réalisations des imageurs CMOS en utilisant cette technologie[20, 21]. Dans les lignes suivantes, nous allons présenter une réalisation d'un imageur CMOS 3D en utilisant la technologie SiP.

**Capteur d'image SiP.** Le tableau suivant montre l'implémentation réalisé par l'IZM Berlin[21] d'un capteur CIS, avec la technologie SiP. Dans la figure 2.13, il est montré l'implémentation de ce capteur d'image.

Implémentation du CIS	
<b>Caractéristiques principales</b>	<ul style="list-style-type: none"> <li>- Taille : <math>14000 \times 14000 \mu m^2</math>.</li> <li>- 333 I/Os.</li> <li>- Technologie SiP (CIS), et processeur.</li> <li>- Pas d'information sur la taille de la matrice.</li> </ul>
<b>Connexions</b>	<p><b>TSV :</b></p> <ul style="list-style-type: none"> <li>- 3023 TSVs pour l'interposer.</li> <li>- <math>50 \mu m</math> de longueur.</li> <li>- <math>3.3 \mu m</math> de diamètre.</li> <li>- 0.1 Ohm de résistance.</li> </ul> <p><b>Microbumps :</b></p> <ul style="list-style-type: none"> <li>- Pour le CIS, <math>30 \mu m</math> de diamètre et hauteur.</li> </ul> <p><b>Billes :</b></p> <ul style="list-style-type: none"> <li>- Connexion entre boîtiers et I/Os.</li> <li>- <math>50 \mu m</math> de diamètre.</li> <li>- <math>540 \mu m</math> de pas, (pitch).</li> <li>- Pas d'information sur les matériaux des billes.</li> </ul>

Tableau 2.2 – Implémentation du CIS dans une technologie SiP[21].

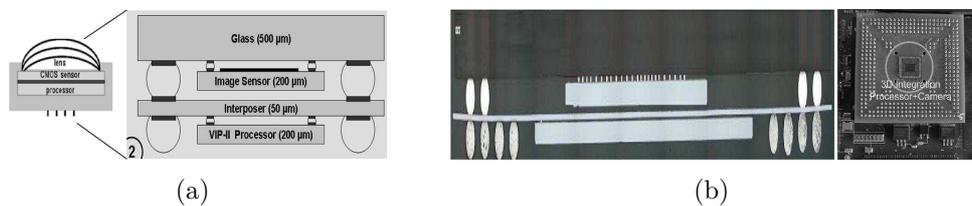


FIGURE 2.13 – Implémentation du capteur d'image SiP : (a) Système du CIS ; (b) CIS implémenté

Cette implémentation montre que l'empilage de composants hétérogènes est possible.

L'analyse de cette technologie d'intégration permet de comprendre qu'elle est orientée vers "l'intégration de sous-systèmes". En effet, dans le cas de circuits dans le pixel, cette technologie donnera des contraintes de construction si la quantité de pixels est supérieure à un 1Mpixels. De plus, la taille de billes imposera la taille minimale du pixel si on veut avoir une sortie par pixel.

## 2.4 Technologie 3D de construction séquentielle

Cette technologie d'intégration propose une approche de construction verticale. La formation des transistors et éléments passifs se font à partir des dépôts des couches de différents matériaux[13]. Quelques exemples sont montrés dans la figure 2.14.

Dans ce travail, seule est décrit la construction des transistors en Poly-Si basé sur la cristallisation du silicium amorphe. Les autres procédés de construction sont similaires.

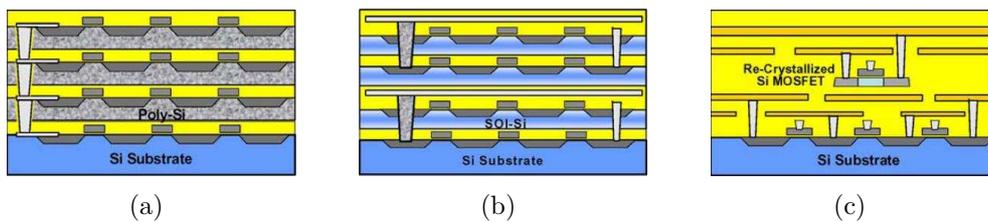


FIGURE 2.14 – Déposition et cristallisation des couches, wafer-level : (a) Déposition de Poly-Si ; (b) Déposition de SoI ; (c) Cristallisation du Si.

## 2.4.1 Formation des transistors en Poly-Si

### 2.4.1.1 Description de la technologie

La construction verticale des transistors en Poly-Si, est basée sur la formation des transistors à partir des dépositions des couches de silicium amorphe (a-Si), équivalent au procédé de formation des transistors TFT<sup>e</sup>. Le procédé de fabrication de ce type de transistors[22] est décrit ci-après par les différentes étapes et montré sur la figure2.15.

- a) Déposition du silicium amorphe(a-Si), dans un substrat de silicium oxydé, silica.
- b) Couche de silicium pour le procédé, et gravure.
- c) Déposition d'un agent d'ensemencement (Ge) pour une croissance des grains plus uniforme. (Réduction de la Température de cristallisation, et du temps d'incubation).
- d) "SPC : Solid-Phase crystallisation", "Thermal annealing" et "laser heating" ;
  - Pour la nucléation et croissance de grains.
  - Taille des grains  $\Rightarrow$  Amélioration des performances pour les TFTs.
  - La conversion du a-Si à Polysilicium.
- e) Formation des drains et sources, pour les transistors.
- f) Contacts.

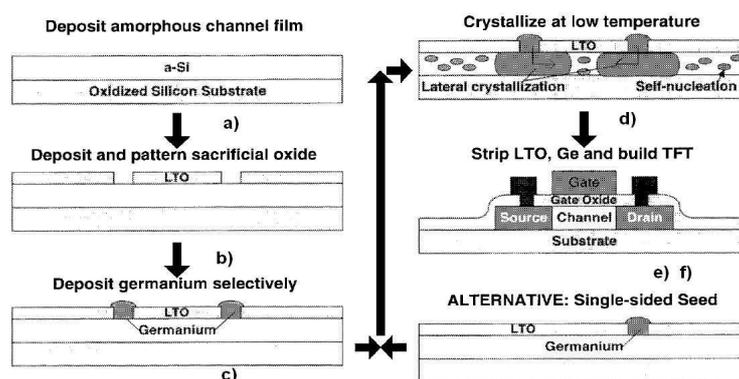


FIGURE 2.15 – 3D Construction séquentielle : procédé de fabrication.

### 2.4.1.2 Détails de fabrication

Les caractéristiques du procédé de fabrication des TFT[22, 23] :

e. Thin Fin Transistors

- L'annealing a comme température de travail : 500°C à 550°C dans un temps de moins de 100 Heures.
- La température du "laser heating" : 900°C à 1100°C.
- La déposition de a-Si de 100nm par LPCVD<sup>f</sup> : @500°C/1000 mtorr.
- La déposition de la couche LTO de SiO<sub>2</sub> de 50nm.
- La déposition de Ge par LPCVD @500°C/1000 mtorr.

La figure 2.16 donne la relation entre le temps et la température de cristallisation. Cette figure montre aussi d'autres procédés de cristallisation[23] : MIC<sup>g</sup>, MILC<sup>h</sup>, et FE-MILC<sup>i</sup>.

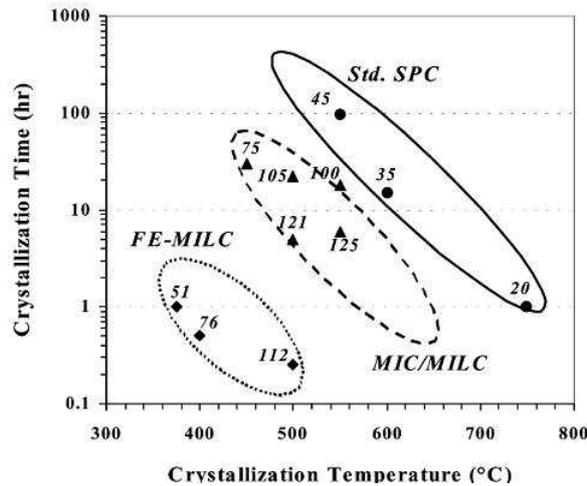


FIGURE 2.16 – 3D Construction séquentielle : Temps vs la température de cristallisation

### 2.4.1.3 Dimensions

Pour cette technologie, à la fin des années 90, les dimensions des transistors étaient de l'ordre :  $W/L = 0.9\mu m/0.7\mu m$ [22, 23], un transistor est montré dans la figure 2.17(a). Actuellement, les dimensions des transistors sont de l'ordre :  $W/L = 50nm/140nm$ [24], un exemple de cette réalisation est montré dans la figure 2.17(b).

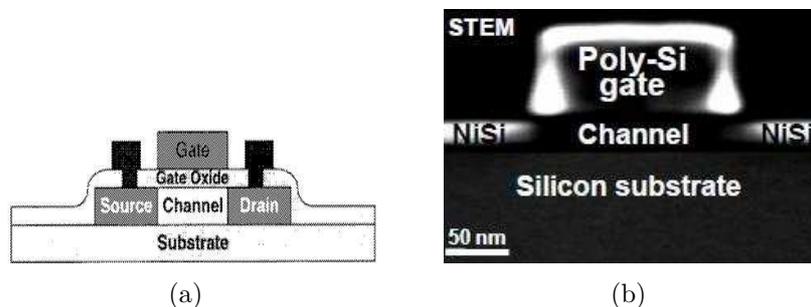


FIGURE 2.17 – 3D Construction séquentielle : (a) Transistor TFT des années 90's[22, 23]; (b) Transistor TFT des années 2010's[24].

f. Low-pressure chemical vapor deposition.  
g. Metal-Induced-Crystallisation  
h. Metal-Induced-Lateral-Crystallisation  
i. Field-enhanced-MILC

### 2.4.2 Implémentations avec cette technologie

Cette technologie permet de réaliser un procédé propre pour la construction des imageurs, comme le montrent les articles : [20, 25, 26]. Dans les paragraphes suivants, nous allons montrer deux exemples de réalisation qui illustrent l'utilisation de cette technologie et leurs problèmes dans la construction séquentielle.

**Inverseur 3D.** Un inverseur est formé par 2 transistors : un type P et un type N. Dans le tableau 2.3, les procédés de fabrication de ces 2 types de transistors sont exposés pour former l'inverseur. La figure 2.18 montre l'implémentation de ce circuit [27].

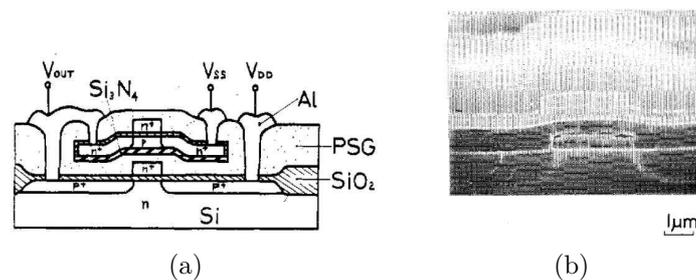


FIGURE 2.18 – 3D Construction séquentielle : Section transversale de l'inverseur 3D : (a) schéma ; (b) composant.

Implémentation d'un inverseur	
<b>Description du procédé</b>	<p><b>Formation du transistor PMOS :</b></p> <ul style="list-style-type: none"> <li>- Couche de SiO<sub>2</sub> de 80nm pour la Grille @1100°C.</li> <li>- Pour la variation de la tension de seuil : Implantation Ionique du Phosphore 4x10<sup>11</sup>/cm<sup>2</sup>@100KeV.</li> <li>- Pour les drains et sources des transistors PMOS : Implantation Ionique du Bore (B<sup>+</sup>) 5x10<sup>15</sup>/cm<sup>2</sup>@50KeV.</li> </ul> <p><b>Formation de la couche intermédiaire :</b></p> <ul style="list-style-type: none"> <li>- Construction séquentielle avec Recristallisation :</li> <li>- Couches d'isolation : 150nm de (Si<sub>3</sub>N<sub>4</sub>)<sup>9</sup> @CVD<sup>10</sup>, et 0.4µm du Polysilicium @CVD.</li> <li>- La recristallisation du Polysilicium donne une pellicule de Si.</li> </ul> <p><b>Formation du transistor NMOS :</b></p> <ul style="list-style-type: none"> <li>- Couche de SiO<sub>2</sub> de 80nm pour la Grille @900°C.</li> <li>- Pour les Drains et Sources : Implantation Ionique d'Arsenic (As<sup>+</sup>)5x10<sup>15</sup>/cm<sup>2</sup>@140KeV.</li> <li>- Contacts, Gravure, métallisation.</li> </ul>
<b>Limites</b>	<p><b>Problèmes avec le budget thermique :</b></p> <ul style="list-style-type: none"> <li>- Dans le deuxième procédé, la température est diminuée à 900°C pour minimiser la diffusion latérale de dopants dans les grains.</li> </ul>

Tableau 2.3 – Implémentation d'un inverseur

Cette implémentation montre les limites liées au budget thermique. Dans cet exemple, si la température d'annealing devient supérieur à 900°C, la diffusion latérale des dopants peut changer

j. Nitrure de silicium

k. Chemical Vapor Deposition

l. Phospho-silice-glass

les caractéristiques des transistors réalisés. Il montre aussi la faible fiabilité du procédé, car il dépend de la réussite de l'étape antérieure.

**Capteur d'image.** Ce capteur d'image a été proposé par l'ISAE-SUPAERO en collaboration avec ST-Microelectronics[26, 28] pour résoudre le problème de miniaturisation des pixels (pixels submicroniques). L'état de l'art[28] montre que la taille de pixels submicroniques est à l'origine

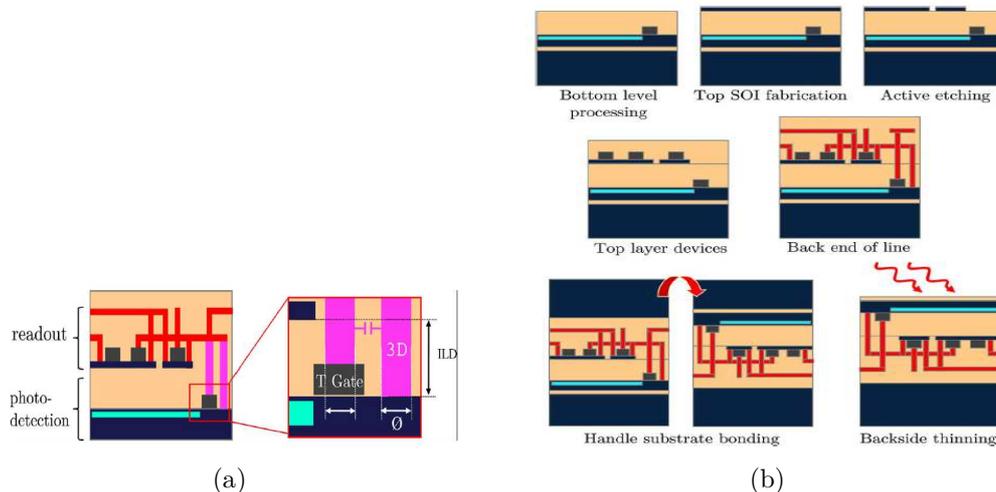


FIGURE 2.19 – 3D Construction séquentielle[26] : (a) Capteur d'image, disposition des circuits dans les 2 wafers et la section transversale de l'imageur ; (b) Procédé de fabrication du capteur d'image séquentielle[26].

de faibles performances. Les effets sur les capteurs d'image sont [28] :

- Le *phénomène de diffraction*, dû aux tailles de pixels proches de longueurs d'onde.
- La *réduction du flux de photons*, dûe aux constructions des lignes métalliques proches des photo-récepteurs, ce qui réduit l'ouverture pour la lumière incidente ("vignetting").
- La *réduction du rendement quantique*, dûe aux forts dopages et à la diminution des tensions d'alimentation, ce qui engendre des zones de charge d'espace faibles et les photons dans les zones plus profondes ne sont pas absorbés correctement.

Un problème de plus apparaît lors de la construction des capteurs d'image séquentielles, la taille des VIAS entre couches. L'état de l'art montre que les VIAS ont un diamètre de 1 $\mu$ m et un pas de 2.5 $\mu$ m [26], donc, contraint la construction des pixels submicroniques. L'option de construction séquentielle a été prise en considération pour cet imageur pour diminuer les effets de tailles de VIAS. Les caractéristiques de ce capteur d'image sont présentées dans le tableau 2.4.

Ce travail comporte 2 versions du pixel pour ce capteur d'image. La première version a 2 couches, bottom et top. La couche bottom comporte la partie photosensible ("pinned photo-diode"), les transistors de transfert et le "floating diffusion", ils sont construits sur SOI<sup>m</sup>. La figure 2.19(a) montre la section transversale du pixel 4T de ce capteur d'image. Il s'agit du partage du transistor de lecture pour 4 pixels. La couche top est faite sur FDSOI, ce qui limite la dissipation thermique lors du fonctionnement du circuit[26]. La figure 2.19(a) montre

m. Silicon on Insulator.

<b>Implémentation du CIS</b>	
<b>Caractéristiques principales</b>	<ul style="list-style-type: none"> <li>- Taille du pixel : <math>1.4 \times 1.4 \mu m^2</math>.</li> <li>- Illumination par la face arrière.</li> <li>- Technologie séquentielle.</li> <li>- Taille de la matrice : non précisé.</li> <li>- Circuits périphériques : non précisé.</li> </ul>
<b>Versions</b>	<p><b>Version 1 :</b>  <i>Couche Top :</i>  <ul style="list-style-type: none"> <li>- Type : FDSOI.</li> <li>- Composants : 3 Transistors de lecture.</li> </ul> <i>Couche Bottom :</i>  <ul style="list-style-type: none"> <li>- Substrat : SOI.</li> <li>- Composants : "Pinned photodiodes" (4T), "Transfert gate" et le "floating diode".</li> </ul> </p> <p><b>Version 2</b>  <i>Couche Top :</i>  <ul style="list-style-type: none"> <li>- Type : <math>HfO_2/TiN</math>.</li> <li>- Composants : 3 Transistor de lecture.</li> </ul> <i>Couche Bottom :</i>  <ul style="list-style-type: none"> <li>- Technologie et composants similaires à la première version.</li> </ul> </p> <p><b>3D Contacts :</b>  <ul style="list-style-type: none"> <li>- Diamètre : <math>88nm</math>.</li> <li>- Épaisseur : <math>798</math> à <math>849 nm</math>.</li> <li>- Construits au BEOL.</li> </ul> </p>
<b>Bonding</b>	<p><b>Substrat bonding :</b>  <ul style="list-style-type: none"> <li>- Substrats alignés, et bondés.</li> </ul> </p>

Tableau 2.4 – Caractéristiques principales du capteur d'image 3D[26].

la disposition des 3D contacts dans les 2 couches (connexions en couleur rose). Le procédé de fabrication complet en incluant la partie de construction d'illumination par la face arrière, est montré dans la figure 2.19(b). Les transistors de la couche bottom sont affectés par l'annealing de la construction de la couche top. Ces variations affectent directement au potentiel du canal. Le "leakage current" augmente lorsque la température "d'annealing" est supérieur à  $890^\circ C$ .

La *deuxième version* du pixel compte avec 2 couches. La couche bottom est faite de la même manière que la couche bottom de la première version. La couche top est faite avec un procédé  $HfO_2/TiN$  où la couche  $HfO_2$  est déposée à  $350^\circ C$  ( $500^\circ C$  pour l'annealing, 5min.) et la couche  $TiN$  est déposée à  $100^\circ C$ . Les résultats montrent que ce type de procédé n'endommage pas les transistors de la couche bottom.

Cette implémentation montre que la construction de composants hétérogènes est possible. Cependant, la dégradation des performances de transistors n'est pas quantifiée et prévisible, ce qui à la fin diminue les performances des capteurs d'image.

### 2.4.3 Intérêts et limites de la technologie 3D de construction séquentielle

Les paragraphes suivants décrivent l'intérêt et limites de construction de circuits en utilisant cette technologie.

Cette technologie permet de faire :

- Des circuits construits verticalement dans un seul procédé de fabrication, comme des transistors, diodes, résistances et capacités.
- Ces circuits verticaux peuvent bénéficier de la technologie la plus récente.
- L'aire de construction peut augmenter grâce à différentes couches de construction des circuits.
- Les couches de circuits peuvent être pour une application donnée (Intégration hétérogène).
- Cette technologie n'a pas besoin de collage entre wafers, circuits et boîtiers.
- Le retard dû aux inter-connections est réduit.
- Possibilité d'intégration des plusieurs couches ou boîtiers si les circuits ont des motifs pour la connexion (VIAS, microbumps).
- Le temps de commercialisation est correct.

Les limites de cette technologie :

- La nécessité de répétition du procédé de fabrication pour faire des couches, peut endommager les performances des circuits déjà faits.
- Le contrôle de croissance des grains homogènes pour les performances des transistors.
- Les contraintes de fabrication : budget thermique qui limite l'utilisation des matériaux au tungstène et autres pour les VIAS.
- La fiabilité du procédé dépend directement de l'étape antérieure.
- Les TFTs n'ont pas les mêmes caractéristiques que les transistors CMOS d'un procédé de fabrication standard, leur utilisation dépend de l'application.
- L'augmentation du temps de fabrication dû aux différents processus dans un même circuit intégré.

Cette technologie est très intéressante pour implémenter de nouvelles architectures, et essayer de nouveaux procédés de fabrication pour optimiser le capteur d'image. Mais malheureusement, il faut investir en équipement et avoir des partenaires fondeurs et industriels qui ont les mêmes objectifs pour rendre possible ce type de travail.

## **2.5 Technologie 3D Wafer level**

Pour cette technologie, l'intégration à partir du wafer en utilisant un procédé BEOL <sup>a</sup>[29] est décrite. En général, les circuits sont faits dans différents wafers avec différents procédés de fabrication BEOL[30]. Pour illustrer cette technologie, les travaux de l'université de Tohoku[30, 31] et le standard JEDEC 158[29] pour les TSVs, sont détaillés.

### **2.5.1 Description de la technologie**

Le processus de fabrication est détaillé ci-après en s'appuyant sur la figure 2.20.

- a) - Fabrication des Vias et composants dans le wafer.

---

a. Back End Of Line : Une partie du procédé de fabrication de circuits où les lignes conductrices d'alimentation et transport des signaux sont faites.

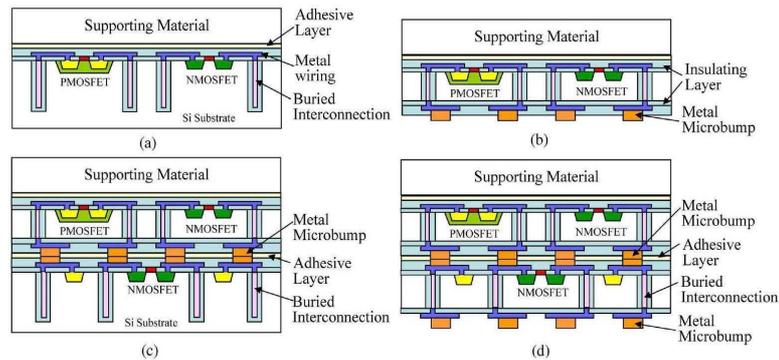


FIGURE 2.20 – 3D Wafer Level : Processus de fabrication de l'assemblage "Face-up".

- Collage avec une couche de support : quartz glass, bare silicon wafer, LSI<sup>b</sup> wafer (Ces couches réduisent les problèmes pendant la fabrication).

b) Amincissement du wafer pour la formation des "microbumps".

c) "Bonding" avec un autre wafer. (Face-up, Face-down, face-to-face stacking).

d) Amincissement du wafer pour la formation des "microbumps".

D'autres types d'assemblages existent et sont montrés sur les figures 2.21 :

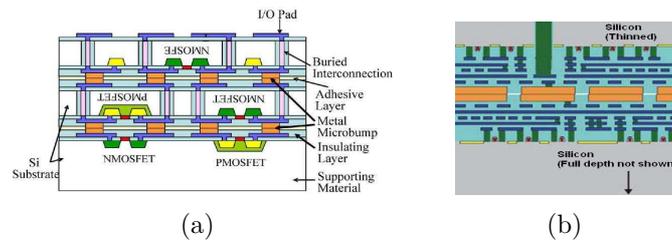


FIGURE 2.21 – Types d'assemblage du 3D Wafer Level : (a) Face-down Stacking ; (b) Face-Face Stacking, procédé Tezzaron.

### 2.5.1.1 Connexions et soudage

Les éléments les plus importants pour la connexion entre wafers, couches, circuits de cette technologie sont détaillés ici. La réussite d'assemblage est liée à la fiabilité du système car si les connexions ou soudages ne sont pas bien réalisés, il sera improductif de construire un circuit 3D. Les caractéristiques des "bondings" et "VIAS" sont données dans les paragraphes suivants.

**Bondings : Soudage par thermo-compression.** L'utilisation de "soudage par thermo-compression"[32, 33]<sup>c</sup>, permet des connexions mécaniques et électriques réalisées en une étape. Ce type de "bonding" utilise une haute pression pour tenir deux surfaces de cuivre à des températures élevées. Pendant que la chaleur augmente, (procédé d'annealing), la pression appliquée permet le changement microscopique des jonctions, qui donne une croissance de grains, et permet que la zone de contact augmente et reste collée. Plus en détail, due à une énergie thermique suffisante, les structures de cuivre de deux surfaces se diffusent l'une vers l'autre pour terminer le procédé de liaison et faire une micro-structure quasi-stable[32], à certaines températures de

b. Large Scale Integration

c. Metal diffusion bonding.

bonding. Ce type de bonding est le plus répandu dans les entreprises technologiques et le monde de la recherche car il utilise des températures compatibles du BEOL[33]. De plus, c'est un procédé peu onéreux. Au début, il est possible d'utiliser un traitement plasma avec de l'argon (Ar) ou N<sub>2</sub>, qui est fait pour nettoyer et activer le métal avant bonding[32]. Après le bonding, il est optionnel de faire l'annealing pour augmenter le "bonding strenght"[32], c'est-à-dire faire une micro-structure plus stable.

Le tableau 2.5 compare les conditions relatives de bonding et le "bonding strenght", les valeurs en crochets déterminent des valeurs dans les publications[32].

	Cu à Cu	Au à Au	Au à Au
Traitement avec Plasma	-	-	Ar ou N <sub>2</sub> , >150W, 10 min
Température de Bonding (°C).	350 (275) à 400	300 (298)	150-200
Pression de Bonding (mbar)	140 à 8000	>10,000, (5000)	8000, (4000)
Temps de Bonding	>30 min	45 min	10 min (30 min)
Tensile bonding strength (MPa)	50	>10	30 à 50
Annealing	350-400°C, 60 min	N/A	200°C, 30 min

Tableau 2.5 – Caractéristiques principales du Bonding

Il existe 2 types de bondings, le type "normal" et l'hybride[34]. Les types de bonding pour une connexion normale de wafer-to-wafer sont : "Adhesive bonding", "Direct oxyde bonding" et "Direct metal bonding". Les types de bonding pour une connexion hybride de wafer-to-wafer est : "Adhesive/metal bonding" et "Oxyde/metal bonding".

Dans les figures 2.22 sont montrés les types de "bondings" :

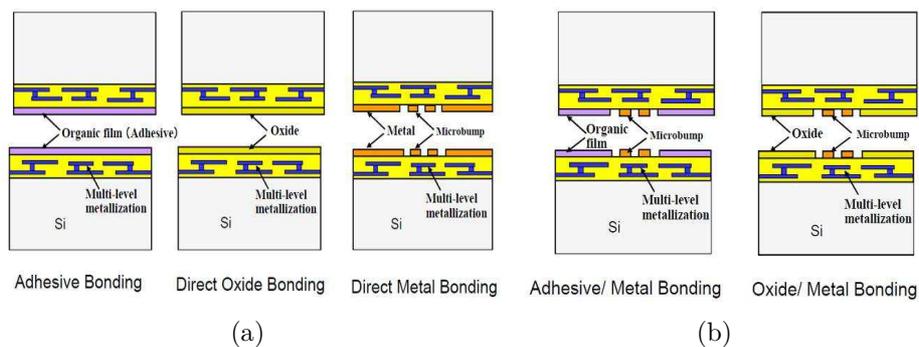


FIGURE 2.22 – Types de bonding du 3D Wafer Level : (a) Bonding "normal" de wafer-to-wafer ; (b) Bonding hybride de wafer-to-wafer.

**Formation des VIAS.** Cette technologie améliore les caractéristiques des connexions[34] en utilisant différents matériaux de remplissage pour les VIAS. Le processus de formation de VIAS ne consomme pas beaucoup d'énergie pour leur construction. Ceci donne aussi des VIAS plus performants, comme par exemple, une capacité de faible valeur, et une résistance caractérisée pour le matériau déposé (due aux mobilités des porteurs injectés), donc un retard RC optimal. Toutes ses caractéristiques sont décrites dans le tableau 2.6. Après la formation de la cavité

par "etching" ou "drilling", il est nécessaire de mettre une couche d'isolation  $\text{SiO}_2$  pour ne pas connecter le VIAS avec une autre partie du circuit, en général, il y a une couche fine de  $0.6\mu\text{m}$ [35], comme illustré dans la figure 2.23.

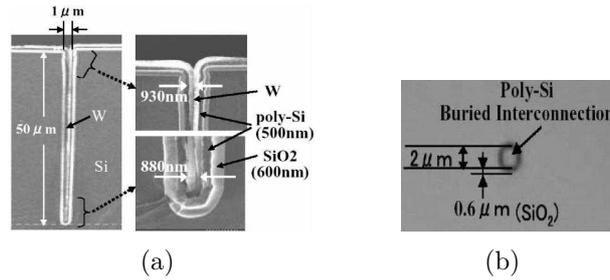


FIGURE 2.23 – VIAS du Wafer Level : (a) SEM de la section transversale du VIAS ; (b) SEM de la surface du VIAS

Il existe 3 façons de construire des VIAS[35], elles sont montrées ci-après et dans la figure 2.24, ainsi qu'un exemple du VIAS FIRST[34] :

- a) VIA FIRST, le TSV<sup>d</sup>, est appelé "Bond VIAS", et il est formé avant la fabrication des composants. Généralement, il est rempli avec du Poly-Si.
- b) VIA MIDDLE, le TSV est formé après le FEOL<sup>e</sup>, et pendant ou avant le BEOL<sup>f</sup>. Généralement, il est rempli avec tungstène ou Poly-Si.
- c) VIA LAST, le TSV est formé après la fabrication des composants, spécialement après la réalisation du FEOL et BEOL. Généralement, il est rempli avec cuivre ou tungstène.

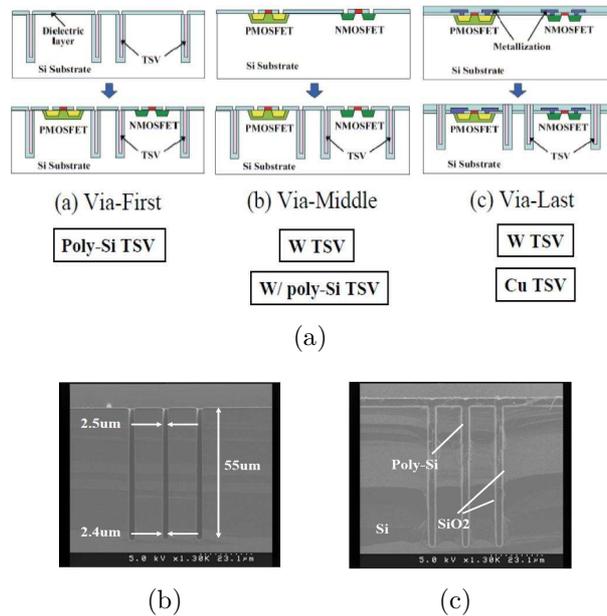


FIGURE 2.24 – Types de formation du VIAS, et VIAS-FIRST du Wafer Level : (a) Types de formation des VIAS ; (b) Etching dans le silicium (gravure) ; (c) Premièrement, couche d'isolation ( $\text{SiO}_2$ ) et remplis avec Poly-Si

Le tableau 2.6 montre les caractéristiques principales des VIAS[36, 37] :

- d. Through-Silicon Via
- e. Front-end-of-line
- f. Back-end-of-line

<b>Wafer Level : VIAS</b>	
<b>Construction des VIAS</b>	<p><b>Etching, (Gravure) :</b></p> <ul style="list-style-type: none"> <li>- 70<math>\mu m</math> à 100<math>\mu m</math> de profondeur, (dépend du temps d'exposition).</li> <li>- 1.5<math>\mu m</math> minimum de diamètre.</li> <li>- Prend du temps pour la gravure, (produits chimiques).</li> </ul> <p><b>Laser drilling :</b></p> <ul style="list-style-type: none"> <li>- 70<math>\mu m</math> à 100<math>\mu m</math> de profondeur, (épaisseur des puces).</li> <li>- 10<math>\mu m</math> minimum de diamètre.</li> </ul>
<b>Caractéristiques principales</b>	<p><b>Résistance du VIAS :</b> La résistance est proportionnelle à la résistivité du matériau. Quelques valeurs :</p> <ul style="list-style-type: none"> <li>- Or : 2.5<math>\mu\Omega - cm</math>.</li> <li>- Cuivre : 1.8<math>\mu\Omega - cm</math>.</li> <li>- Aluminium : 2.7<math>\mu\Omega - cm</math>.</li> <li>- Tungstène, 5.6<math>\mu\Omega - cm</math>.</li> <li>- Poly-Si : 190<math>\mu\Omega - cm</math>.</li> </ul> <p>E.g. Un VIAS de Poly-Si, avec un diamètre 3<math>\mu m</math> et 50<math>\mu m</math> de largeur, donne R=13.4<math>\Omega</math>.</p> <p><b>Capacité du VIAS :</b> La capacité dépend de la constante diélectrique relative du matériau. Quelques valeurs :</p> <ul style="list-style-type: none"> <li>- Si : 11 ;</li> <li>- Ge : 5.32</li> </ul> <p>E.g. Un VIAS de Si, avec 20<math>\mu m</math> d'épaisseur, et 1<math>\mu m</math> de diamètre anti-pad et 1<math>\mu m</math> de diamètre du via, donne C=0.013pF.</p> <p><b>Inductance du VIAS :</b> L'inductance est petite par rapport à celle du câblage.</p> <ul style="list-style-type: none"> <li>- Les valeurs en moyenne pour les inductances du câblage sont entre 0.5nH à 1 nH, et pour les TSVs sont 100 fois plus petites.</li> </ul> <p>E.g Atténuation du "switching noise" dans une power supply.</p>
<b>Différences entre les "wire bondings" et VIAS</b>	<p><b>Différences principales entre conducteurs :</b></p> <ul style="list-style-type: none"> <li>- VIAS : Connexion directe entre couches.</li> <li>- VIAS : Capable de réduire la résistance due aux matériaux de remplissage.</li> </ul> <p><b>Différence des "Pitches" entre conducteurs :</b></p> <ul style="list-style-type: none"> <li>- Câblage : 30<math>\mu m</math> à 50<math>\mu m</math>.</li> <li>- VIAS : 3<math>\mu m</math> à 5<math>\mu m</math>.</li> </ul> <p><b>Caractéristiques électriques</b> VIAS offrent meilleures caractéristiques électriques que le câblage :</p> <p>Dû à la longueur :</p> <ul style="list-style-type: none"> <li>- VIAS : 10<math>\mu m</math> à 100<math>\mu m</math>.</li> <li>- Câblage : 1mm à 5mm.</li> <li>- <math>L_{VIAS} &lt; L_{Câblage}</math> ;</li> </ul> <p>Dû à que la capacité, la résistance et l'inductance dépendent directement des dimensions des conducteurs, dans le cas d'un VIAS, ils sont réduits.</p>

Tableau 2.6 – Caractéristiques du VIAS dans la technologie 3D Wafer Level

### 2.5.1.2 Dimensions

Ces circuits ont des particularités. En effet, l'épaisseur totale du composant est variable, car il dépend fortement de la quantité des composants soudés ou empilés. Un exemple d'épaisseur effective des composants donne des valeurs comprises entre 8 $\mu m$  à 15 $\mu m$  dans la technologie de Tezzaron[38–40].

### 2.5.2 Intérêt et limites de la technologie 3D wafer level

Cette technologie possède des avantages mais également certaines limites dans la construction de circuits. Parmi les avantages d'implémentation des circuits en utilisant de cette technologie, il y a :

- Intégration hétérogène par "bonding" des wafers, donc des wafers dédiées à une application en utilisant des technologies différentes. Chaque couche est optimisée par rapport aux matériaux et performances de l'application.
- Peu de problèmes avec le budget thermique car les températures de "bonding" ne dégradent pas les caractéristiques des transistors ou circuits déjà formés.
- L'utilisation de procédés compatibles (BEOL) pour la fabrication des composants réduit le cout d'investissement dans des nouveaux appareils et flux de processus de construction de circuits.
- L'amélioration des caractéristiques électriques des connexions (VIAS).

Dans le cas de limites de construction de circuits en utilisant cette technologie :

- Les contraintes à considérer pour chaque couche à coller sont : paramètre thermiques, RF, optique et mécanique.
- Les tests pour les composants 3D sont très difficiles à réaliser, si nous avons différentes applications. Ceci oblige de faire un test après de la réalisation d'une couche d'une application spécifique. Ensuite faire des tests pour l'ensemble des circuits.
- Développement d'outils de conception CAO dédiés à chaque wafer et à l'ensemble des circuits.
- La fabrication de ce type de circuits n'est pas standard pour toutes les applications, donc chaque application donne un investissement différent par rapport aux appareils de fabrication.

### 2.5.3 Implémentations avec cette technologie

Plusieurs équipes de recherche utilisent cette technologie pour implémenter des capteurs d'image[15, 41–43]. Les paragraphes suivants montreront un capteur d'image 3D hétérogène.

**Capteur d'image 3D.** Le premier capteur d'image implémenté en trois dimensions avec ce type de technologie a été réalisé aux laboratoires Lincoln du MIT<sup>g</sup>[15]. Comme figure2.26(b) le montre, le capteur d'image est une implémentation hétérogène de 2 wafers et profite de cette technologie pour avoir une couche photo-déetectrice très adaptée pour la photo-détection car sa résistivité est grande ( $>3K\Omega - cm$ ) ce qui permet d'augmenter la zone de charge espace. Les 2 wafers sont inter-connectés par VIAS, des connexions verticales, dans un procédé BEOL, par VIAS LAST.

La figure2.25 montre seulement le schéma d'un pixel, il faut noter qu'il y a 2 types de pixel dans cet implémentation :

---

g. Massachusetts Institute of Technology

- Pixel utilisant un transistor de Reset PMOS avec une capacité de  $15fF$ , pour une grande dynamique.
- Pixel utilisant un transistor de Reset NMOS sans capacité pour faible flux de photons.

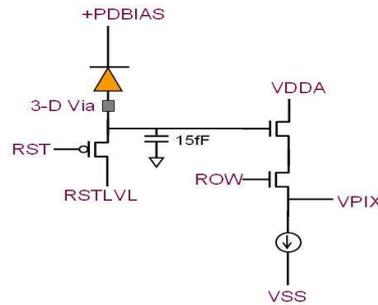


FIGURE 2.25 – 3D Wafer Level : Schéma du Pixel avec un transistor PMOS.

Les sections transversales du capteur d'image sont montrées dans la figure 2.26 (la partie dessin et la partie implémentée). Les caractéristiques principales de ce capteur d'image sont détaillées dans le tableau 2.7.

Capteur d'image 3D du MIT	
<b>Caractéristiques principales</b>	<p><b>Fonctions et Taille :</b></p> <ul style="list-style-type: none"> <li>- 3D CIS-3T, "Backside illuminated".</li> <li>- 1024x1024 Pixels, pas du pixel de <math>8\mu m</math>.</li> <li>- 100% de "Fill factor".</li> <li>- "Low-leakage", "deep depletion".</li> <li>- <math>0.35\mu m</math> longueur de grille.</li> <li>- Plus de 3.8 millions de transistors.</li> <li>- Tension de polarisation : 3.3V.</li> </ul> <p><b>Wafers :</b></p> <ul style="list-style-type: none"> <li>- 2 Wafers : de 150mm d'épaisseur.</li> <li>- Wafer de photo-détection, <i>TIER-1</i> : Photodiodes p+/n, résistivité élevée de <math>3K \Omega - cm</math>, pour les substrats de silicium du type n,</li> <li>- Wafer pour les circuits de lecture, <i>TIER-2</i> : <math>0.35\mu m</math> FDSOI-CMOS, 7.2nm de oxyde de grille, (Technologie du MIT).</li> </ul> <p><b>VIAS :</b></p> <ul style="list-style-type: none"> <li>- <math>2\mu m \times 2\mu m</math> de taille dans chaque Pixel.</li> <li>- Plus de 1 million de 3D VIAS, (VIAS LAST).</li> </ul>
<b>Bonding</b>	<p><b>Oxide-to-oxide wafer bonding :</b></p> <ul style="list-style-type: none"> <li>- Puces alignées, et bondées.</li> </ul> <p><b>Epoxy Bonding :</b></p> <ul style="list-style-type: none"> <li>- "Epoxy Bonding" à une couche de quartz.</li> </ul>
<b>Contacts et métallisation :</b>	<ul style="list-style-type: none"> <li>- Procédé planaire, (Back-end)</li> </ul>
<b>Performance</b>	<ul style="list-style-type: none"> <li>- "Imager Dark Current" : 1 à 3 <math>nA/cm^2</math>.</li> <li>- "Photodiode Dark Current" &lt; <math>0.2nA/cm^2</math></li> <li>- "Responsivity", CVF : PMOS avec Cap : <math>2.7\mu V/e^-</math>. NMOS sans Cap : <math>9.4\mu V/e^-</math>.</li> <li>- "Well Capacity" (Charge-handling capacity) : PMOS avec Cap : <math>350Ke^-</math>. NMOS sans Cap : <math>85Ke^-</math>.</li> </ul>

Tableau 2.7 – Capteur d'image 3D du MIT

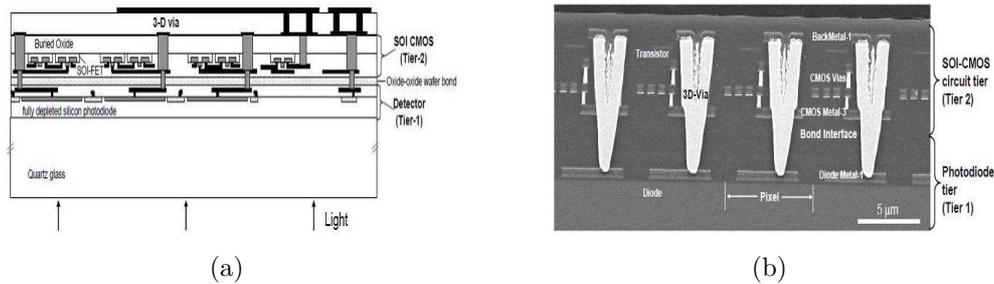


FIGURE 2.26 – Capteur d'image 3D du MIT : (a) Section transversale du 3D-CIS ; (b) SEM de la section transversale du 3D-CIS.

Pour la construction des transistors, le procédé de fabrication de la technologie du MIT est montré sur la figure 2.27. Il est ensuite détaillé.

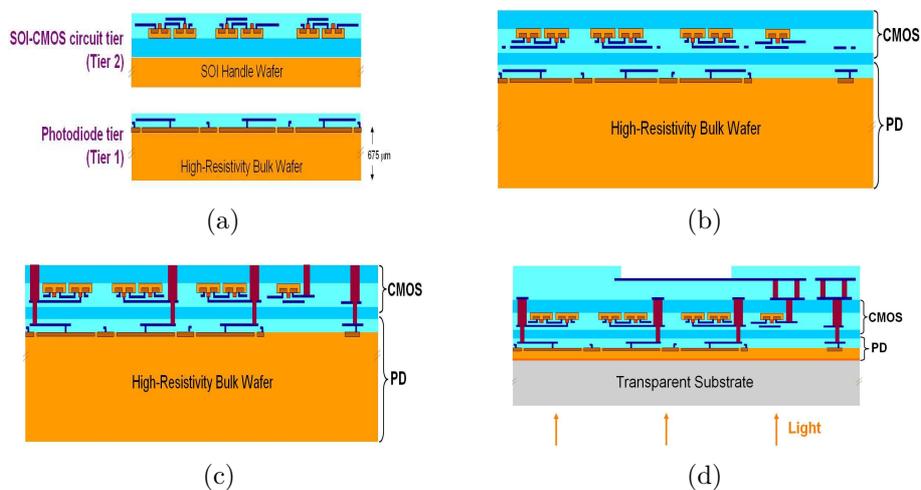


FIGURE 2.27 – Procédé de la technologie du MIT : (a) Construction des circuits séparément ; (b) Bonding et enlèvement du substrat TIER-2 ; (c) Construction du VIAS et Pads ; (d) Bonding de la couche du Quartz.

- a) *Construction des circuits séparément* :
  - TIER-1, pour la partie photo-détectrice.
  - TIER-2, pour la partie circuit.
- b) *Bonding et enlèvement du substrat TIER-2* :
  - Face-to-Face, oxide-oxide bonding @275°C.
  - Wet-chemical-etch, pour enlever le substrat en 50μm.
- c) *Construction du VIAS et Pads* :
 

Pour les VIAS :

  - Profondeur de 7.5μm, et 2μm de côté.
  - Couche de Ti<sup>18</sup>/TiN.
  - Dépôt de Tungstène(W) @ CVD<sup>19</sup> 475°C.

Pour les Pads :

  - Dépôt de metal1 et metal2.

h. Fully Depleted Silicon on insulator - CMOS

d) *Bonding de la couche du Quartz* :

- Epoxy Bonding à une couche de quartz.

Cette implémentation nous permet d'apprécier les caractéristiques de cette technologie. Il est montré que les wafers hétérogènes sont bondés par "oxyde-to-oxyde", et après pour un procédé du BEOL, les pads pour les interfaces sont formés. Ce travail ne montre pas l'environnement de conception propre ou proposé par eux, ni tests des couches implémentées, mais, il montre le procédé de "bonding" des couches.

Cette technologie est très intéressante pour les capteurs d'image, car nous pouvons profiter des autres technologies de fabrication pour les couches des fonctions du CIS. Par contre, un facteur qui peut être contraignant est la construction des VIAS car il peut donner une réduction de la fiabilité totale du composant si les conducteurs (VIAS) ne sont pas bien réalisés.

## 2.6 Conclusions

Nous avons examiné 3 axes de développement de la technologie de construction 3D, pour la construction des capteurs d'image. Les imageurs à forte intégration des circuits ont des contraintes topologiques et électriques dues à la construction des circuits qui affectent directement leurs performances, en facteur de remplissage, intégration, bruit et vitesse. L'analyse de ses effets dans les capteurs d'image à forte intégration de circuits montre que l'effet de la disposition des circuits dans différents wafers ou couches peuvent augmenter les performances. Cette disposition est possible avec les 2 approches technologiques : *technologie d'intégration 3D Wafer level* et la *technologie d'intégration 3D de construction séquentielle*. Cette dernière technologie a comme désavantage, la réduction de performances de transistors due à la construction des autres couches. Elle n'est pas prise en compte dans ce travail parce qu'elle demande d'un grand investissement et avoir un partenaire fondeur. Cependant, nous avons accès à la *technologie d'intégration 3D Wafer level* par le milieu du consortium CMP-MOSIS-CMC.

Cette technologie sera prise en compte et sera étudiée pour quantifier et approfondir l'impact de l'assemblage, à leur effet dans les circuits des imageurs.

## Bibliographie

- [1] T. I. Semiconductors, "The chip that jack built," consulté le 22/12/2010, <http://www.ti.com/corp/docs/kilbyctr/jackbuilt.shtml>.
- [2] N. P. Foundation, "The nobel prize in physics 1956," [http://www.nobelprize.org/nobel\\_prizes/physics/laureates/1956/](http://www.nobelprize.org/nobel_prizes/physics/laureates/1956/).
- [3] S. Danko, "Printed circuits and microelectronics," *Proceedings of the IRE*, vol. 50, no. 5, pp. 937–945, May 1962.

---

i. Titane

j. Chemical Vapor Deposition

- [4] J. Knickerbocker, P. Andry, B. Dang, R. R. Horton, C. Patel, R. Polastre, K. Sakuma, E. S. Sprogis, C. Tsang, B. Webb, and S. Wright, "3d silicon integration," in *Electronic Components and Technology Conference, 2008. ECTC 2008. 58th*, 2008, pp. 538–543.
- [5] M. Koyanagi, T. Fukushima, and T. Tanaka, "Three-dimensional integration technology and integrated systems," *Design Automation Conference, 2009. ASP-DAC 2009. Asia and South Pacific*, pp. 409–415, jan. 2009.
- [6] J. Lau, "Evolution, challenge, and outlook of tsv, 3d ic integration and 3d silicon integration," in *Advanced Packaging Materials (APM), 2011 International Symposium on*, 2011, pp. 462–488.
- [7] R. Feynman, "The computing machines in the future," in *Nishina Memorial Lectures*, ser. Lecture Notes in Physics. Springer Japan, 2008, vol. 746, pp. 99–114. [Online]. Available : [http://dx.doi.org/10.1007/978-4-431-77056-5\\_6](http://dx.doi.org/10.1007/978-4-431-77056-5_6)
- [8] F. Carson, Y. C. Kim, and I. S. Yoon, "3-d stacked package technology and trends," *Proceedings of the IEEE*, vol. 97, no. 1, pp. 31–42, 2009.
- [9] M. Dreiza, A. Yoshida, K. Ishibashi, and T. Maeda, "High density pop (package-on-package) and package stacking development," *Electronic Components and Technology Conference, 2007. ECTC '07. Proceedings. 57th*, pp. 1397–1402, may. 2007.
- [10] Tezzaron, "3d-ic processor," <http://www.tezzaron.com>.
- [11] A. E. Gamal, "3d-fpga," in *STANFORD*, 2007.
- [12] XILINX, "All programmable 3d ics," <http://www.xilinx.com/products/silicon-devices/3dic/index.htm>.
- [13] *3-D Hyperintegration and Packaging Technologies for Micro-Nano Systems*, vol. 97, no. 1, 2009.
- [14] S. V. Jian-Qiang Lu, Ken Rose, "3d integration : Why, what, who, when?" *Future Fab International*, vol. issue 23, 2007.
- [15] Suntharalingam, "Megapixel cmos image sensor fabricated in three-dimensional integrated circuit technology," *ISSCC*, vol. SESSION 19 / IMAGERS / 19.6, p. 2, 2005.
- [16] JEDEC, "Fine-pitch, square ball grid array package (fbga) package-on-package (pop)," *JEDEC PUBLICATION 95*, 2010.
- [17] —, *Package Warpage Measurement of Surface-Mount Integrated Circuits at Elevated Temperature*, Std., 2005.
- [18] K. Lyne, "Cellular handset integration - sip vs. soc and best design practices for sip," pp. 765–770, 2005.

- [19] P. Rickert and W. Krenik, "Cell phone integration : Sip, soc, and pop," *Design Test of Computers, IEEE*, vol. 23, no. 3, pp. 188 –195, 2006.
- [20] Z.-C. Hsiao, C.-T. Ko, H.-H. Chang, H.-C. Fu, C.-K. Hsu, S.-M. Li, W.-L. Tsai, W.-W. Shen, J.-C. Wang, Y.-M. Lin *et al.*, "Process integration of 3d stacking for backside illuminated image sensor," in *Electronics Packaging (ICEP), 2014 International Conference on*. IEEE, 2014, pp. 82–85.
- [21] M. Wolf, K. Zoschke, A. Klumpp, R. Wieland, M. Klein, L. Nebrich, A. Heinig, I. Limansyah, W. Weber, O. Ehrmann, and H. Reichl, "3d integration of image sensor sip using tsv silicon interposer," pp. 795 –800, 2009.
- [22] V. Subramanian and K. Saraswat, "High-performance germanium-seeded laterally crystallized tfts for vertical device integration," *Electron Devices, IEEE Transactions on*, vol. 45, no. 9, pp. 1934 –1939, sep. 1998.
- [23] A. T. Voutsas, "A new era of crystallization : advances in polysilicon crystallization and crystal engineering," *Applied Surface Science*, vol. 208-209, pp. 250 – 262, 2003, physics and Chemistry of Advanced Laser Materials Processing.
- [24] S.-J. Choi, J.-W. Han, S. Kim, D.-I. Moon, M. Jang, and Y.-K. Choi, "A novel tft with a laterally engineered bandgap for of 3d logic and flash memory," pp. 111 –112, 2010.
- [25] Y. Arai and M. Motoyoshi, "Application of 3d stacking technology to soi radiation image sensor," in *Electrical Design of Advanced Packaging and Systems Symposium (EDAPS), 2013 IEEE*. IEEE, 2013, pp. 5–8.
- [26] P. Coudrain, P. Magnan, P. Batude, X. Gagnard, C. Leyris, M. Vinet, A. Castex, C. Lagahe-Blanchard, A. Pouydebasque, Y. Cazaux, B. Giffard, and P. Ancey, "Investigation of a sequential three-dimensional process for back-illuminated cmos image sensors with miniaturized pixels," *Electron Devices, IEEE Transactions on*, vol. 56, no. 11, pp. 2403 –2413, nov. 2009.
- [27] S. Kawamura, N. Sasaki, T. Iwai, M. Nakano, and M. Takagi, "Three-dimensional cmos ic's fabricated by using beam recrystallization," *Electron Device Letters, IEEE*, vol. 4, no. 10, pp. 366 – 368, Oct. 1983.
- [28] P. COUDRAIN, "Contribution au développement d'une technologie d'intégration tridimensionnelle pour les capteurs d'images cmos à pixels actifs," Ph.D. dissertation, ISAE, Université de Toulouse, 2009.
- [29] JEDEC, "3d chip stack with through-silicon vias (tsvs) : Identifying, evaluating and understanding reliability interactions," 2009.
- [30] Koyanagi, "New 3d integration technology and 3d system lsis," *Symposium on VLSI Technology Digest of Technical Papers*, 2009.

- [31] M. Koyanagi, T. Nakamura, Y. Yamada, H. Kikuchi, T. Fukushima, T. Tanaka, and H. Kurino, “Three-dimensional integration technology based on wafer bonding with vertical buried interconnections,” *Electron Devices, IEEE Transactions on*, vol. 53, no. 11, pp. 2799–2808, 2006.
- [32] C.-T. Ko and K.-N. Chen, “Wafer-level bonding/stacking technology for 3d integration,” *Microelectronics Reliability*, vol. 50, no. 4, pp. 481–488, 2010, international Symposium on Reliability of Optoelectronics for Space / Advances in Wafer Level Packaging.
- [33] K.-N. Chen, C. S. Tan, A. Fan, and L. R. Reif, *Cu Wafer Bonding for 3D IC Applications*, ser. Integrated Circuits and Systems. Springer US, 2008.
- [34] M. Koyanagi, T. Fukushima, and T. Tanaka, “Three-dimensional integration technology using through-si via based on reconfigured wafer-to-wafer bonding,” *Custom Integrated Circuits Conference (CICC), 2010 IEEE*, pp. 1–4, 2010.
- [35] M. Koyanagi, T. Tanaka, and T. Fukushima, “Three-dimensional integration technology and integrated systems,” *Design Automation Conference, 2009. ASP-DAC 2009. Asia and South Pacific*, pp. 409–415, jan. 2009.
- [36] C. S. Tan, R. J. Gutmann, and L. R. Reif, *Overview of Wafer-Level 3D ICs*, ser. Integrated Circuits and Systems. Springer US, 2008.
- [37] S. Hosali, G. Smith, L. Smith, S. Vitkavage, and S. Arkalgud, *Through-Silicon Via Fabrication, Backgrind, and Handle Wafer Technologies*, ser. Integrated Circuits and Systems. Springer US, 2008.
- [38] CMP, “Tezzaron cmos 130nm fastack(r),” <http://cmp.imag.fr/products/ic/?p=130nmFaStack>.
- [39] Tezzaron, “3d multi-project wafers,” <http://www.tezzaron.com/OtherICs/Custom>
- [40] —, “Fastack technology,” <http://www.tezzaron.com/technology/FaStack.htm>.
- [41] K.-W. Lee, Y. Ohara, K. Kiyoyama, S. Konno, Y. Sato, S. Watanabe, A. Yabata, T. Kamada, J.-C. Bea, H. Hashimoto *et al.*, “Characterization of chip-level hetero-integration technology for high-speed, highly parallel 3d-stacked image processing system,” in *Electron Devices Meeting (IEDM), 2012 IEEE International*. IEEE, 2012, pp. 33–2.
- [42] D. Lie, K. Chae, and S. Mukhopadhyay, “On the impact of 3d integration on high-throughput sensor information processing : A case study with image sensing,” in *Nanoscale Architectures (NANOARCH), 2013 IEEE/ACM International Symposium on*. IEEE, 2013, pp. 128–133.
- [43] R. Bonnard, F. Guellec, J. Segura, A. Dupret, and W. Uhring, “New 3d-integrated burst image sensor architectures with in-situ a/d conversion,” in *Design and Architectures for Signal and Image Processing (DASIP), 2013 Conference on*. IEEE, 2013, pp. 215–222.

- [44] A. E. Gamal, "Computational image sensors," in *ICCP*, 2009.
- [45] S. Kleinfelder, S. Lim, X. Liu, and A. El Gamal, "A 10000 frames/s cmos digital pixel sensor," *Solid-State Circuits, IEEE Journal of*, vol. 36, no. 12, pp. 2049–2059, dec 2001.
- [46] J. Dubois, D. Ginhac, and M. Paindavoine, "A single-chip 10000 frames/s cmos sensor with in-situ 2d programmable image processing," pp. 124–129, aug. 2007.
- [47] T. Sugiyama, S. Yoshimura, R. Suzuki, and H. Sumi, "A 1/4-inch qvga color imaging and 3-d sensing cmos sensor with analog frame memory," vol. 1, pp. 434–479 vol.1, 2002.
- [48] A. Theuwissen and J. Coghill, "Digital imaging technology," 2003.
- [49] Y. Tochigi, K. Hanzawa, Y. Kato, R. Kuroda, H. Mutoh, R. Hirose, H. Tominaga, K. Takubo, Y. Kondo, and S. Sugawa, "A global-shutter cmos image sensor with readout speed of 1tpixel/s burst and 780mpixel/s continuous," pp. 382–384, feb. 2012.
- [50] M. El-Desouki, M. Jamal Deen, Q. Fang, L. Liu, F. Tse, and D. Armstrong, "Cmos image sensors for high speed applications," *Sensors*, vol. 9, no. 1, pp. 430–444, 2009.
- [51] E.-P. Li, "Signal integrity and emc of tsv based 3d integrated circuits," in *CNRS-LAAS Seminar, France*, 2012.

## Chapitre 3

# Implémentation d'un capteur d'image à haute densité d'intégration de circuits avec la technologie 3D.

Dans ce chapitre, le concept d'un imageur à haute densité d'intégration de circuits est défini. Nous allons prendre une architecture parallèle pour analyser ce type d'imageur, (pixel, architecture et fonctionnement). À partir de l'implémentation de ce capteur d'image avec la technologie CMOS monolithique, nous allons identifier les limites de construction afin de définir les paramètres à améliorer. À la fin est montrée une réalisation de ce type de capteur d'image en utilisant la "technologie 3D wafer level".

### 3.1 Introduction

Les circuits à haute densité d'intégration<sup>a</sup> ont commencé à se développer dans les années 1970s à 1980s pour les besoins des ordinateurs[1], comme des mémoires et microprocesseurs. Pour citer un exemple, les opérateurs téléphoniques avaient besoin d'intégrer différentes fonctions dans les circuits intégrés pour le traitement de la voix; c'est ainsi que l'entreprise NEC avait répondu à ce besoin avec la conception du circuit mPD7720 en 1980[2]; celui-ci avait un processeur et un multiplicateur de 16bits. Tous ces circuits intégrés implémentés à partir de ce moment dans la technologie CMOS ont utilisée une potentialité de cette technologie : *l'intégration des fonctions ou des circuits*.

Les capteurs d'image conventionnels ne peuvent pas répondre d'une manière correcte aux différentes applications dues aux limitations de conception (cadence de sortie, faible dynamique entre autres). Pour surmonter ces limites, nous avons vu dans les chapitres précédents, qu'une façon de les diminuer était l'intégration de fonctions ou circuits dans les pixels ou dans une autre endroit du capteur d'image[3]. Cependant, nous ne pouvons pas prévoir avec une loi, l'impact de l'intégration dans le capteur d'image. Pour voir cet effet, nous allons prendre une architecture d'un capteur d'image à haute densité de circuits et nous allons l'implémenter dans

---

a. LSI, large scale intégration.

la technologie CMOS et dans la technologie 3D wafer level, afin de comparer les limitations et potentialités.

Pour commencer cette étude, dans les paragraphes suivants, nous allons définir les capteurs d'image à haute densité d'intégration de circuits.

## 3.2 Capteur d'image à haute densité d'intégration de circuits

Les capteurs d'image à haute densité d'intégration de circuits dans ce travail seront ceux qui possèdent des fonctions de calcul et du traitement des signaux dans leurs architectures[3]. Pour faire des opérations mathématiques dans ce type de capteurs, il existe 2 types de mode d'opération, qui sont :

- *Mode d'opération par courant*, qui utilise la loi de courants de Kirchoff[3], pour réaliser les opérations basiques de calcul (addition et soustraction).
- *Mode d'opération par tension*, qui utilise les signaux convertis en numérique pour les cellules de calcul numérique et circuits numériques (Multiplicateur, CAN, mémoires, etc.)[3, 4].

Nous allons nous concentrer dans ce chapitre au second mode de fonctionnement.

### 3.2.1 Architecture et pixel

Le capteur d'image à haute densité d'intégration de circuits décrit dans ce travail est de type "global shutter" et il est composé par des circuits numériques et analogiques tant dans le pixel que dans les circuits périphériques. Cette architecture sera développée ci-dessous.

#### 3.2.1.1 Architecture

L'architecture de ce capteur d'image ne diffère pas des architectures des imageurs standards tant en taille que des fonctions[5–9]. L'architecture proposée ci-dessous utilise un convertisseur analogique numérique dit simple rampe.

Pour décrire ses fonctionnalités, nous allons détailler ci-dessous les circuits qui sont dans cette architecture (illustrée dans la figure 3.1).

- *COMPTEUR de 10 bits*, utilisé pour la génération des valeurs numériques pour la rampe analogique et les valeurs du code numérique enregistrées, généralement il est en code gray.
- *LEVEL SHIFTER*, utilisé pour les circuits numériques (1.5V); celui-ci permet que ces circuits travaillent dans une autre gamme de tensions (ex. la rampe à 3.3V).
- *RAMPE*, circuit analogique utilisé pour générer des valeurs ascendantes en tension; généralement utilisé pour les comparateurs des pixels et les compteurs de l'imageur.
- *SUIVEUR*, est un circuit adaptateur d'impédance; celui-ci donne plus de courant aux signaux qui lui traversent.

- *BUFFER*, utilisé pour acheminer les signaux de commande, *RST*, *AZ*, *PHI1*, *PHI2* à toute la matrice de pixels.
- *BASCULE D*, utilisé pour stocker les signaux d'une ligne.
- *DECODEUR X*, circuit qui utilise le multiplexeur pour sélectionner les colonnes en sortie.
- *GRAY\_2\_BIN*, circuit utilisé pour changer le codage gray des compteurs en codage binaire naturel.

La grande quantité des circuits tant dans le pixel que dans les circuits périphériques dans cette nouvelle matrice de pixels nous fait savoir que les connections ou lignes métalliques ont augmenté. Les tensions de travail des circuits analogiques sont à 3.3V et celles des circuits numériques sont à 1.5V. Le fonctionnement de ce circuit sera expliqué par l'intermédiaire d'un chronogramme dans la partie fonctionnement.

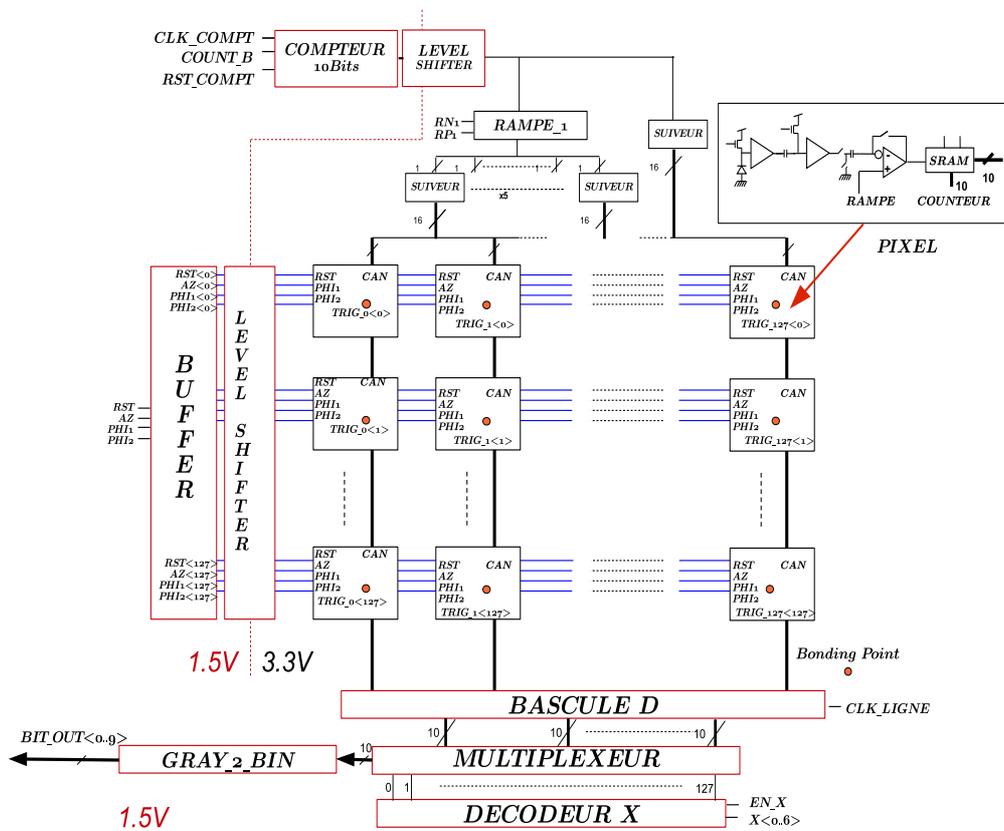


FIGURE 3.1 – Architecture d'un capteur d'image à haute densité d'intégration de circuits.

### 3.2.1.2 Pixel

Le pixel est composé par une grande quantité de transistors. Le synoptique de ce pixel est exposé dans la figure 3.2.

Les éléments de ce pixel sont décrit ci-dessous :

- *Transistor MOS monté en source suiveuse*, SF, ce sont des circuits actifs qui permettent la séparation ou isolation entre 2 étages. Dans ce pixel, le premier transistor MOS monté en source suiveuse est près de l'élément de photo-détection ; ceci est nécessaire pour que l'intégration se fasse dans le pixel sans aucun apport des circuits autour du pixel. L'autre

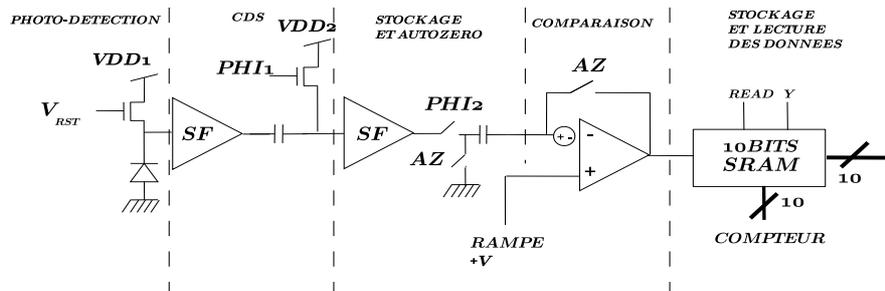


FIGURE 3.2 – Synoptique du pixel d'un capteur d'image à haute densité d'intégration de circuits.

transistor MOS monté en source suivie sert à séparer des signaux entre 2 étages, les signaux de sortie du CDS<sup>b</sup> et le circuit comparateur.

- *CDS*, composé par une capacité et d'un interrupteur. Son rôle principal est l'élimination du bruit KTC du transistor de reset.
- *Stockage et Autozero*, composé par une capacité et d'un interrupteur. Son rôle est de préparer les signaux issus du CDS pour le circuit comparateur. La capacité de stockage enregistre les valeurs  $V_{REF}$  et  $V_{SIG}$  référencées à une tension<sup>c</sup>.
- *Circuit comparateur*, composé des éléments actifs ; ceci sert à faire la comparaison entre les valeurs de la rampe analogique et les valeurs issues du CDS. Dès que les valeurs sont égales, la sortie bascule à un niveau de tension haute, nécessaire pour la partie numérique.
- *Circuit de stockage numérique*, composé par une mémoire SRAM dans le pixel, qui est capable de stocker les valeurs numériques en code gray provenant du compteur.

Le fonctionnement de ce pixel sera décrit dans les paragraphes suivants.

### 3.2.2 Fonctionnement

Pour comprendre le fonctionnement de cet imageur, nous allons utiliser le chronogramme exposé dans la figure3.3 et le synoptique du pixel de la figure3.2. Le fonctionnement est divisé en 2 parties : *L'acquisition et stockage de l'image* et *la lecture et sortie des données*. Selon le chronogramme, les signaux de commande sont :  $RST$ ,  $AZ$ ,  $PHI1$ ,  $PHI2$ ,  $X$  et  $Y$ . Les signaux de comparaison sont :  $V_{in-}$  et  $V_{RAMPE}$  ; la sortie de comparaison est définie par  $OUT : TRIG$ . Les compteurs sont représentés par le signal numérique :  $COMPTEUR$ .

#### 3.2.2.1 Acquisition et stockage de l'image

Le chronogramme montré représente le procédé d'acquisition de 3 images ( $FRAME$  0, 1, 2). Au début (l'initialisation), les signaux de commande sont envoyés, avec le signaux de  $RST$  en premier (1)<sup>d</sup> ; ceci est nécessaire pour mettre à zero les capacités des photo-détecteurs. Puis le signal passe par un suiveur (2). Le signal  $PHI1$  est au niveau haut, ceci permet de stocker la valeur de  $V_{REF}$  référencée à une tension (3), après ce signal est mis à zero. L'intégration du signal photonique se fait au sein de l'élément de photo-détection durant le temps d'intégration.

b. Correlated double sampling.

c. Ceci sera expliqué dans la partie de fonctionnement.

d. Chaque numéro va être décrit dans le tableau3.1

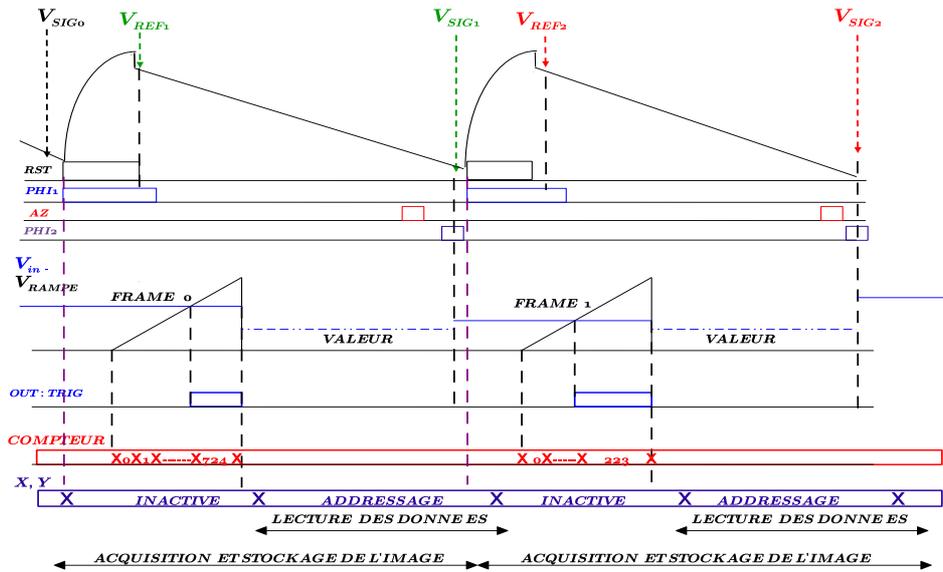
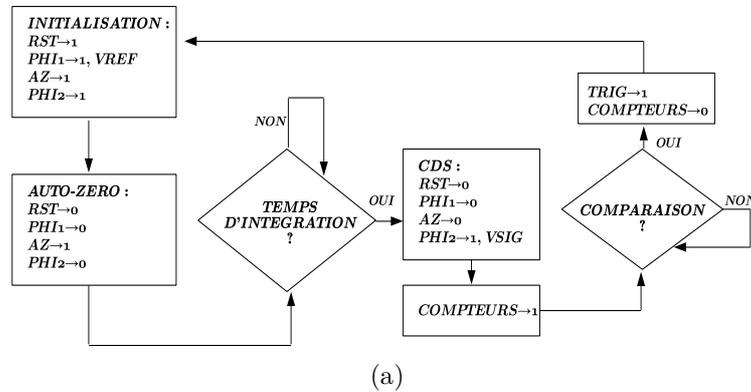
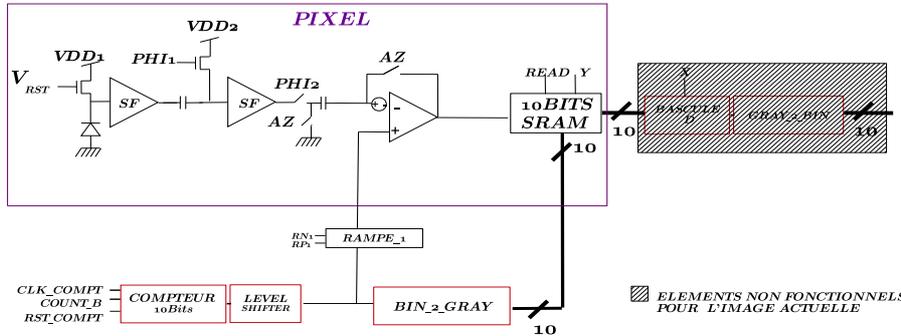


FIGURE 3.3 – Chronogramme du capteur d'image à haute densité d'intégration de circuits.

Avant la fin de l'intégration, le signal *AZ* est envoyé pour re-initialiser la capacité de stockage et éliminer l'offset du comparateur (4) et (5). Quand l'intégration est finie, le signal *PHI2* est mis au niveau haut pour que le signal du CDS puisse être stocké dans la capacité. La comparaison se fait durant le trame suivante (6), comme dans une architecture "pipeline". Les compteurs de la rampe et celui de la mémoire se déclenchent à ce moment là. Lorsque les signaux d'entrée ont la même valeur, le signal de sortie *OUT : TRIG* est au niveau haut. Cela se passe pour toute la matrice des pixels.



(a)



(b)

FIGURE 3.4 – Fonctionnement du capteur d'image durant l'acquisition et stockage de l'image : (a) Diagramme de fonctionnement du pixel ; (b) Éléments actifs et non actifs dans le pixel.

Le diagramme de fonctionnement (figure3.4(a)) illustre les signaux utilisés et le synoptique

du pixel de la figure 3.4(b) montre les éléments fonctionnels durant cette opération. Le tableau 3.1 décrit les fonctions du pixel.

Le tableau ci-dessous montre de manière détaillée, les valeurs de tension dans toute la chaîne de lecture dans le pixel.

(1)	<p>La photodiode est réinitialisée avec le signal RST,                  - Signaux de commande : PHI1=PHI2=AZ=OFF                  - Tension de sortie : <math>\langle V_{SIG}=0, V_{RST}-VT \rangle</math>.</p>
(2)	<p>Le signal passe par un suiveur d'un gain <math>A0 &lt; 1</math>.                  - Tension de sortie, VSF : <math>\langle A0.(V_{SIG}=0), A0.(V_{RST}-VT) \rangle</math>                  * <math>(V_{RST}-VT = V_{REF})</math>.</p>
(3)	<p>L'opération CDS, avec les 2 signaux <math>(V_{REF} - V_{SIG})</math>. Il faut attendre un temps d'intégration pour les obtenir.                  - Capture de <math>V_{REF}</math> :                  - Signaux de commande : PHI1=ON, PHI2=AZ=OFF  <math>VA1=VDD\_PHI1</math> et <math>VSF1= A0.(V_{RST}-VT)</math>                  Le signal dans la capacité : <math>V_{cap1}=VA1-VSF1</math>                  - Tension de sortie aux bornes de la capacité :  <math>V_{cap1}= VA1-A0.(V_{RST}-VT) = VA1-A0.(V_{REF})</math>                  * <math>V_{REF} = V_{RST}-VT</math>.                   - Capture de <math>V_{SIG}</math>, après un temps d'intégration :                  - Signaux de commande : PHI1=PHI2=AZ=OFF                  - Tension à la borne négative de la capacité et la borne positive à l'air :  <math>A0.V_{SIG1}+V_{cap1}</math>                  - Tension de sortie, fonction CDS : <math>VA2 = VDD\_PHI1-A0(V_{REF}-V_{SIG})</math></p>
(4)	<p>Le signal passe par un suiveur avec un gain <math>A1 &lt; 1</math>, avec les conditions suivantes :                  - Signaux de commande : PHI2=ON, PHI1=AZ=OFF.                  - Tension de sortie : <math>\langle A1.V_{Amin}, A1.V_{Amax} \rangle</math>.                  * <math>V_{Amin}</math> et <math>V_{Amax}</math>, sont des valeurs variables dû à l'incidence variable de la lumière et dépends des valeurs de polarisation.</p>
(5)	<p>D'abord nous faisons l'acquisition de la tension d'offset du comparateur (AZ), et nous avons réinitialisé le comparateur avec une tension <math>V^*</math>. La valeur d'offset est stockée dans la capacité.                  - Signaux de commande : AZ=ON, PHI1=PHI2=OFF.                  - Tension de sortie : <math>V_{cap2} = V^* - V_{off}</math>.                  * <math>V</math>, c'est la tension à la borne positif du comparateur au moment de l'AUTOZERO.</p>
(6)	<p>Dans cette partie, nous avons déjà acquis la tension d'offset du comparateur (AZ), et nous avons déjà fait réinitialiser le comparateur avec une tension <math>V</math>.                  - Signaux de commande :  <math>PHI2=ON, AZ=PHI1=OFF</math>, pour le signal final du CDS et le stockage.  <math>PHI2^*=AZ=PHI1=OFF</math>, pour démarrer la comparaison.                  - Tension de sortie :  <math>vin\_moinsN = A1.(VDD\_PHI1-A0.(V_{REF}-V_{SIG})) + V_{cap2}</math>.  <math>vin\_moinsN = A1.(VDD\_PHI1-A0.(V_{REF}-V_{SIG})) + V - V_{off}</math>.                  Nous avons une tension dans la borne négative du comparateur (<math>vin\_moinsN</math>), qui est comparée avec la valeur de la borne positive (rampe), et dès qu'ils sont égaux, il donne une tension à la sortie qui permet de déclencher la partie numérique (TRIG de 0 à 1).                  *Peut être une référence pour faire commencer les 2 compteurs.</p>

Tableau 3.1 – Description détaillé des fonctions du pixel.

La récupération des données et la manière de les lire seront expliquées dans les paragraphes suivants.

### 3.2.2.2 Lecture et sortie des données

Pour récupérer les valeurs des mémoires, les signaux de commande  $X$  et  $Y$  sont utilisés d'une manière similaire à l'adressage d'une mémoire standard. Le circuit  $BASCULE\_D$  permet de stocker les valeurs d'une ligne pour que l'architecture puisse travailler dans un mode décorrélé. Le diagramme de fonctionnement de cette partie est montré dans la figure 3.5(a) où la taille de la matrice est de  $128 \times 128$  pixels. Les éléments utilisés dans le pixel pour ce propos sont montrés dans la figure 3.4(b).

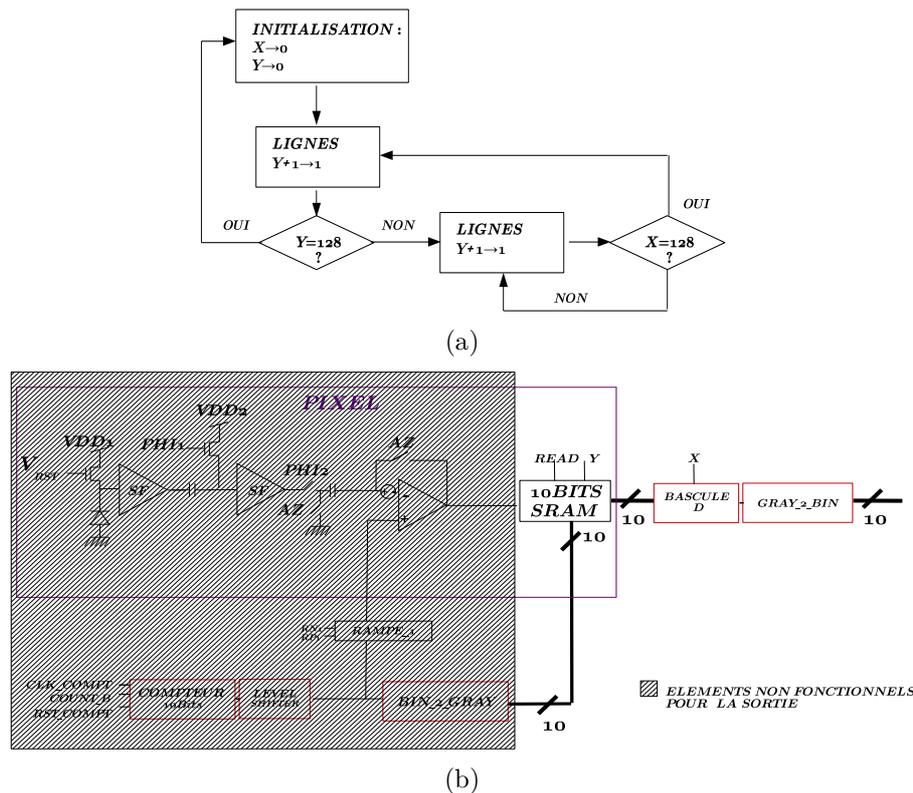


FIGURE 3.5 – Fonctionnement du capteur d'image durant la phase de lecture et sortie des données : (a) Diagramme de fonctionnement du pixel ; (b) Éléments actifs et non actifs dans le pixel.

Cette analyse permet de voir les potentialités de ce capteur d'image, comme la conversion analogique numérique dans le pixel ; cependant, il existe de limites qui ne sont pas mises en évidence très facilement en raison de la grand quantité d'intégration dans l'imageur implémenté dans la technologie CMOS monolithique. Ces contraintes sont abordés dans les paragraphes suivants.

## 3.3 Limitations d'implémentation du capteur d'image à haute densité d'intégration de circuits

Les imageurs APS implémentés dans la technologie CMOS ont gagné un savoir-faire de construction pendant plus de 10 ans d'existence[10]. Pour ce travail, nous allons regarder les

limites naturelles d'implémentation du capteur d'image étudié dans la technologie CMOS monolithique.

### 3.3.1 Facteur de remplissage

Les paragraphes précédents définissaient le facteur de remplissage comme l'aire occupée par l'élément photosensible du pixel. Dans le cas de l'implémentation du capteur d'image étudié, à cause de la grande quantité des transistors présents dans le pixel (aire de construction occupée), la partie photosensible est réduite. Le calcul du facteur de remplissage donne 16.5%<sup>e</sup>. Cela implique que le pixel n'aura pas de performances électro-optiques optimales. Cependant, l'ajout de microlentilles peut rattraper cette perte de facteur de remplissage[3], ce qui amène à prendre en compte un procédé de fabrication.

### 3.3.2 Couplage dans la chaîne de lecture

Une autre partie souvent ignorée dans la conception des imageurs est le couplage entre les interconnexions. Dans cet imageur, les signaux numériques et analogiques sont proches. Cela implique un couplage pouvant être néfaste aux faibles signaux analogiques<sup>f</sup>.

Ces 2 limites citées ci-dessus seront prises en compte pour l'analyse et l'implémentation du capteur d'image dans la technologie 3D.

## 3.4 Implémentation d'un capteur d'image à haute densité d'intégration de circuits dans la technologie 3D.

Dans cette partie sera décrite la technologie d'intégration 3D utilisée pour l'implémentation des capteurs d'image, seront détaillés le procédé d'analyse des couplages et facteurs de remplissage pour les pixels et circuits qui utilisent ce type de technologie et sera montrée l'implémentation d'un capteur d'image à haute densité d'intégration de circuits.

### 3.4.1 Technologie 3D Wafer level.

Dans le chapitre 2 ont été décrites les technologies de construction 3D. Pour l'implémentation de ce travail, la *technologie 3D wafer level* FaStack de Tezzaron a été choisi[11]. L'accès à cette technologie est permis par l'intermédiaire du consortium multi-projet CMP<sup>g</sup>-MOSIS-CMC[12, 13].

Les caractéristiques principales de cette technologie 3D[11] sont montrées dans le tableau 3.2.

---

e. Le calcul du facteur de remplissage est montré dans la partie réduction de contraintes de construction.

f. Les valeurs de couplage sont calculées dans la partie réduction de contraintes de construction.

g. Circuit multi-projets

h. Procédé mixte de haute performance pour circuits analogiques et numériques.

i. Through Silicon Via.

Technologie 3D de Tezzaron	
<b>Technologie</b>	- 2 Wafers de technologie CMOS <sup>h</sup> de 130nm. - Technologie FaStack (Collage Face à Face).
<b>Niveaux métalliques</b>	- 6 niveaux métalliques (6M1P).
<b>Connecteurs</b>	- Bondpoint (Métal 6 comme interface de collage). - Supercontact (TSV <sup>i</sup> ).
<b>Tensions</b>	- 1.2V/1.5V (numérique). - 3.3V (entrée/sortie et analogique) - 5.0V (tolérant)

Tableau 3.2 – Principaux caractéristiques de la technologie 3D de Tezzaron[11]

### 3.4.1.1 Description de la technologie

Cette technologie permet l'empilement de 2 wafers de 150um d'épaisseur, avec une couche active de 5um à 10um. Le développement de cet assemblage est expliqué avec la figure 3.6 en relation avec les étapes suivantes :

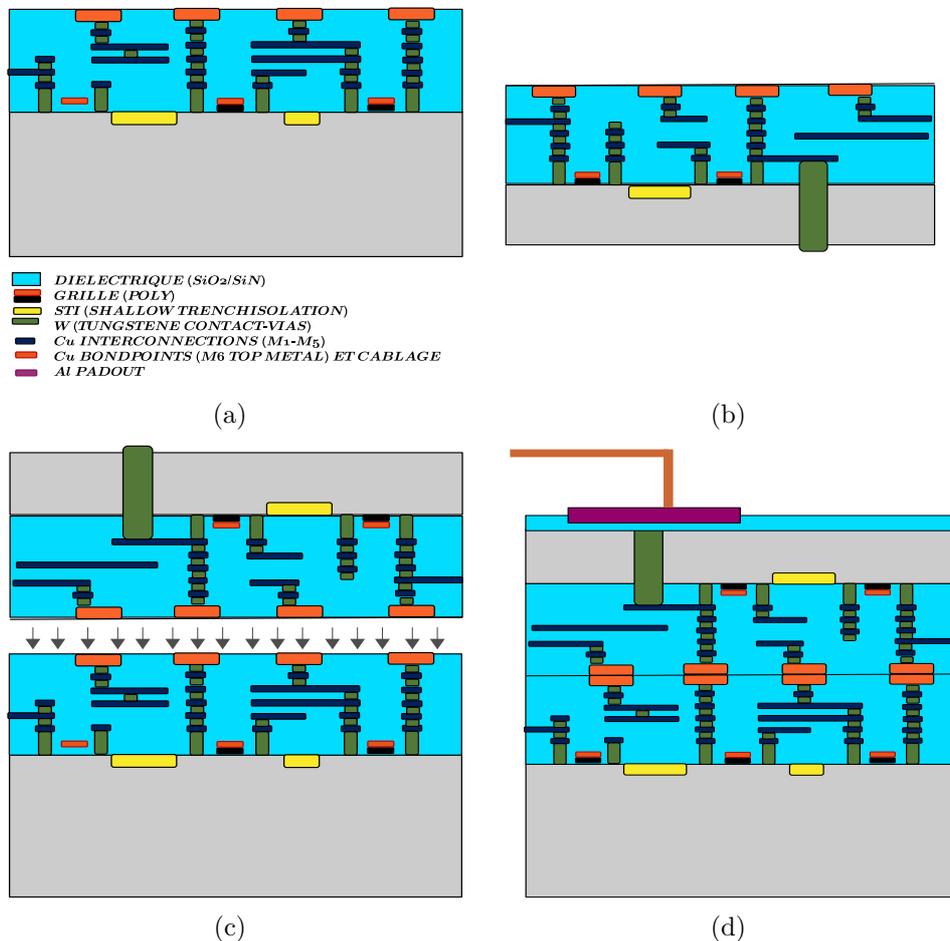
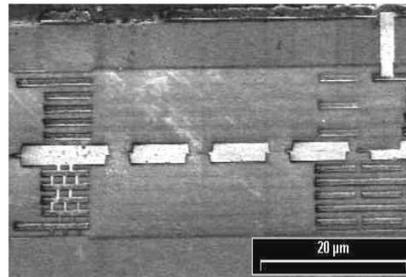


FIGURE 3.6 – Procédé d'assemblage de la technologie de Tezzaron : (a) Un wafer avec les circuits imprimés; (b) Un autre wafer aminci avec un "supercontact"; (c) L'assemblage de 2 wafers en faisant correspondre les "bonding points"; (d) Installation du câblage.

- (a) Les circuits sont réalisés séparément sur les 2 wafers avant empilement (voir figure 3.6(a) et (b)). Du métal 1 à métal 6.
- (b) Un wafer est sélectionné pour construire les interconnexions verticales "super contacts" ou TSVs. Ensuite, l'amincissement du wafer est fait (avec une moyenne de 15um d'épais-

- seur finale), pour préparer l'avant et l'après du collage (figure3.6(b)).
- (c) Le procédé d'empilement ou collage de type "face to face" entre wafers commence avec le retournement et l'alignement des wafers. Ce type d'assemblage est appelé : "Metal-Metal thermo-compression Bonding" et travaille avec une température de  $< 400^{\circ}\text{C}$ <sup>j</sup> pour le collage.
- (d) La couche de SiO<sub>2</sub> de 0.5um est déposée sur l'assemblage 3D. Au final, nous mettons le câblage pour les connexions au boîtier (figure3.6(d)).

La figure3.7(a) montre une image SEM d'un assemblage 3D[11] ; ceci permet de voir les niveaux métalliques de cette technologie, les circuits et les inter-connexions. Cette technologie permet



(a)

FIGURE 3.7 – Technologie d'assemblage de Tezzaron : (a) Image du SEM<sup>l</sup> de la section transversale d'un assemblage[11].

d'assembler plus de 2 wafers provenant de différents sources (assemblage hétérogène) ; cependant, les assemblages hétérogènes ne sont pas disponibles pour le moment. Il est bien noté que le rendement<sup>m</sup> de ce type de circuit 3D-IC dépend directement du collage, le fabricant assure 99% de rendement[11–13].

Pour concevoir un capteur d'image dans la technologie 3D, il faut définir les d'abord les composants impliqués dans cet assemblage.

### 3.4.2 Éléments de l'assemblage.

Pour l'analyse et calcul de l'impact de l'assemblage pour un capteur d'image, les éléments participant pour cet type de structures 3D vont être définis ci-dessous.

#### 3.4.2.1 Wafer

Cette technologie utilise la technologie CMOS de 0.13um (130nm)[11] pour les circuits. Ces wafers permettent de construire des circuits analogiques, numériques et photosensibles (voir figure3.6(a) et (b)) ; les couches actives des 2 wafers sont de 5um à 10um et l'épaisseur des wafers est de 150um.

---

j. Pour plus des information les articles cités[11–13] donnent plus de détails.  
m. Yield.

### 3.4.2.2 Interconnexions

Pour cette technologie il existe 3 types basiques d'interconnexion. Ces types sont décrites ci-dessous :

- *Les connexions TSV ou "supercontacts"*, qui servent à connecter les signaux de l'assemblage avec les "pads" du boitier.
- *Les bondpoints*, sont les éléments de contact entre 2 wafers, qui sont situés dans le dernier niveau métallique (métal 6).
- *Les niveaux métalliques*, qui servent à connecter les circuits analogiques et numériques (métal 5 à métal 1).

La figure 3.38 décrit les dimensions de "supercontacts" et bondpoints. Les dimensions de ces interconnexions sont divisés par une unité U pour raison de confidentialité de cette technologie.

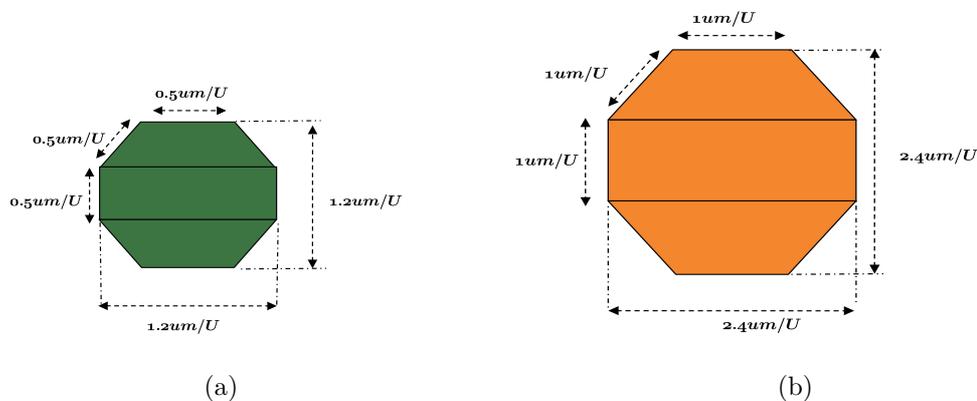


FIGURE 3.8 – Technologie d'assemblage de Tezzaron : (a) Dimensions du TSV ; (b) Dimensions du Bonding point.

Les principales caractéristiques de ces connexions sont détaillées dans le tableau 3.3 :

	Aire [ $\mu\text{m}^2/U^2$ ]	Profondeur [ $\mu\text{m}/U$ ]	Matériau
Bondpoints	1.195	6	Cuivre [Cu]
Supercontacts (TSV)	4.78	0.86	Tungstène [W]

Tableau 3.3 – Caractéristiques des connecteurs de la technologie de Tezzaron [11, 12].

Le tableau 3.4 montre les niveaux métalliques de la technologie 3D de Tezzaron [11, 12].

Niveau Métallique	Épaisseur [ $\mu\text{m}/U$ ]	Largeur [ $\mu\text{m}/U$ ]	Aire [ $\mu\text{m}^2/U^2$ ]	Matériau
M5	0.42	0.20	$\geq 0.562$	Cuivre [Cu]
M4, M3, M2	0.42	0.20	$\geq 0.144$	Cuivre [Cu]
M1	0.31	0.16	$\geq 0.144$	Cuivre [Cu]

Tableau 3.4 – Les niveaux métalliques de la technologie de Tezzaron [11, 12].

Nous avons défini les connexions avec les matériaux qui les composent et leurs dimensions ; Ceci nous permet de les utiliser pour avoir un ordre de grandeur des éléments parasites dans les analyses électriques de ce type d'assemblage. Ces études seront décrites pour un capteur d'image dans les paragraphes suivants.

### 3.4.3 Impact de l'assemblage d'un circuit 3D.

Pour estimer cet impact dans le capteur d'image proposé, nous allons analyser une structure empilée et implémentée dans la technologie d'intégration 3D wafer level. La structure analysée est montrée dans la figure 3.9. Les dimensions de cette structure correspondent à la taille d'un pixel de 10 $\mu$ m x 10 $\mu$ m ; Les dimensions et matériaux des interconnexions correspondent aux caractéristiques citées dans les tableaux 3.3 et 3.4.

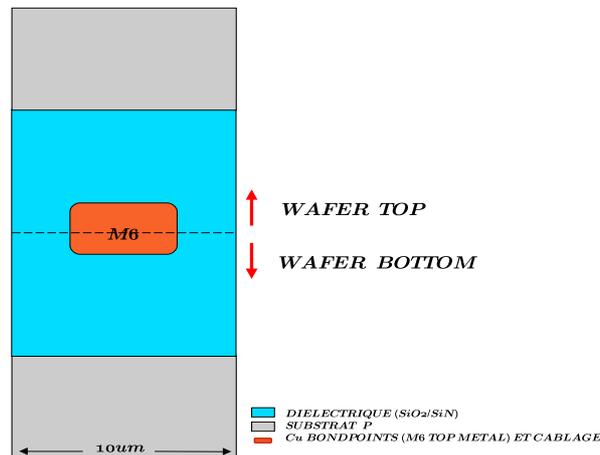


FIGURE 3.9 – Structure d'analyse pour l'impact de l'empilage dans un circuit 3D.

La structure à étudier est un assemblage de 2 wafers, collés en "face-to-face". Dans cette étude, les fissures et imperfections du collage ne seront pas prises en compte pour l'analyse électrique. Cette structure se comporte comme une structure monolithique avec plusieurs niveaux de métal et 2 substrats. Dans les paragraphes suivants, nous allons étudier cette structure.

#### 3.4.3.1 Éléments parasites de la structure 3D

Les éléments parasites dans une structure monolithique dans la technologie CMOS sont les capacités, les résistances et les inductances [14–16]. Ces éléments parasites dépendent de l'application et du positionnement des circuits ; plus en détail, de la fréquence de travail, de la position des lignes métalliques et de l'influence des éléments actifs ou passifs voisins. Les paragraphes suivants nous aideront à calculer ces paramètres parasites et comprendre leur influence dans une structure 3D.

#### 3.4.3.2 Calcul des résistances et capacités parasites

Pour calculer ces éléments parasites, nous allons utiliser le logiciel fait pour ce propos<sup>n</sup>. En premier, les dimensions de cette structure, (voir figure 3.9), sont calculées par le logiciel en utilisant le traitement numérique des images<sup>o</sup>. Le tableau 3.5 recueille les valeurs calculées des dimensions de l'interconnexion de la structure analysée, <sup>p</sup> (métal 6).

La nomenclature pour les dimensions :

n. Voir l'annexe 1.

o. Voir les annexes 1 et 2.

p. Les valeurs calculées ont un erreur de 5%, pour plus d'information voir les annexes 1 et 2.

W, largeur de l'interconnexion ou du canal du transistor.

L, longueur de l'interconnexion ou du canal du transistor.

H, hauteur par rapport au substrat 1 et 2.

T, épaisseur de l'interconnexion.

T [um]	W [um]	H1 [um]	H2 [um]
1.616	2.255	4.579	4.579

Tableau 3.5 – Valeurs calculés des dimensions pour une interconnexion.

En utilisant les valeurs des dimensions, les valeurs des résistances et capacités sont calculées.

La *résistance parasite* de l'interconnexion de cette structure 3D est calculée dans ce travail par leurs dimensions (voir les Annexes 1 et 2). La valeur de la résistance calculée est montrée dans le tableau3.6. Les unités de la résistance parasite est mΩ/um, ceci nous montre qu'un empilement a une faible valeur de résistance.

Résistance [Ω/um]	Résistance [Ω] (L=2um)
0.0077	0.0155

Tableau 3.6 – Valeurs calculées de la résistance pour une interconnexion.

La *capacité parasite* de cette structure est donnée par l'influence de l'interconnexion aux 2 substrats. Le calcul correspondant à la capacité totale est composé de la *capacité verticale* (C\_V) et de la *capacité frange* (C\_F), (L'étude de ce 2 capacités est présentée dans l'annexe 2.). La structure analysée est exposée dans la figure3.10(a). L'apport des capacités des parties top et bottom est montré dans la figure3.10(b); Il faut remarquer que l'interconnexion a l'influence de 2 substrats pour le calcul, donc elle aura une capacité équivalente ou totale pour chaque substrat.

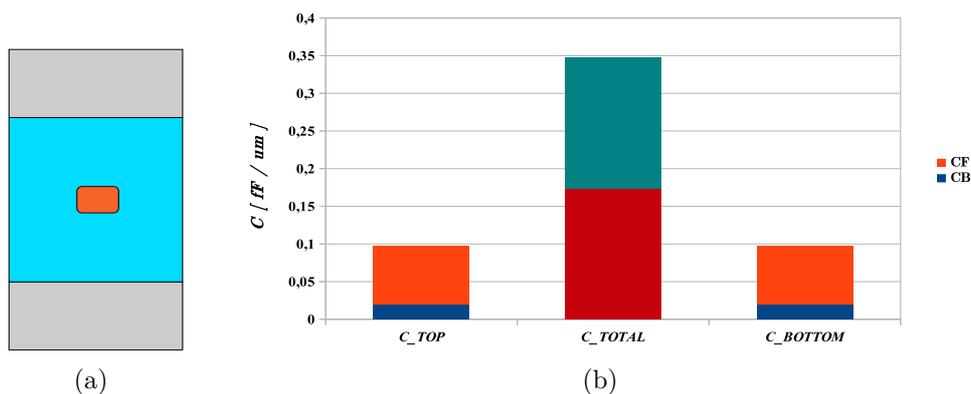


FIGURE 3.10 – Calcul des capacités parasites dans une structure 3D : (a) Structure analysé pour les calculs de la résistance et capacités parasites; (b) L'apport détaillé des capacité parasites des parties top et bottom.

Le tableau3.7 résume les valeurs calculées des capacités par le logiciel et elles sont ordonnées par l'apport des parties top et bottom.

Nous avons calculé les éléments parasites d'une interconnexion entre 2 wafers dans une structure 3D, ceci nous a donné une idée des ordres de grandeur pour les calculs futurs. Dans

	Partie top	Partie bottom
C_V [fF/um]	0,0196	0,0196
C_F [fF/um]	0,077	0,077
Total [fF/um]	0,1736	0,1736

Tableau 3.7 – Valeurs calculées de la capacité pour une structure 3D.

les paragraphes suivants, nous allons présenter l'influence des autres lignes métalliques à l'interconnexion du métal 6.

### 3.4.3.3 Calcul de l'influence des autres niveaux métalliques

Pour cette partie, nous prendrons en compte seulement les capacités parasites. Il faut se rappeler que les structures étudiées sont collées "face-to-face", autrement dit que les niveaux métalliques sont mis de la manière suivante : Pour le wafer bottom, M1, M2, M3, M4, M5 et M6 et pour le wafer top, M6, M5, M4, M3, M2 et M1. La nomenclature suivante est présentée pour comprendre les figures de cette étude.

- C\_TOTAL = Capacité totale dans le metal 6.
- C\_TOP = Capacité apportée du wafer TOP.
- C\_BOTTOM = Capacité apportée du wafer BOTTOM.
- C\_V\_F\_MX\_MY\_B = Capacité Verticale et Fringe du métal X au métal Y dans le wafer BOTTOM.
- C\_V\_F\_MX\_MY\_T = Capacité Verticale et Fringe du métal X au métal Y dans le wafer TOP.
- C\_F\_MX\_MY\_B = Capacité Fringe du métal X au métal Y dans le wafer BOTTOM.
- C\_F\_MX\_MY\_T = Capacité Fringe du métal X au métal Y dans le wafer TOP.
- MX\_MYTB\_MWB = Analyse pour le métal X, avec l'influence de la partie top et bottom du métal Y et de la partie bottom du métal W.

Les structures d'analyse M6\_M5B et M6\_M5TB sont montrées dans la figure3.11(a) et (c), respectivement. Il s'agit de l'augmentation des niveaux métalliques autour de l'interconnexion du métal 6. La structure M6\_M5B est composée par une interconnexion du métal 6 et une ligne métallique du métal 5 dans la partie bottom. La structure M6\_M5TB est composée par une interconnexion du métal 6 et une ligne métallique du métal 5 tant dans la partie top et bottom. Le tableau3.8 montre le calcul des dimensions à partir du logiciel développé de ces 2 structures. La variable H3, dénote la distance entre 2 interconnexions.

	Métal	T [um]	W [um]	H1 [um]	H2 [um]	H3 [um]
M6_M5B	Métal 6	1.616	2.255	4.579	4.579	-
	Métal 5	0,303	0,1347	-	-	0,5724
M6_M5TB	Métal 6	1.616	2.255	4.579	4.579	-
	Métal 5	0,336	0,101	-	-	0,538
	Métal 5	0,336	0,101	-	-	0,538

Tableau 3.8 – Dimensions calculées pour des structures 3D.

Pour illustrer l'apport des niveaux métalliques au métal 6, nous allons nous servir des figures3.11(b) et (d). Dans le cas de la structure M6\_M5B (figure3.11(b)), nous allons voir

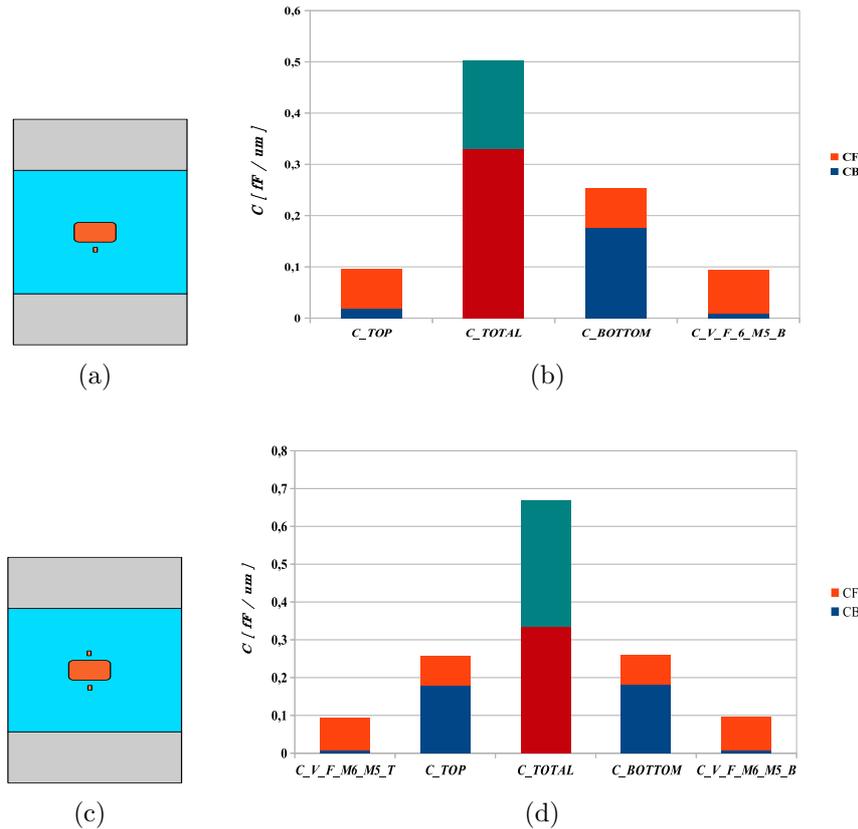


FIGURE 3.11 – Analyse des structures 3D en termes de capacité : (a) Structure d'analyse M6\_M5B; (b) Diagramme d'influence d'un niveau métallique de la partie bottom; (c) Structure d'analyse M6\_M5TB; (d) Diagramme d'influence de deux niveaux métalliques de la partie bottom et top.

l'impact du niveau métallique M5 dans le calcul de la capacité totale. Il est aperçu que les dimensions et la séparation des interconnexions jouent un rôle important. Plus en détail, la taille de l'interconnexion M6 est très grande en comparaison à l'interconnexion M5 (16 fois la taille). De plus, la distance entre ces interconnexions est courte. Avec ce raisonnement, les lignes de champ électrique qui sortent du M5 sont prises seulement comme un effet d'une capacité verticale. La capacité totale de cette structure de la partie bottom est 0.330fF/um et la capacité totale de la partie top est 0.173fF/um.

	Capacités	Partie top	Partie bottom
M6_M5B	C_V [fF/um]	0.019	0.177
	C_F [fF/um]	0.077	0.076
	Total [fF/um]	0.173	0.330
M6_M5TB	C_V [fF/um]	0.180	0.181
	C_F [fF/um]	0.076	0.076
	Total [fF/um]	0.333	0.334

Tableau 3.9 – Valeurs calculés de la capacité pour une structure 3D.

Dans le cas de la structure M6\_M5TB, nous pouvons apercevoir que les 2 parties top et bottom, ont les mêmes valeurs de capacités totales : 0.333fF/um et 0.334fF/um respectivement; ceci est dû au fait que les tailles des lignes du métal 5 sont proches et que l'interconnexion M6 est si grande que les lignes de champ électrique des structure M5 ne sont pas couplées. Les valeurs

des capacités de ces 2 structures sont notées dans le tableau 3.9.

Nous avons analysé l'influence d'une ligne métallique M5 qui est proche au métal 6, et nous avons vu que les capacités verticales augmentent. Les paragraphes suivants nous montrerons l'impact des plusieurs niveaux métalliques par rapport au métal 6.

**Plusieurs niveaux métalliques** L'influence de plusieurs niveaux métalliques est analysée ci-dessous. Les structures sont montrées dans les figures 3.12(a) et (d). Les dimensions des structures M6\_M5B\_M4B\_M3B\_M2B\_M1B et M6\_M5TB\_M4TB\_M3TB\_M2TB\_M1TB sont présentées dans le tableau 3.10.

	Métal	T [um]	W [um]	H1 [um]	H2 [um]	H3 [um]
M6_M5B_M4B_M3B_M2B_M1B	Métal 6	1.616	2.255	4.579	4.579	-
	Métal 5	0,336	0,101	-	-	0,538
	Métal 4	0,303	0,101	-	-	1,380
	Métal 3	0,303	0,101	-	-	2,188
	Métal 2	0,303	0,101	-	-	2,996
	Métal 1	0,134	0,067	-	-	3,838
M6_M5TB_M4TB_M3TB_M2TB_M1TB	Métal 6	1.616	2.255	4.579	4.579	-
	Métal 5T	0,303	0,101	-	-	0,505
	Métal 4T	0,303	0,101	-	-	1,380
	Métal 3T	0,303	0,101	-	-	2,121
	Métal 2T	0,336	0,101	-	-	2,929
	Métal 1T	0,303	0,101	-	-	3,771
	Métal 5B	0,336	0,101	-	-	0,538
	Métal 4B	0,303	0,101	-	-	1,380
	Métal 3B	0,303	0,101	-	-	2,188
	Métal 2B	0,303	0,101	-	-	2,996
	Métal 1B	0,134	0,067	-	-	3,838

Tableau 3.10 – Valeurs calculées des dimensions pour 2 structures avec plusieurs niveaux métalliques.

La structure de la figure 3.12(a) (M6\_M5B\_M4B\_M3B\_M2B\_M1B) montre une interconnexion du métal 6 avec plusieurs niveaux métalliques du wafer bottom. Les niveaux métalliques éloignés du métal 6 apportent seulement des capacités fringes (M4 à M1) et le niveau métallique le plus proche (M5) apporte sa capacité fringe et sa capacité verticale. L'influence de ces niveaux métalliques est montrée dans la figure 3.12(c) ; Cette influence affecte directement la capacité verticale du métal 6, où la valeur change de 0,0196fF/um (sans apport des niveaux métalliques) à 0,670fF/um. La figure 3.12(b) montre l'apport des niveaux métalliques de la partie bottom par rapport à la totalité de la capacité.

La structure M6\_M5TB\_M4TB\_M3TB\_M2TB\_M1TB est montrée dans la figure 3.12(d) ; où les niveaux métalliques sont présents dans les wafer top et bottom. La figure 3.12(e) expose les apports des niveaux métalliques (M1 à M5) de chaque wafer ; les capacités totales de la partie top et bottom sont 0,824fF/um et 0,823fF/um respectivement.

L'analyse de l'influence des niveaux métalliques a démontré que les niveaux le plus proches au métal 6, où les bondings points sont mis, affectent grandement la capacité totale. L'impact de cet effet capacitif est un retard des signaux qui passent par le métal 6 ; ce retard est fonction de la capacité parasite ajoutée.

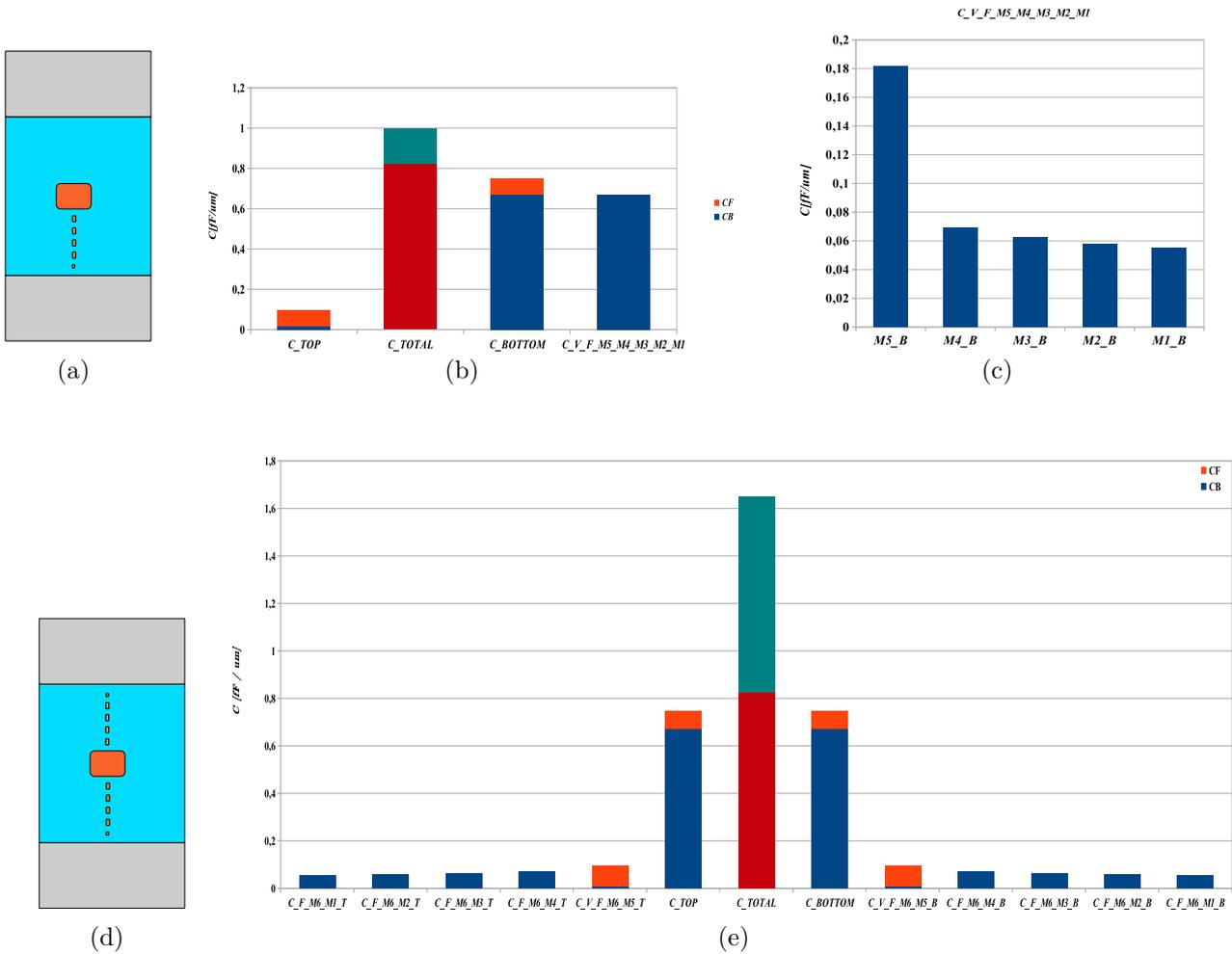


FIGURE 3.12 – Analyse des structures 3D avec plusieurs niveaux métalliques : (a) Structure d’analyse M6\_M5B\_M4B\_M3B\_M2B\_M1B; (b) Diagramme d’influence de 5 niveaux métalliques de la partie bottom; (c) Diagramme d’influence de 5 niveaux métalliques à la capacité bottom; (d) Structure d’analyse M6\_M5TB\_M4TB\_M3TB\_M2TB\_M1TB; (e) Diagramme d’influence de 5 niveaux métalliques de la partie bottom et top.

	Capacités	Partie top	Partie bottom
M6_M5B_M4B_M3B_M2B_M1B	$C\_V$ [fF/um]	0,019	0,670
	$C\_F$ [fF/um]	0,076	0,076
	Total [fF/um]	0,173	0,823
M6_M5TB_M4TB_M3TB_M2TB_M1TB	$C\_V$ [fF/um]	0,671	0,670
	$C\_F$ [fF/um]	0,076	0,076
	Total [fF/um]	0,824	0,823

Tableau 3.11 – Valeurs calculés de la capacité pour les 2 structures 3D.

Dans les paragraphes suivants, nous allons analyser une structure équivalente qui sert à ramener un signal entre les wafers.

### 3.4.3.4 Structure d’interconnexion entre 2 wafers

Il s’agit d’une structure d’interconnexion qui sert à communiquer un signal entre 2 wafers (SMTB); Celle-ci est montrée dans la figure3.13. Cette structure est composée par les lignes

métalliques de M1 à M6 des 2 wafers.

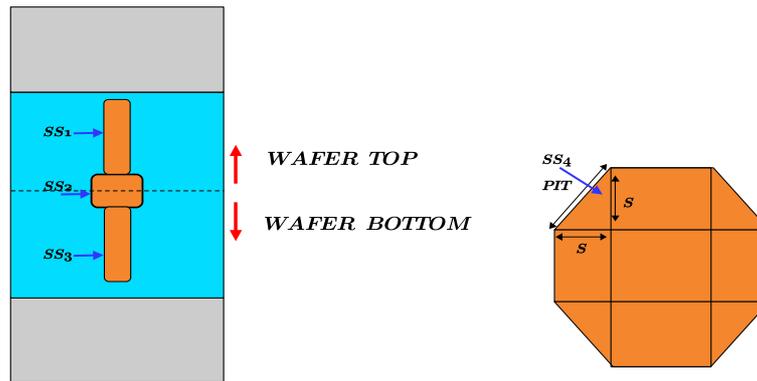


FIGURE 3.13 – A droite, structure d'interconnexion pour communiquer une signal entre 2 wafers, SMTB. A gauche, les dimensions de la structure SS4.

Pour calculer les dimensions de cette assemblage, nous allons partitionner cette structure SMTB en 4 structures (SS1, SS2, SS3 et SS4). Les VIAS et bondpoints sont pris en compte dans les calculs. Le tableau 3.12 montre les dimensions calculées des ces structures. Le bonding point a une forme hexagonale et les autres structures ont des formes rectangulaires. En prenant en compte leurs formes, la variable  $S$  dénote la différence de la longueur horizontale entre les structures.  $PIT$  dénote une longueur calculée par le théorème de Pythagore. De cette manière, nous pouvons calculer les apports de toutes les structures de l'assemblage SMTB.

	T [um]	W [um]	H1 [um]	H2 [um]	H3 [um]	S [um]	PIT [um]
Structure 1, SS1	3.805	1.111	6,061	0,943	-	-	-
Structure 2, SS2	1.549	2.222	4,411	4,815	-	0,539	0,762
Structure 3, SS3	3.771	1.145	0,471	6.498	-	-	-
Structure 4, SS4	1.549	0,539	4,411	4,815	-	-	-

Tableau 3.12 – Valeurs calculées des dimensions pour l'interconnexion servant à communiquer 2 wafers.

Les valeurs calculées de la capacité totale et résistance totale de cette structure sont montrées dans le tableau 3.13.

	Capacité totale [fF]	Résistance totale [ $\Omega$ ]
SMTB (L=0.2um)	2.013	0.388

Tableau 3.13 – Valeurs calculées pour une interconnexion entre 2 wafers.

Nous avons calculé l'impact des éléments parasites dans un assemblage 3D sans les lignes métalliques des autres circuits; ceci nous permet de voir que les capacités et résistances sont de faible valeur. Cependant, dans une structure avec plusieurs niveaux métalliques, la capacité parasite totale dépend fortement des éléments qui sont autour du signal, ceci peut affecter l'intégrité de signal.

Dans les paragraphes suivants, une analyse de l'intégrité de signal d'un assemblage 3D sera montrée.

### 3.4.4 L'intégrité du signal dans un assemblage 3D

L'importance de connaître l'impact électrique des lignes métalliques dans un capteur d'image, nous amène à définir l'intégrité du signal. Les paragraphes suivants nous introduiront ce concept.

L'*intégrité du signal* permet d'étudier et de donner sous une forme qualitative et quantitative, l'impact des perturbations entre lignes métalliques [15, 17, 18]. Ceci nous permet d'avoir un ordre de grandeur des perturbations électriques sur un circuit donné. La figure 3.14 montre les flots de conception des circuits intégrés en utilisant l'analyse d'intégrité de signal. L'analyse d'intégrité du signal dans le flot de conception nous permet de vérifier et corriger les circuits lors des différents étapes de conception par rapport à la transmission des signaux sans pollution sur les autres lignes métalliques et à la réception correcte des signaux [18].

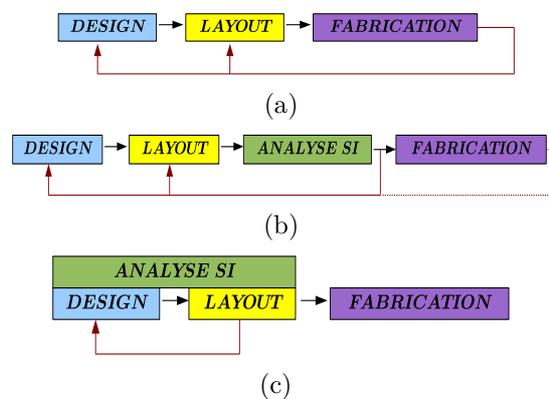


FIGURE 3.14 – Flots de conception [18] : (a) Conception d'un circuit intégré puis correction ; (b) Conception d'un circuit intégré par prototypage virtuel en utilisant l'analyse d'intégrité de signal ; (c) Conception d'un circuit intégré en utilisant l'analyse d'intégrité de signal du départ.

Toutes les influences électriques analysées dans ce travail ont pour origine les éléments parasites capacitif et résistif des lignes métalliques et les éléments actifs ou passifs autour de la ligne métallique étudiée. Les fréquences de travail dans cette étude sont inférieures à 1Ghz.

Les phénomènes étudiés dans ce travail, sont :

- *Couplage diaphonique*, qui a pour origine le couplage entre lignes métalliques proches.
- *Retard*, il est dû au couplage diaphonique.

Avant de commencer l'analyse, nous allons définir le modèle électrique des lignes métalliques pour estimer l'impact de ce 2 phénomènes parasites ; ceci est présenté ci-dessous.

**Modèle électrique** Pour cette analyse, nous allons travailler dans une gamme de fréquences inférieures à 1Ghz ; de cette manière tous les modèles électriques des interconnexions seront sans l'inductance parasite [16]. La figure 3.15 montre les 2 types de modèles électriques type "Lump" pour les interconnexions. L'étude utilisera le modèle de la figure 3.15(b).

Le modèle électrique pour 2 lignes couplées est montré dans la figure 3.16.

Nous avons définis les modèles qui seront utilisés pour le calcul de l'impact de la capacité de couplage et le retard. Dans les paragraphes suivants, les 2 phénomènes cités seront expliqués.

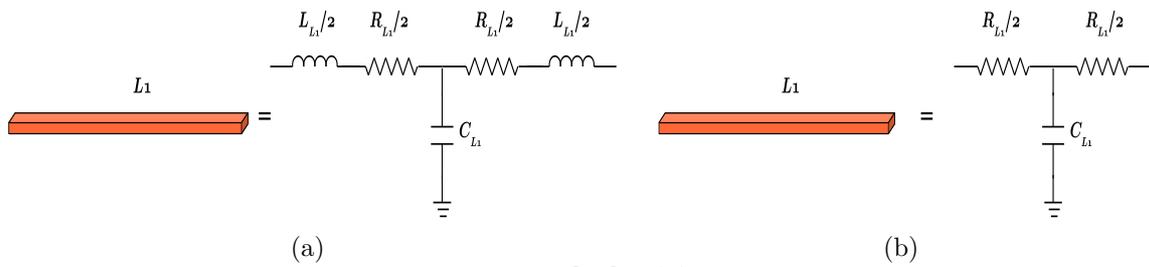


FIGURE 3.15 – Modèles électriques des lignes[16] : (a) Ligne métallique travaillant à une fréquence  $> 1\text{GHz}$ ; (b) Ligne métallique travaillant à une fréquence  $< 1\text{GHz}$ .

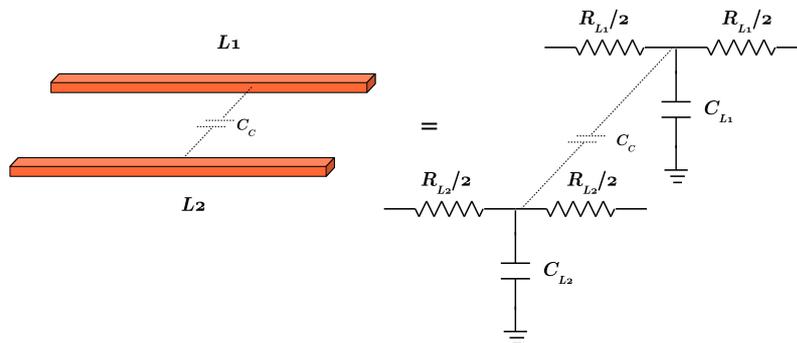


FIGURE 3.16 – Modèle électrique pour 2 lignes métalliques couplés.

### 3.4.4.1 Couplage diaphonique

La grande quantité des interconnexions et leur interaction dans un circuit intégré amène à avoir un phénomène parasite appelé "crosstalk" ou couplage diaphonique. Ceci apparaît lorsque deux lignes métalliques sont proches. La figure 3.17 montre le couplage et la réponse temporelle des lignes couplées.

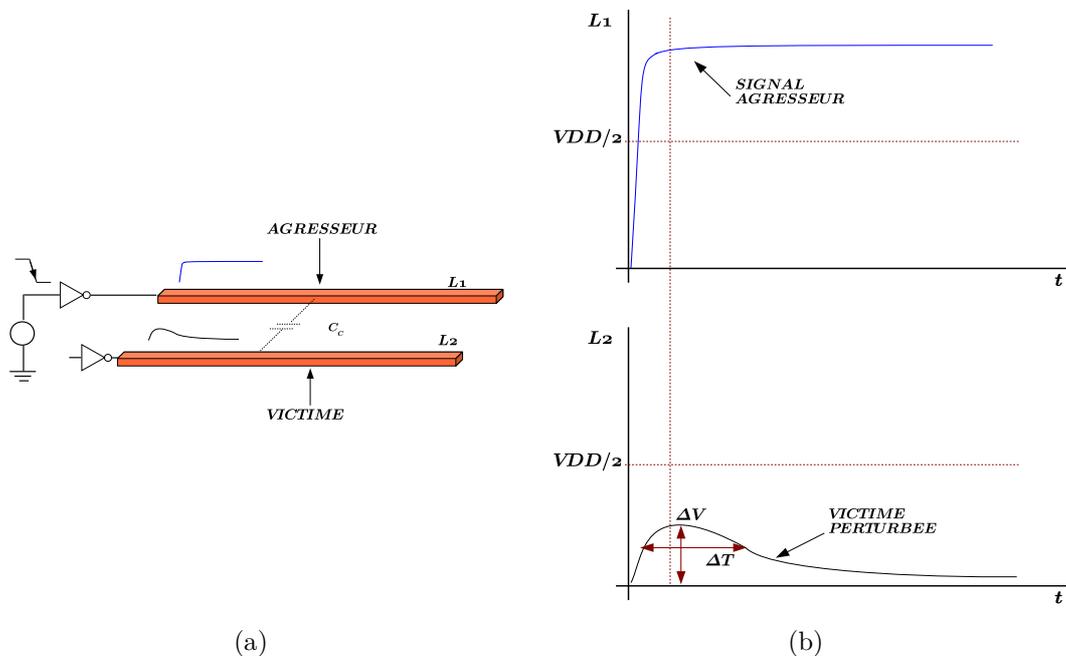


FIGURE 3.17 – Crosstalk ou couplage diaphonique : (a) Des lignes métalliques avec une signal d'entrée; (b) La réponse temporelle des lignes métalliques par rapport à la entrée en montrant le couplage diaphonique.

Pour comprendre ce phénomène, nous allons utiliser la figure 3.17(a) où il y a 2 lignes mé-

talliques en parallèle. Ces lignes métalliques sont séparées par un diélectrique. Dès qu'il y a un signal, le comportement équivalent de ces 2 lignes est similaire aux lignes liées par une capacité  $C_C$  (figure3.17(a))<sup>q</sup>. La valeur de la capacité de couplage  $C_C$  dépend des dimensions géométriques de l'ensemble des lignes métalliques. La figure3.17(b), nous montre 2 réponses temporelles. Pour décrire ce cas, on définit un signal "agresseur"; celui-ci agit directement sur l'autre ligne métallique dû à la capacité de couplage  $C_C$ ; comme il est vu dans la figure (b), ceci montre une réponse temporelle dépendant des dimensions des lignes et de la tension d'entrée. Il existe d'autres cas qui ne sont pas décrit dans ce travail<sup>r</sup>. La notation de ce phénomène :

- Amplitude du couplage diaphonique,  $\Delta V$ .
- Durée du phénomène,  $\Delta T$ .

Les conséquences de ce couplage peuvent polluer un circuit de stockage ou selon l'amplitude du couplage peuvent déclencher un transistor. L'autre effet qui apparaît suite à un couplage diaphonique est le retard, ceci sera expliqué dans les paragraphes suivants.

### 3.4.4.2 Retard

Ce phénomène est appelé "Crosstalk delay" ou retard; Cet effet apparaît lorsque il y a 2 signaux actifs dans les lignes métalliques où l'impact de l'un sur l'autre se traduit par un retard[15]. Pour visualiser et comprendre ce phénomène, la figure3.18(a) montre 2 tensions

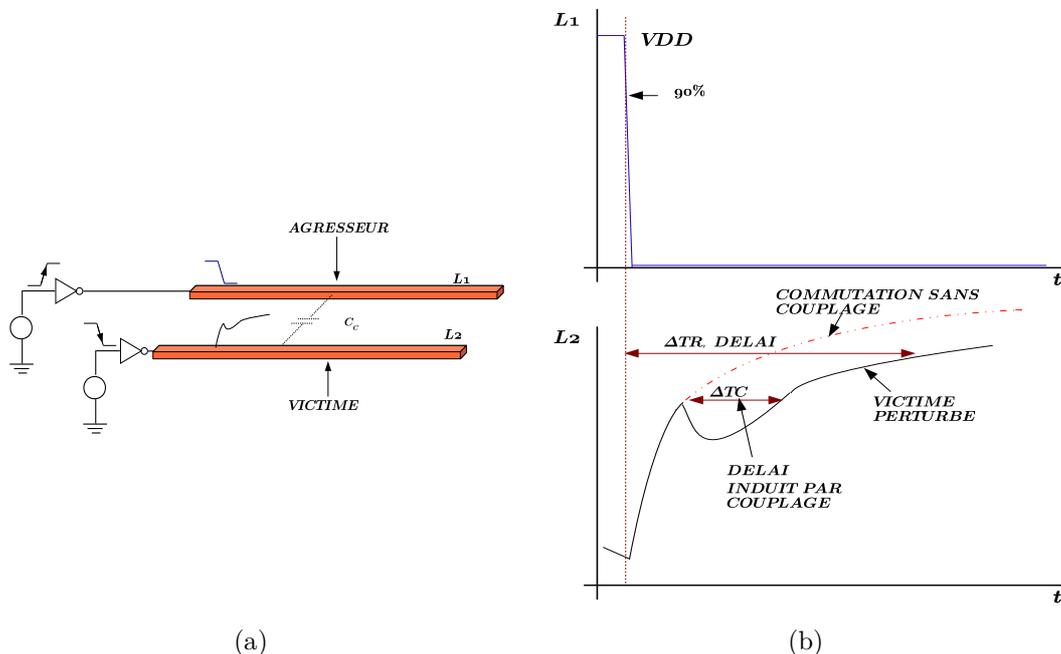


FIGURE 3.18 – Retard induit par le couplage diaphonique : (a) Lignes métalliques proches qui ont des signaux d'entrées; (b) Réponse temporelle des lignes métalliques.

d'entrée qui commutent au même moment et sont à l'origine d'un ralentissement ou délai par rapport au signal d'entrée,  $\Delta TR$  (voir figure3.18(b)); Le signal "victime" montre 2 signaux, l'un

q. Le modèle d'un ligne métallique est équivalent à un filtre passe bas en fonction des dimensions et paramètres de la ligne (RC). Le champ électrique induit peuvent faire apparaître une capacité de couplage (Voir Annexe 1 et 2).

r. Les autres cas de couplage diaphonique sont exposés dans le travail de thèse de Caignet[15].

d'eux a une allure qui n'est pas influencée par le couplage (ligne rouge), et l'autre (ligne noire) montre l'influence du couplage. Pour estimer l'impact ou délai dans la signal "victime", nous pouvons utiliser la figure3.18(b) qui montre la réponse temporelle avec l'impact du couplage ; ce retard est calculé en prenant en compte le signal "agresseur"(90% de sa valeur) comme début, et pour la fin, le temps que met le signal "victime" pour avoir 90% de sa valeur finale ( $4\tau$ ). L'allure finale est composée par la réponse temporelle de la capacité de couplage ( $\Delta TC$ ) et la réponse naturelle de la ligne métallique ( $\Delta TR$ )[15].

Les possibles conséquences de ce retard, peuvent être la désynchronisation des horloges, des circuits numériques (bascules, machines d'états, etc.), et la propagation de fautes logiques dans les systèmes numériques[15].

Nous avons vu 2 phénomènes parasites, le couplage diaphonique et le retard. Dans les paragraphes suivants, nous allons utiliser ce 2 concepts pour analyser une structure 3D et voir l'impact dans un capteur d'image.

### 3.4.4.3 Intégrité du signal d'un assemblage 3D

Pour la conception des circuits dans le wafer top et bottom, il est nécessaire de savoir l'effet qui existe entre 2 lignes métalliques qui se sont situés dans les 2 wafers quand l'un d'eux transporte un signal. Donc, cette étude nous permettra d'avoir un ordre de grandeur de l'impact électrique qu'ont ces 2 lignes métalliques dans un assemblage 3D. Pour faire ceci, nous allons prendre la structure 3D de la figure3.19 où il y a 2 lignes métalliques M2 (LIGNE1 et LIGNE2) dans les différents wafers.

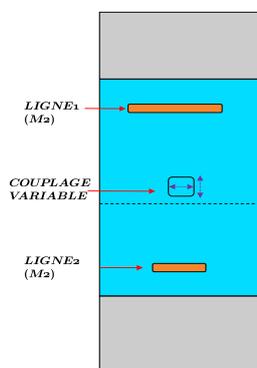


FIGURE 3.19 – Structure 3D utilisée pour calculer l'impact entre 2 lignes des différents wafers. Il y a un couplage variable entre elles.

Le tableau3.14 montre les dimensions calculées des interconnexions de cette structure en [ $\mu\text{m}$ ].

	T [ $\mu\text{m}$ ]	W [ $\mu\text{m}$ ]	H1 [ $\mu\text{m}$ ]	H2 [ $\mu\text{m}$ ]	S [ $\mu\text{m}$ ]	L [ $\mu\text{m}$ ]
LIGNE 1	0,303	5,623	1,347	9,158	7,542	0,2
LIGNE 2	0,303	3,131	9,192	1,313	7,542	0,2

Tableau 3.14 – Valeurs calculées des dimensions pour 2 interconnexions de la structure 3D.

Le tableau3.15 montre les valeurs calculées de capacités et résistances de cette structure.

	Élément	[fF] (L=0.2um)	[Ω] (L=0.2um)
LIGNE 1	Capacité totale	0,079	-
	Résistance totale	-	1,503
LIGNE 2	Capacité totale	0,065	-
	Résistance totale	-	0,837

Tableau 3.15 – Valeurs calculées des capacités et résistances pour une interconnexion entre 2 wafers.

La capacité de couplage en prenant en compte les dimensions et la séparation de ces 2 interconnexions de la structure 3D est  $C_C = 0.0033\text{fF}$ .

Nous avons calculé les paramètres des dimensions et leurs valeurs respectives en capacité et en résistance ; maintenant, nous allons faire l'analyse de l'intégrité du signal.

**Analyse.** Cette analyse a comme objectif de voir l'impact du couplage pouvant exister dans une structure 3D. Pour faire ceci, nous allons prendre la structure 3D de la figure3.19. Entre les 2 interconnexions, il y a une interconnexion variable (couplage variable) qui peut émuler les différents éléments parasites que peuvent avoir les interconnexions dans une structure 3D, comme dans un pixel par exemple. La figure3.20 montre le modèle électrique de cette structure 3D avec une capacité de couplage.

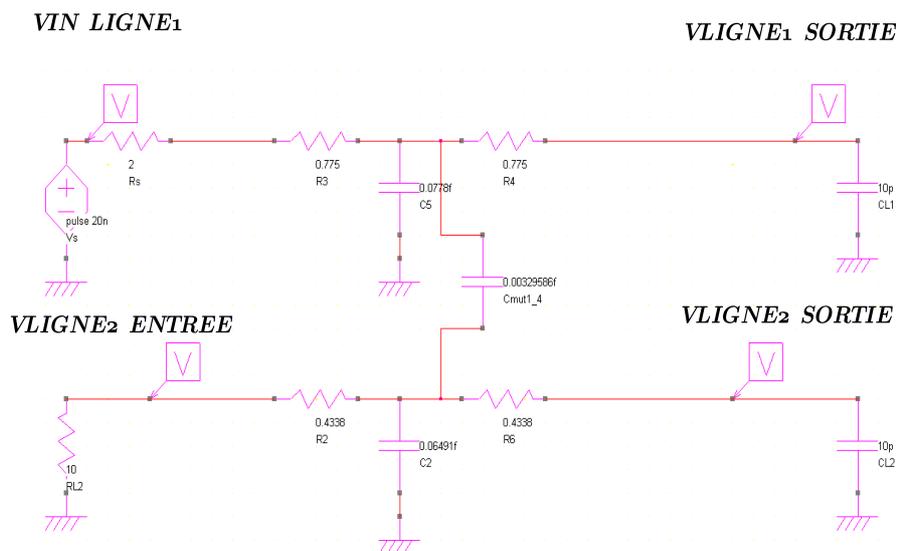
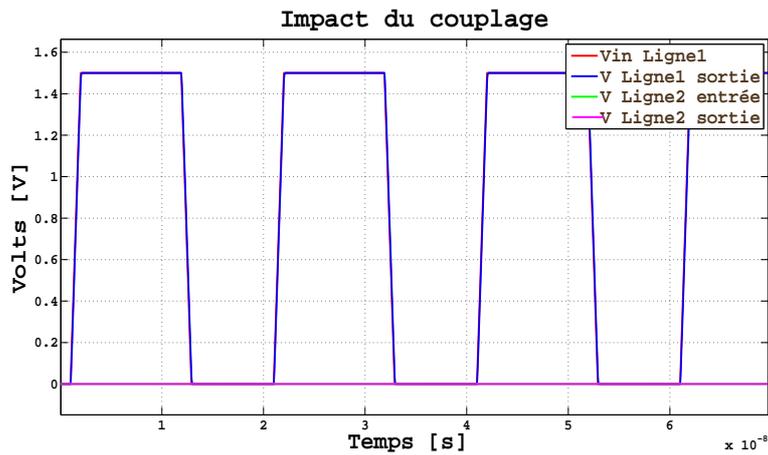


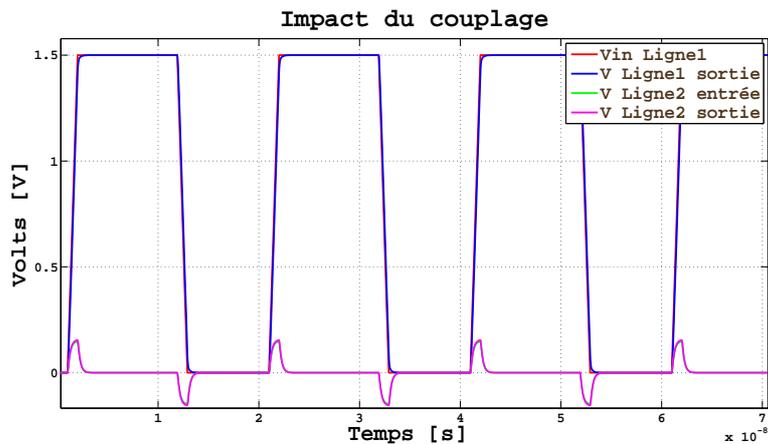
FIGURE 3.20 – Modèle électrique pour calculer l'impact entre 2 lignes des différents wafers.

La LIGNE 1 va avoir le signal "agresseur" et la LIGNE 2 va avoir le signal "victime". Pour voir l'impact, nous allons mettre des points de test : VIN LIGNE1, VLIGNE1 SORTIE, VLIGNE2 ENTREE et VLIGNE2 SORTIE, ils sont montrées dans la figure3.20.

La figure3.21(a) montre la simulation électrique de 2 lignes métalliques avec une capacité de couplage  $C_C = 0.00329586\text{fF}$ . Il est montré qu'il n'existe pas d'impact visible pour la ligne "victime". La figure3.21(b) montre la simulation du couplage diaphonique avec une capacité de couplage de 10pF. Ce phénomène apparaît dans le signal "victime" lors des transitions du signal "agresseur".



(a)

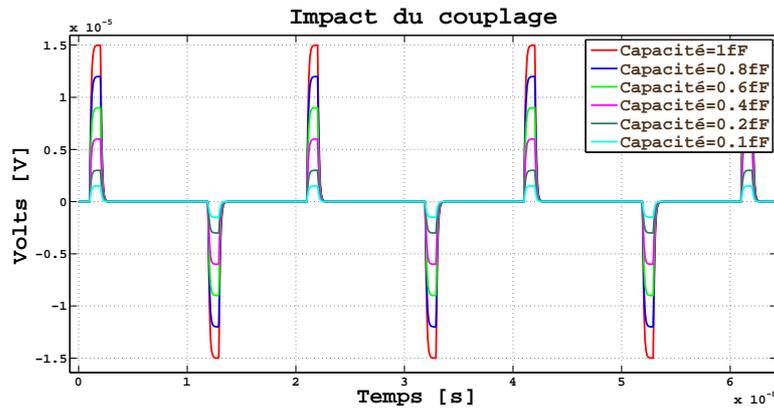


(b)

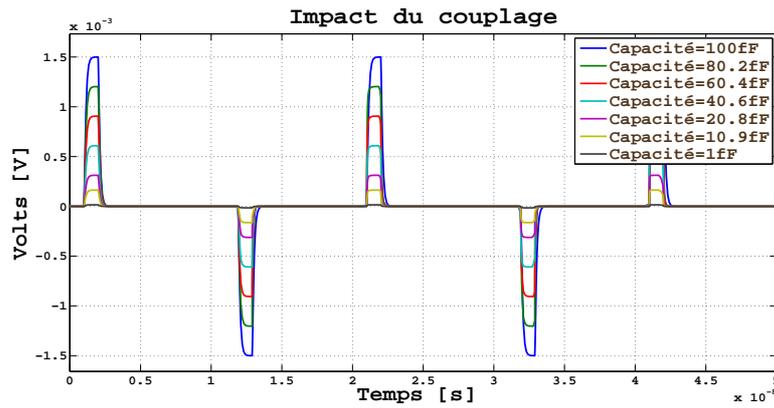
FIGURE 3.21 – Simulation du couplage diaphonique entre 2 lignes métalliques de 2 wafers différents : (a) Simulation de couplage diaphonique avec une capacité de couplage  $C_C = 0.0033\text{fF}$ . ; (b) Simulation de couplage diaphonique avec une capacité de couplage  $C_C = 10\text{pF}$ .

Nous avons analysé seulement l'impact de 2 valeurs de capacité de couplage. Maintenant, nous allons voir l'impact de plusieurs valeurs de capacités de couplage ; pour faire ceci, nous allons faire une étude paramétrique du couplage diaphonique.

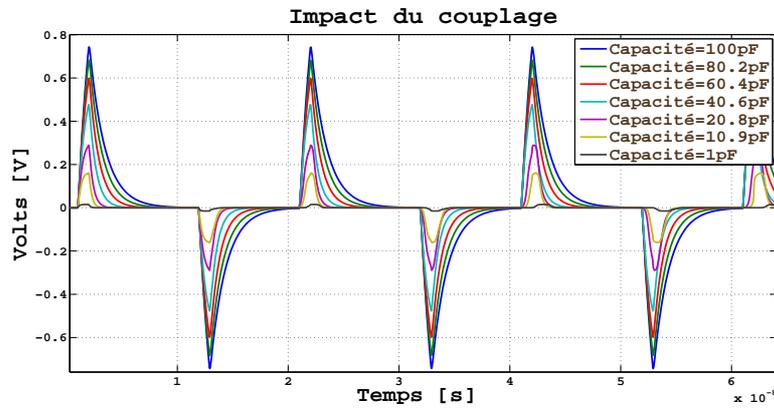
**Analyse avec plusieurs capacités de couplage** Cette étude paramétrique nous permet de voir l'ordre de grandeur du couplage diaphonique qui existe entre une ligne métallique du wafer top à une autre ligne métallique du wafer bottom. La figure3.22(a) montre la simulation paramétrique de la capacité de couplage de 0.1fF à 1fF ; Il est vu que l'amplitude du couplage est autour de  $1.5 \cdot 10^{-5}\text{V}$  avec la  $C_C$  de 1fF. Cela implique, donc, un faible impact de la ligne métallique du wafer bottom. La simulation paramétrique de la capacité de couplage de 1fF à 100fF est exposée dans la figure3.22(b) ; Les capacités de couplage de 80.2fF et 100fF ont une amplitude de couplage autour de 1.2mV et 1.5mV respectivement. La figure3.22(c) montre la simulation paramétrique de la capacité de couplage  $C_C$  de 1pf à 100pF ; la capacité de couplage de 10.9pF a comme amplitude une tension de 160mV, ceci peut polluer facilement un signal numérique. Puis, les autres valeurs de capacité de couplage varient entre 300mV à 700mV.



(a)



(b)



(c)

FIGURE 3.22 – : (a) simulation paramétrique avec une capacité de couplage que varie de 0.1fF à 1fF ; (b) simulation paramétrique avec une capacité de couplage que varie de 1fF à 100fF ; (c) simulation paramétrique avec une capacité de couplage que varie de 1pF à 100pF .

Le tableau3.16 montre les valeurs de l'amplitude  $\Delta V$  du couplage diaphonique entre 2 lignes métalliques de 2 wafers différents.

Les valeurs du retard dû au couplage diaphonique,  $\Delta TR$  sont montrées dans le tableau3.17.

Cette analyse nous a permis de savoir les ordres de grandeur de couplage diaphonique dans une structure 3D ; Ces valeurs peuvent être utilisées dans la conception des pixels à haute densité d'intégration de circuits ou pour d'autres circuits utilisant différents wafers.

Capacité de couplage	Amplitude, $\Delta V$
0.001fF	$\pm 0.015\mu V$
0.01fF	$\pm 0.15\mu V$
0.1fF	$\pm 1.5\mu V$
1fF	$\pm 15\mu V$
10fF	$\pm 0.150mV$
100fF	$\pm 1.5mV$
1pF	$\pm 15mV$
10pF	$\pm 150mV$
100pF	$\pm 0.74V$

Tableau 3.16 – Valeurs de l'amplitude  $\Delta V$  du couplage diaphonique entre 2 lignes métalliques de 2 wafers différents.

Capacité de couplage	Retard, $4\tau$
100pF	30ns
80.2pF	29ns
60.4pF	28ns
40.6pF	26ns
20.8pF	24ns

Tableau 3.17 – Valeurs calculées du retard  $\Delta TR$  pour 2 interconnexions de 2 wafers et un couplage variable.

La conception d'un capteur à haute densité d'intégration de circuits en utilisant la technologie 3D de Tezzaron sera abordé dans les paragraphes suivants.

### 3.4.5 Pixel 3D.

Dans cette partie, il sera développé la conception du pixel du capteur d'image à haute densité d'intégration de circuits présenté au début de ce chapitre. Ce pixel utilise la technologie d'intégration 3D de Tezzaron. Nous avons vu les diagrammes de blocs du pixel, (voir figure3.2). La figure3.23 illustre de façon plus détaillée (niveau pixel) des fonctions dans le pixel.

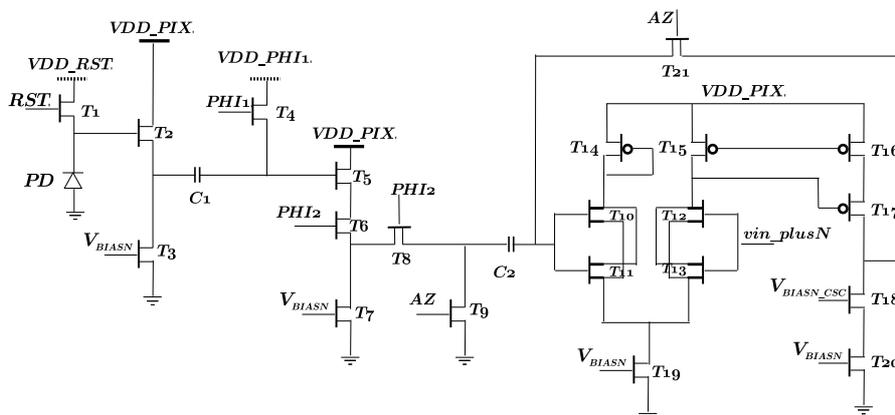


FIGURE 3.23 – Vue schématique du pixel du capteur d'image à forte intégration de circuits.

La taille du pixel est de 10 $\mu m$  x 10 $\mu m$ . Pour cet effet, il faut faire un compromis entre la performance et la taille des circuits. Comme exemple de ceci, nous allons concevoir l'élément important pour la conversion analogique numérique : le comparateur.

**Comparateur** Ce circuit doit entrer dans l'aire du pixel, donc l'option du convertisseur single rampe est prise[4]. Le comparateur doit avoir certaines caractéristiques : Dans le cas du gain, il doit être en fonction des valeurs d'entrée et tensions d'alimentation. Pour le temps de conversion, il faut convertir toutes les combinaisons d'un compteur de 10 bits; Nous allons prendre une valeur proche au temps d'intégration de la matrice, ( $TDI \approx 30ms$ ).

Pour le choix du comparateur, nous avons pris un comparateur qui est composé par un amplificateur de transconductance comme étage d'entrée, suivi par une source de courant Wilson et une sortie du type cascode comme étage de sortie, (voir figure3.23[4]). Ce comparateur utilise une contre-réaction pour stocker sa valeur d'offset. D'autres comparateurs avec contre-réaction existent et exigent de grandes capacités de réglage aux instabilités, et il n'est pas possible de les inclure du fait de la taille du pixel.

Nous allons procéder au calcul du gain  $A_O$ . La notation,  $m$  = quantité de bits,  $V_{dd}$  = tension d'alimentation et  $V_{in}$  = range de la tension d'entrée.

$$A_O = \frac{V_{dd}}{V_{in}} \cdot 2^m \tag{3.1}$$

Donc, si  $V_{dd} = 3.3V$ ,  $m=10$ ,  $V_{in} = 2V$ ,  $A_O=1690$ .

Le calcul du temps de conversion  $T_{CONV}$ , avec  $TDI$  = temps d'intégration de la matrice.

$$T_{CONV} = \frac{TDI}{(2^m - 1)} \tag{3.2}$$

Si  $TDI = 30ms$ ,  $m = 10$ ,  $T_{CONV} = 29.3\mu s$  et  $F_{CONV} = 34KHz$ .

Le calcul de la bande passante  $GWB$ , avec le gain  $A_O$  et la fréquence de conversion  $F_{CONV}$ .

$$GWB = A_O \cdot F_{CONV} \tag{3.3}$$

Si  $F_{CONV} = 34Khz$ ,  $A_O=1690$ , donc,  $GWB = 57.46MHz$ .

La simulation sur CADENCE est montrée sur la figure3.24. Nous pouvons voir que le gain maximal atteignable est de 2800, ceci correspond bien aux besoins du comparateur. Dans le cas de la fréquence de travail, la fréquence maximale de travail dans la simulation est de 110Khz à -3dB.

Le tableau3.18 recueille les caractéristiques du comparateur du pixel 3D simulé sur CADENCE.

Tension d'entrée	<1.4V - 2.2V>
Gain	<1.6K - 2.8K>
Temps de conversion	Tconv. = 29.3us (Fconv. 34KHz)
Fréquences de travail	<0 - 110KHz>
Taille	$\approx 5\mu m \times 5\mu m$ .

Tableau 3.18 – Caractéristiques du comparateur du pixel 3D.

La taille occupée du comparateur avec ses fonctions est approximativement de  $5\mu m \times 5\mu m$ . Cependant la quantité des transistors pour toutes les fonctions du pixel est trop important

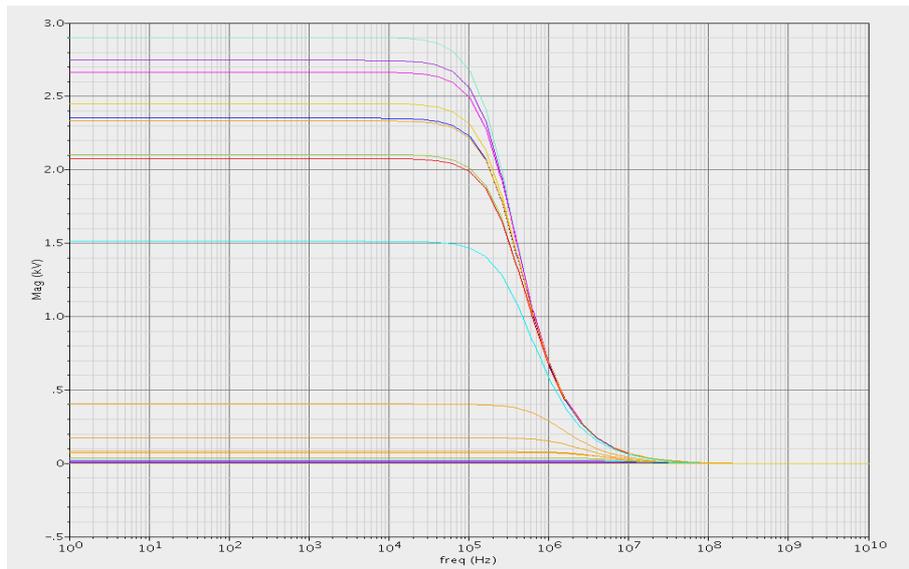


FIGURE 3.24 – Simulation sur cadence du gain du comparateur.

pour rentrer dans le pixel de 10um x 10um. La quantité totale de transistors dans le pixel est de 101. Donc, nous utiliserons la technologie d'intégration de wafer pour partitionner ce pixel en 2 wafers.

### 3.4.5.1 Partitionnement

La technologie monolithique de construction des imageurs permet de réaliser ce pixel, cependant, la taille du pixel doit augmenter considérablement si l'on veut garder les performances de photo-détection. Donc, nous avons besoin de *partitionner* ; ceci est facilité par la technologie d'intégration wafer level qui permet de construire des circuits dans 2 wafers différents<sup>s</sup>.

	Partition A	Partition B	Partition C	Partition D
Facteur de remplissage	Excellent	Très Bien	Bien	Assez Bien
Capacité ajoutée à la photodiode	≈3fF, Retard ≈7ns	Non	Non	Non
Transfert du signal CDS	Très Bien	Possible Problème, Retard ≈7ns	Très Bien	Très Bien
Transfert du signal du clamp	Très Bien	Très Bien	Possible Problème, Retard ≈7ns	Très Bien
Couplage avec la partie numérique	Oui	Oui	Oui	Non

Tableau 3.19 – Différents partitionnement du pixel.

La *partition de circuits* peut se définir comme la séparation des fonctions d'un circuit dans différents wafers, sans réduire leur performance de fonctionnement ; Soit pour gagner de l'espace de construction ou soit pour améliorer leur performance en utilisant une autre technologie. Dans notre cas, nous pouvons analyser 4 structures partitionnées du pixel de la figure3.23 pour le pixel 3D dans 2 wafers. Cela est représentée dans les figures3.25(a)-(d).

s. Cette technologie permet d'avoir plusieurs wafers.

- *Partition A*, (figure3.25(a)), la photodiode est construite dans le wafer top et les circuits du CDS, suiveurs de source, comparateurs et mémoires dans le wafer bottom. Ceci permet d'avoir un facteur de remplissage grand et ajoute une capacité fixe à la photodiode ( $\approx 3fF$ ). Le retard maximum imposé par l'interconnection entre 2 wafers est  $7.4ns^t$ . Les opérations du CDS et du clamp se font dans le wafer bottom, donc, ces signaux ne sont pas affectés par un problème de continuité des signaux entre wafers (interconnexions<sup>u</sup>). Dans le cas du couplage de la partie numérique et analogique, ces 2 parties sont construites dans le même wafer et elles sont proches entre elles, donc il y aura le couplage. De plus, l'architecture travaille en mode "pipeline".
- *Partition B*, (figure3.25(b)), la photodiode et un suiveur de source se sont construits dans le wafer top et les circuits du CDS, un suiveur de source, des comparateurs et des mémoires dans le wafer bottom. Ceci permet d'avoir un facteur de remplissage correct sans ajouter de capacité. L'opération du CDS pourra avoir un problème si le bonding point du pixel est mal soudé; l'interconnexion ajoute un retard de  $7.4ns$ . Le circuit du clamp est construit dans le wafer bottom, ce signal n'est pas affecté par un problème d'interconnexion. Dans le cas du couplage de la partie numérique et analogique, cette partition souffrira du couplage parce que la partie numérique est sur le même wafer de la partie analogique.
- *Partition C*, (figure3.25(c)), la photodiode, 2 suiveurs de source et le circuit clamp sont construits dans le wafer top et les circuits comparateurs et les mémoires sont construits dans le wafer bottom. Le facteur de remplissage est correct sans ajouter de capacité. Le transfert des signaux du clamp pourra avoir un problème si le bonding points du pixel est mal soudé. Le circuit du comparateur est construit dans le wafer bottom, la borne provenant du clamp aura un retard de  $7.4ns$ , donc le circuit doit prendre en compte ce temps pour faire la comparaison. Cette partition souffrira du couplage numérique.
- *Partition D*, (figure3.25(d)), la partie analogique du pixel est construite dans le wafer top et les circuits numériques dans le wafer bottom. La grande quantité de circuits fera que le facteur de remplissage ne sera pas correct, cependant, dû à la filière technologie utilisée ( $0.13\mu m$ ), le facteur de remplissage peut dépasser 25%. Le transfert des signaux des comparateurs aux mémoires pourra avoir un problème dû à qu'un petit pourcentage de bonding points mal connectés. Le signal de sortie du comparateur est lié à un circuit inverseur qui transforme ce signal dans un signal numérique, ce qui permet d'avoir une bonne intégralité du signal. Cette partition n'aura pas de couplage numérique dû à des circuits situés sur différents wafers et éloignés entre eux<sup>v</sup>. Comme il est vu, le retard maximum imposé par l'interconnection entre 2 wafers est  $7.4ns$ .

L'analyse du partitionnement est résumé dans le tableau3.19.

Grâce à l'analyse du partitionnement, nous pouvons séparer les circuits du pixel. L'assemblage 3D du pixel construite est similaire à celui de l'analyse de la partition D (figure3.25(d)).

---

t. Le calcul du retard est montré dans le chapitre 4.

u. Le fondeur TEZZARON nous assure 99% de "yield" ou collage de bonding points.

v. Un analyse sera fait dans les paragraphes suivants

Le wafer top contient la partie analogique du pixel (photodiode, CDS, comparateur) et la partie bottom contient la partie numérique du pixel, notamment la mémoire de 10 bits.

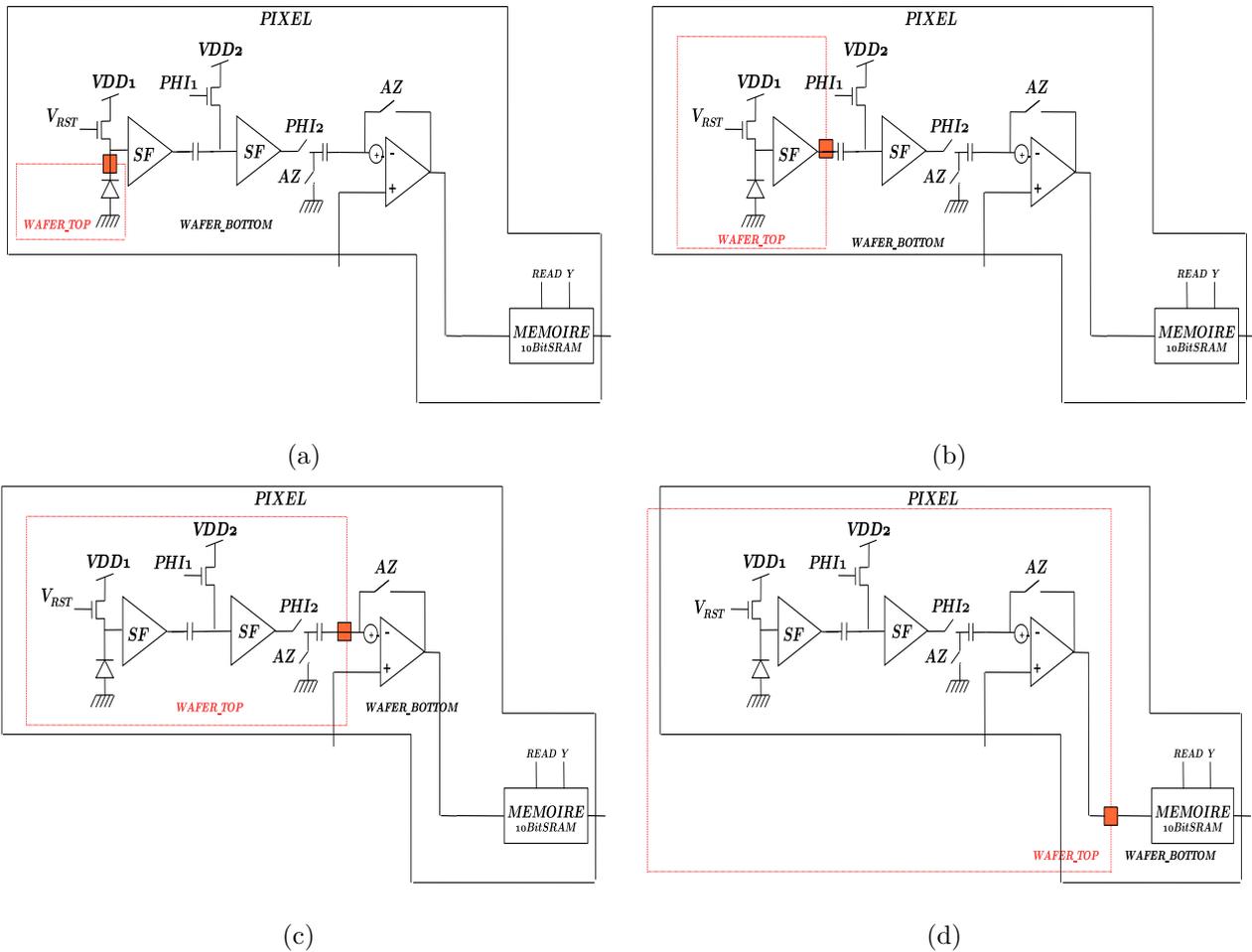


FIGURE 3.25 – Partition du pixel 3D : (a) wafer top avec le photodiode et le reste dans le wafer bottom ; (b) wafer top avec le photodiode et le suiveur ; (c) wafer top avec le photodiode jusque le circuit clamp ; (d) wafer top avec la partie analogique du pixel.

**Simulation** La figure 3.26 montre la simulation sur CADENCE du pixel ; ceci est composé de la simulation pour 4 images. Les signaux de commande AZ, PHI1 et PHI2 sont montrés avec des tensions numériques de 3.3V<sup>w</sup>. Le signal de la rampe ( $V_{in\_plusN}$ ) et la tension sur la borne négative du comparateur du pixel ( $V_{in\_moinsN}$ ) sont montrés pour la comparaison. La sortie du comparateur  $/OUT\_COMP$  et celle de la sortie après avoir traversé le circuit inverseur  $/OUT\_INV$ , sont montrées dans la figure.

Le temps de réponse de l'imageur est de 30ms par image, donc, dans cette simulation, nous réduisons le temps d'intégration pour voir l'allure et les réponses des circuits.

Nous pouvons voir que dès que le signal de commande PHI2 se termine, (moment d'acquisition du signal  $V_{REF}$ ), la rampe commence à s'incrémenter. A ce moment, la borne négative du comparateur a une valeur en référence à  $V_{REF} - V_{SIG}$  de l'image précédente. Puis, ces valeurs sont comparées et dès qu'elles sont égales, la sortie du comparateur change de 0 à 2.5V.

w. Les valeurs de tensions ici sont seulement pour la simulation.

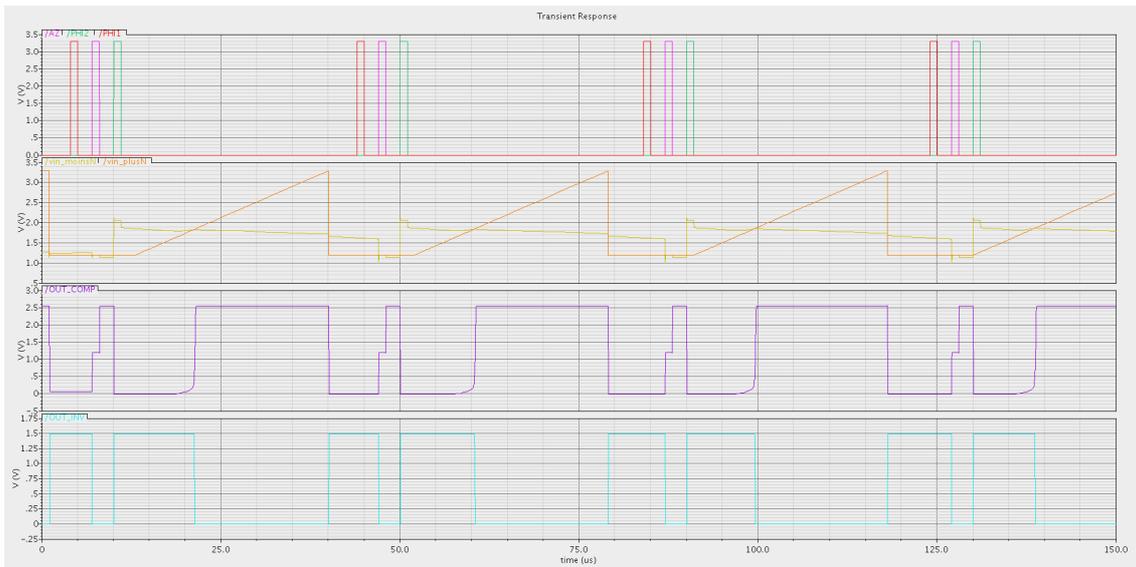


FIGURE 3.26 – Simulation du pixel 3D sur CADENCE.

**Layouts du pixel 3D** Les layouts du pixel sont montrés dans les figure3.27(a) et (b). La taille de chaque partie du pixel est 10um x 10um. Nous pouvons remarquer la connexion "bonding point" de chaque wafer pour l'assemblage du circuit 3D.

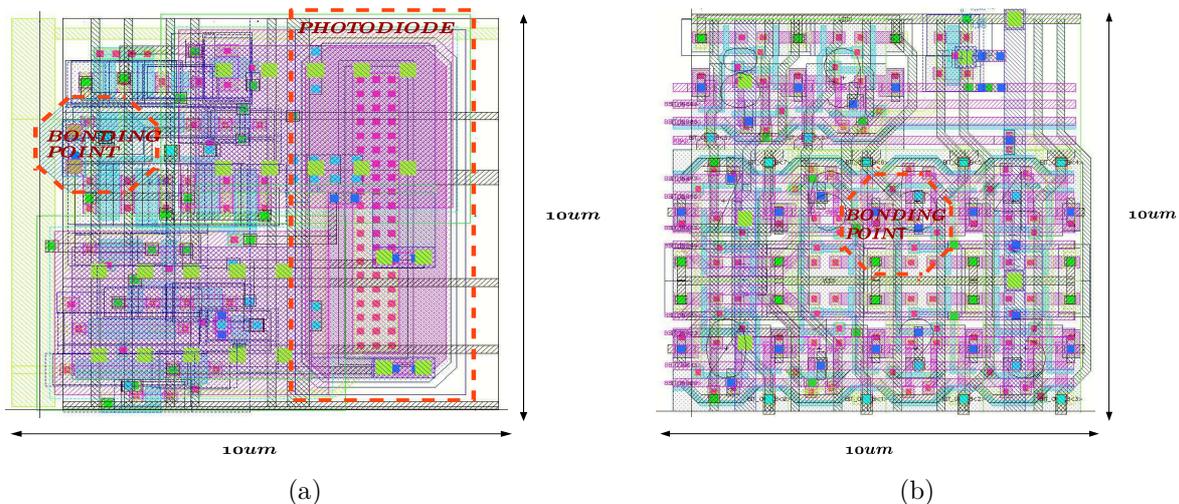


FIGURE 3.27 – Layouts du pixel du capteur d'image 3D : (a) Layout du pixel, partie top, 10um x 10um ; (b) Layout du pixel, partie bottom, 10um x 10um.

**Assemblage 3D du pixel** La figure3.28 montre l'assemblage du pixel 3D où chaque partition contient un "bonding point" qui sert à connecter les wafers collés.

Le tableau3.21 montre les caractéristiques du pixel 3D. Les 2 circuits du pixel situés dans les différents wafers sont construits avec la technologie de tezzaron[12] et contiennent des circuits analogiques et numériques.

Les paragraphes suivants nous permettrons de décrire ces 2 nouvelles architectures qui commandent ce pixel 3D.

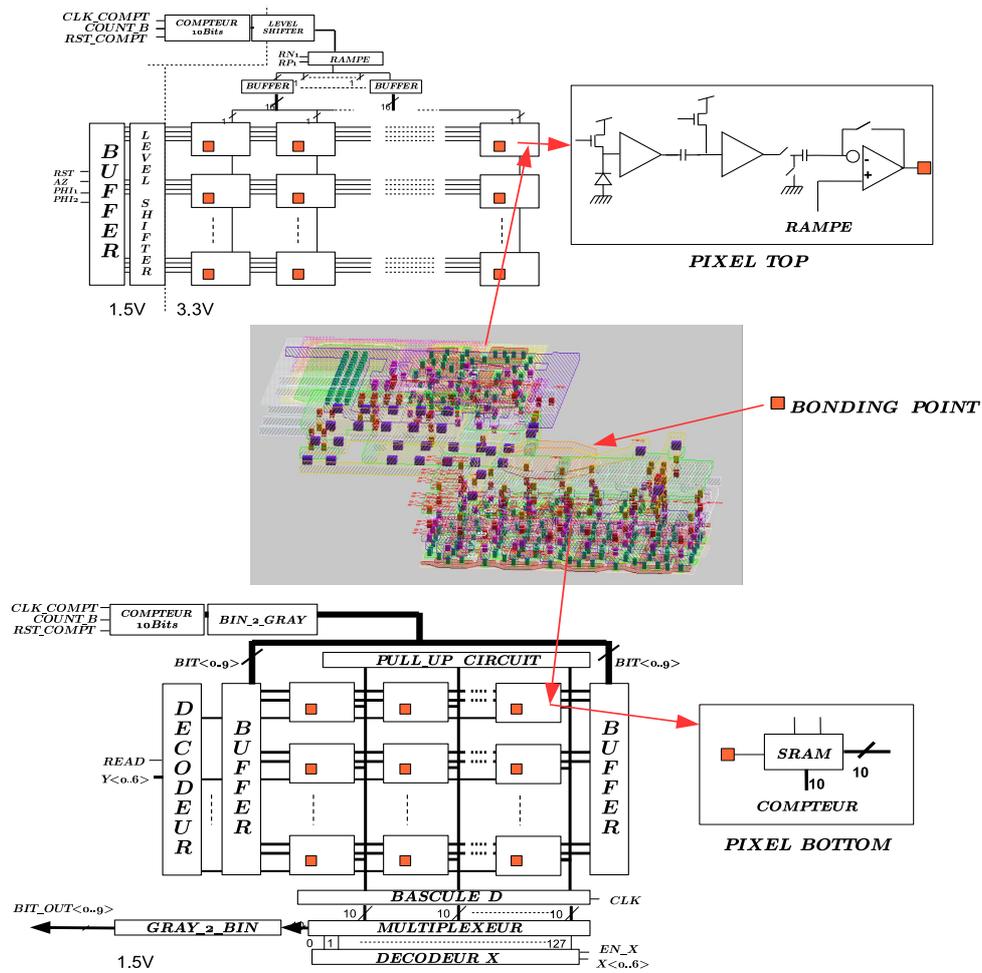


FIGURE 3.28 – L'assemblage du pixel 3D avec les architectures dans différents wafers.

Principaux caractéristiques du pixel	
Technologie	- Technologie 3D, 130nm, 6M1P
Architecture	- Illumination en face arrière. - Global shutter. - 101 transistors par pixel.
Partitionnement	Wafer TOP : - 21 Transistors. - NWP photodiode. - CDS, dans le pixel. - CAN, dans le pixel à 10bit. Wafer BOTTOM : - 80 Transistors. - Mémoire SRAM à 10bit.
Factor de remplissage	- 33%.
Taille du pixel	- 10um x 10um.
Tensions	- 3.3V (Analogique et E/S). - 1.5V Numérique.

Tableau 3.20 – Caractéristiques principales du pixel implémenté dans la technologie 3D.

### 3.4.6 Architecture du capteur d'image 3D.

L'architecture de ce capteur d'image est composée par 2 architectures construites dans chaque wafer. Nous nous sommes pris comme référence l'architecture montrée dans la figure 3.1.

Les paragraphes suivants décriront ces 2 architectures.

**Wafer top** L'architecture située dans le wafer top est composée par la partie analogique du pixel et leurs circuits de commande. Le diagramme de blocs de cette architecture est montré dans la figure 3.29.

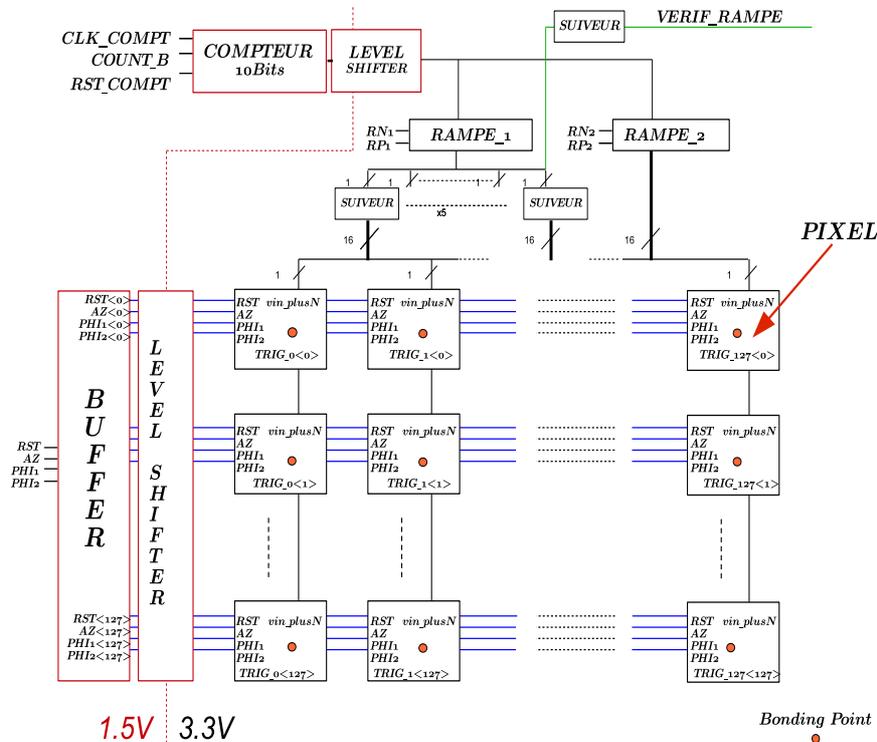


FIGURE 3.29 – Architecture construite dans le wafer top pour gérer la partie analogique du pixel.

Comme il est vu, cette architecture est composée principalement par des circuits numériques, ces circuits ont comme rôle principale les fonctions de "global shutter" et de gérer les étapes d'acquisition des signaux  $V_{REF}$  et  $V_{SIG}$ . La tension de travail de ces circuits est de 1.5V. La partie analogique de cette architecture est notamment la partition du pixel. La tension de travail de cette partie est de 3.3V. La description de ces circuits est présentée ci-dessous :

- **Circuits numériques :**
  - *COMPTEUR*, à 10 bits, pour la génération des valeurs numériques.
  - *RAMPE*, utilise les valeurs du COMPTEUR pour générer les tensions de la rampe.
  - *BUFFER*, permet de donner la courant nécessaire aux signaux de commande AZ, PHI1, PHI2 et RST pour arriver correctement aux pixels.
  - *SUIVEUR*, permet de donner la courant nécessaire des valeurs de la rampe pour toute la matrice des pixels.
  - *LEVEL SHIFTER*, permet le travail entre les circuits analogiques (3.3V) et numériques (1.5V). Comme il est vu pour les signaux provenant du BUFFER.
- **Pixel analogique :**
  - *Pixel*, composé principalement de la partie de photodétection, du circuit CDS et du circuit

comparateur. Il reçoit les signaux de commande AZ, PHI1, PHI2 et RST pour l'étape d'acquisition des signaux  $V_{REF}$  et  $V_{SIG}$ . La sortie TRIG $\langle x \rangle$  est présente dans chaque pixel, ce qui permet de faire sortir le signal du comparateur à l'autre wafer par l'intermédiaire du "bonding point".

La partie analogique et leurs circuits de commande ont été décrits ; Les paragraphes suivants exposent la partie numérique du pixel.

**Wafer bottom** Cette architecture est construite dans le wafer bottom et est composée par la partie numérique du pixel et de ses circuits respectifs de commande. Le diagramme de blocs de cette architecture est montré dans la figure 3.30.

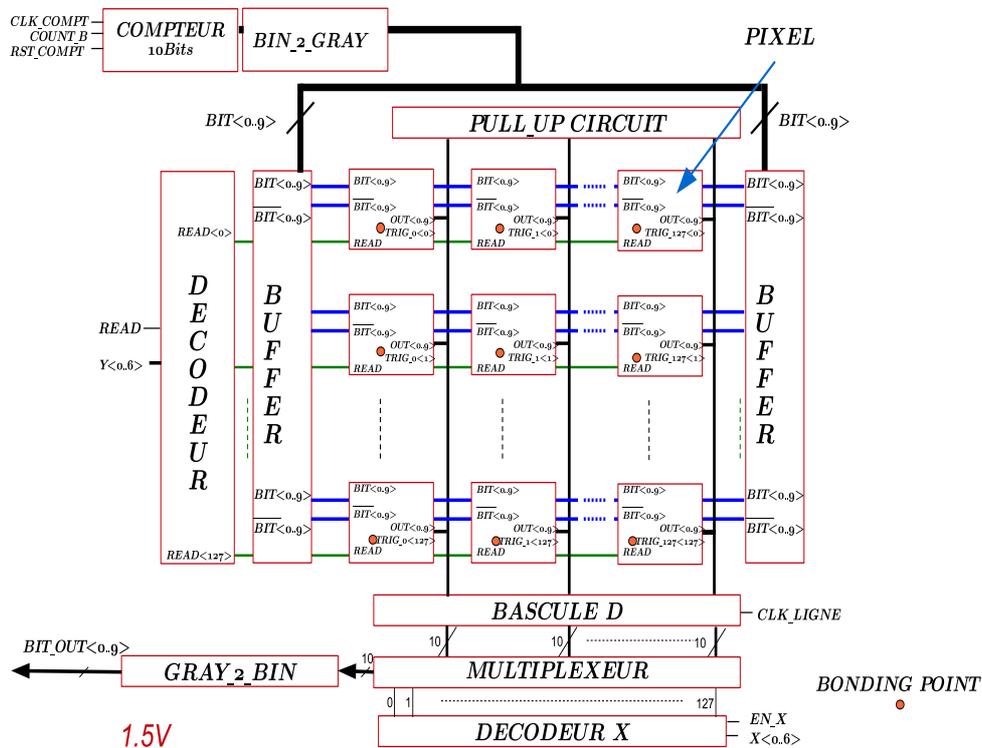


FIGURE 3.30 – Architecture construite dans le wafer bottom pour gérer la partie numérique du pixel.

La description de ces circuits est présentée ci-dessous :

- *COMPTEUR*, circuit générateur en code binaire à 10 bits.
- *BIN\_2\_GRAY*, circuit convertisseur en code gray des signaux provenant du COMPTEUR.
- *DECODEUR*, permet d'étendre les signaux numériques de commande AZ, PHI1, PHI2 et RST à toutes les lignes de la matrice.
- *BUFFER*, ce circuit a 2 rôles. En premier lieu, celui permet d'acheminer les valeurs provenant du compteur en code gray aux pixels ( $BIT < 0..9 >$  et  $\overline{BIT} < 0..9 >$ ). En second lieu, il permet de donner la courant nécessaire aux signaux numériques de commande AZ, PHI1, PHI2 et RST pour arriver correctement aux pixels.

- *BASCULE D*, utilisée pour stocker les signaux d'une ligne sur un période de horloge ; ces signaux sont ensuite utilisés pour la sortie.
- *DECODEUR X*, circuit qui utilise le multiplexeur pour sélectionner les colonnes de la matrice pour la sortie.
- *GRAY\_2\_BIN*, circuit utilisé pour changer les valeurs en gray stockées dans les mémoires en code binaire.
- **Pixel numérique :**
- *Pixel*, composé principalement par la partie mémoire. Il reçoit les signaux  $V_{REF}$  et  $V_{SIG}$  sous format numérique (code gray) qui sont stockés. Ceci est possible par le signal  $TRIGx<x>$  qui est connecté dans les 2 wafers. Ce signal reçoit la sortie du comparateur et indique le stockage de la valeur du compteur dans la mémoire.

Le tableau 3.21 montre les caractéristiques principales de cet imageur 3D.

Principaux caractéristiques du capteur d'image 3D	
Technologie	- Technologie 3D, 130nm, 6M1P.
Architecture	- Partitionné en 2 wafers. - Illumination en face arrière. - Global shutter. - Pipeline.
Partitionnement	Wafer TOP : - Circuits de commande pour le Pixel. - Circuits de commande pour l'adressage. Wafer BOTTOM : - Circuits de commande pour le scan. - Circuits de commande pour les mémoires. - Circuits de commande pour la sortie.
Taille de la matrice	- 128 x 128 pixels.
Taille du circuit intégré	- 2cm x 2cm.
Tensions	- 3.3V (Analogique et E/S). - 1.5V Numérique.

Tableau 3.21 – Caractéristiques principales du capteur d'image à haute densité d'intégration de circuits implémenté dans la technologie 3D.

Nous avons décrits les architectures, dans les paragraphes suivants, il sera décrit leur fonctionnement.

### 3.4.6.1 Fonctionnement

Cette architecture permet le fonctionnement du capteur d'image en mode "global shutter". Les paragraphes suivants vont expliquer l'acquisition d'une image et la lecture des données.

**Acquisition d'une image** Ce mode de travail de l'imageur est similaire à celui décrit par l'architecture de la figure 3.1. Pour comprendre son fonctionnement, nous allons utiliser l'image de la figure 3.31. Les signaux de commande de RST, PHI1 et PHI2 sont envoyés pour faire l'acquisition des signaux  $V_{REF}$  et  $V_{SIG}$  (voir figure 3.26). Une fois ces signaux acquis, ils sont référencés par rapport à la tension VDD2 ( $VDD\_PHI1$ ), puis, cette valeur de tension est stockée dans la capacité. Dès que le signal de commande PHI2 change de valeur, les 2 compteurs

commencent à travailler. Les 2 circuits COMPTEURS dans les 2 wafers commencent au même moment car leurs signaux de commande sont envoyés dans le même temps. Un des compteurs donne les valeurs de la rampe pour la comparaison. Dès que les signaux sont égaux, le signal de sortie du comparateur TRIGx<x> donne un signal à la mémoire pour stocker la valeur.

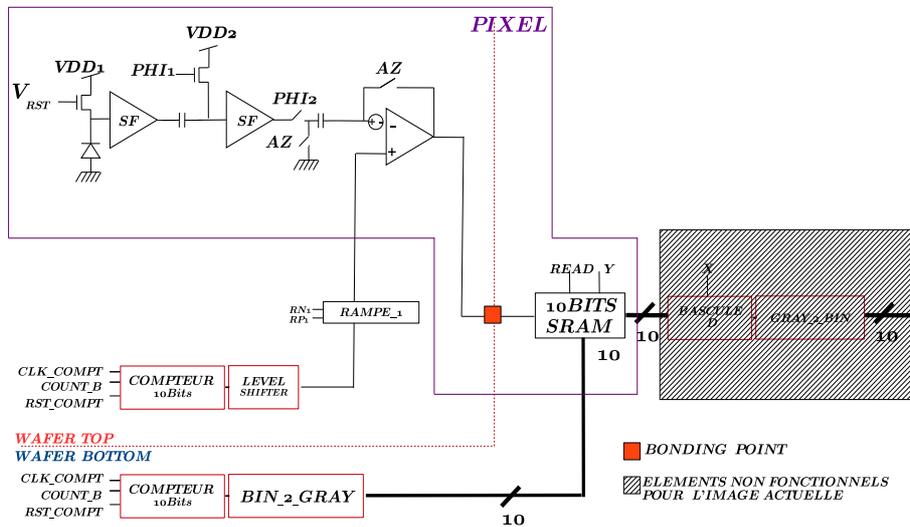


FIGURE 3.31 – Pixel 3d en mode d'acquisition d'une image.

**Lecture des données** Dans cette partie, nous allons utiliser la figure 3.32 pour expliquer la lecture de données. Il faut se rappeler que cette architecture est aussi du type "pipeline". Les signaux READ et Y sont envoyés pour sélectionner les lignes de pixels à lire. Une fois la sélection de ces pixels faite, les valeurs "pixels" sont envoyées à la BASCULE D pour ensuite être envoyées à la sortie.

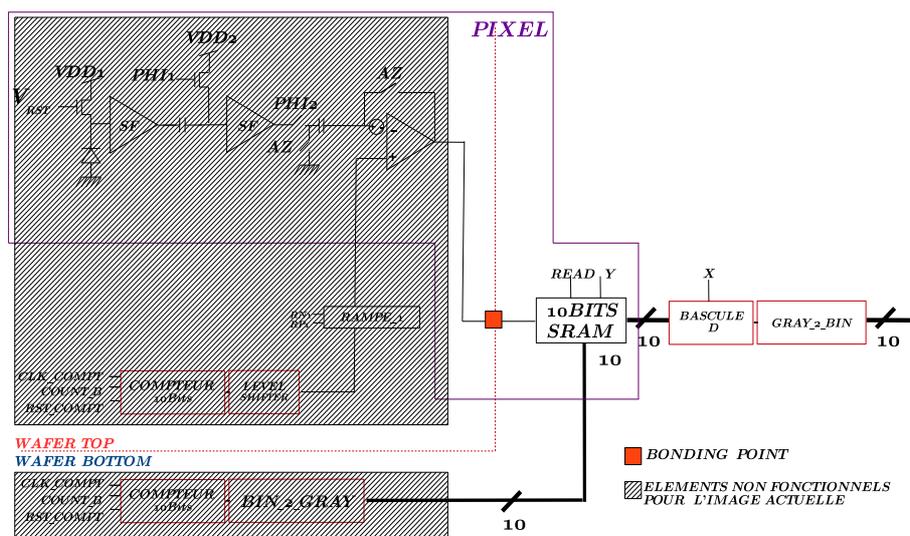


FIGURE 3.32 – Pixel 3D en mode de lecture de données.

Pour voir le fonctionnement, nous allons présenter un exemple de simulation sur CADENCE. La figure 3.33, montre les valeurs stockées dans la matrice de mémoires (128x128) dans le wafer

bottom. L'objectif de cette simulation est l'acquisition de la valeur 128 stockée dans la première mémoire de la ligne 2.

128 COLONNES						
8 LIGNES	LIGNE 1	0	1	.....	127	
	LIGNE 2	128	129	.....	255	
	⋮	⋮			⋮	
	LIGNE 8	896	897	.....	1023	
	⋮	⋮			⋮	
	8 LIGNES	LIGNE 120	0	1	.....	127
		LIGNE 121	128	129	.....	255
		⋮	⋮			⋮
LIGNE 127		896	897	.....	1023	

FIGURE 3.33 – Valeurs dans la matrice de mémoires.

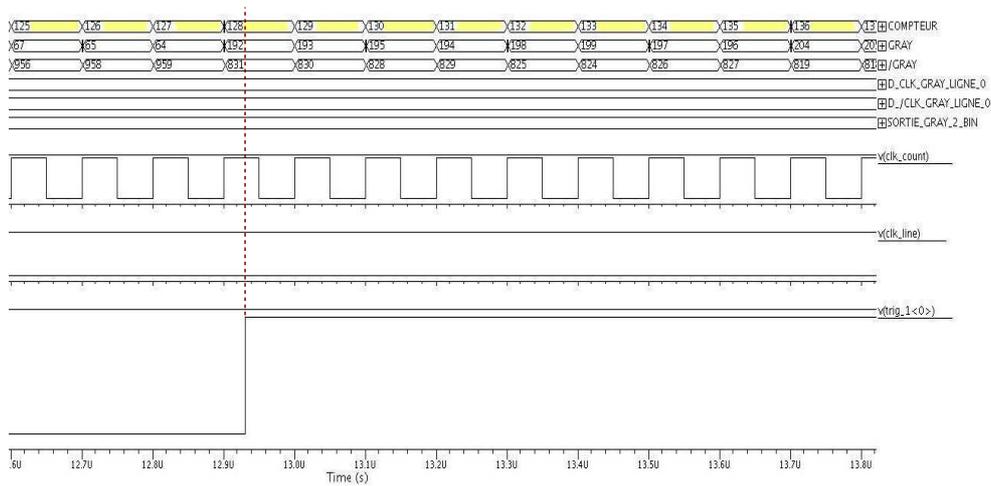
La figure3.34(a) montre *le stockage* de la valeur 128 vers une mémoire. Dans cette simulation, nous montrons les signaux issus du COMPTEUR en valeurs décimales<sup>x</sup>, les valeurs du compteur converties en GRAYBIT < 0..9 > et  $\overline{BIT}$  < 0..9 > (qui rentrent dans les mémoires), les valeurs des horloges (pour la commande des circuits numériques) et le signal TRIG. Pour stocker la valeur 128 du compteur à la mémoire, le signal TRIG, qui se transmet par le "bondpoint", doit changer de valeur de 0 à 1 logique. Cela est montré au temps 12.93us de la simulation, les valeurs gray de 128 est 192 et le  $\overline{gray}$  est 831.

Pour *l'acquisition* de la valeur 128 stockée dans la mémoire, nous allons utiliser la figure3.34(b). Les signaux de cette simulation sont : ENX, qui sert à sélectionner une colonne de la matrice de pixels ; SELY, sert à sélectionner une ligne de la matrice. Le signal COMPTEUR, montre les valeurs en decimal du compteur binaire. Les signaux en gray du COMPTEUR sont GRAY et  $\overline{GRAY}$ . Les signaux  $D\_CLK\_GRAY\_LIGNE$  et  $D\_CLK\_GRAY\_LIGNE$  sont les signaux avant et après du circuit BASCULE D. Les signaux de horloge sont  $clk$  et  $clk\_ligne$ . Finalement, la sortie est représentée par le signal  $SORTIE\_GRAY\_2\_BIN$ .

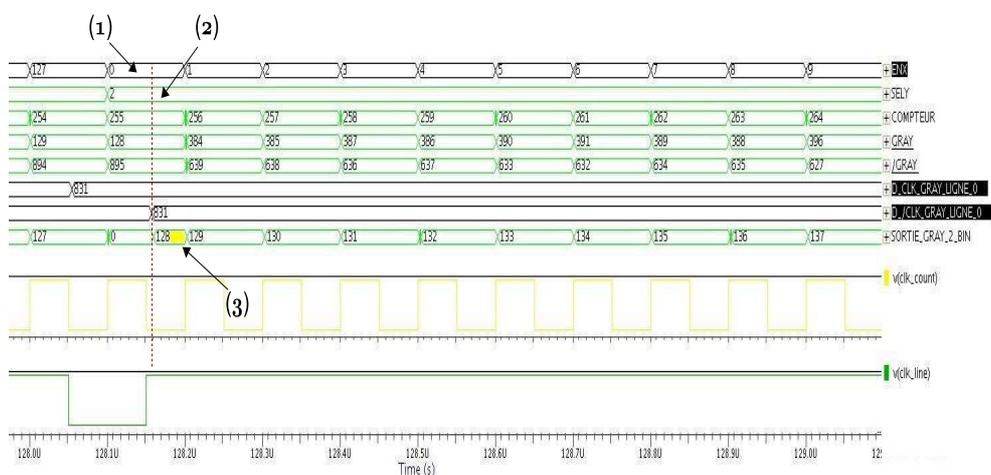
La lecture de la valeur 128 est représentée en 3 parties, ceci est vu à partir du temps 128.15us de la simulation. (1)<sup>y</sup> ENX sélectionne la colonne 0 de la matrice. Puis, (2) le signal SELY sélectionne la ligne 2 de la matrice. Dès que le signal  $clk\_ligne$  change de valeur 1 à 0 logique, la valeur stockée dans cette mémoire va à l'entrée du circuit BASCULE D,  $D\_CLK\_GRAY\_LIGNE$ , 831 est le code  $\overline{gray}$  de 128. Puis, le signal  $clk\_ligne$  change de valeur logique de 0 à 1 et la valeur stockée dans le mémoire passe à la sortie du circuit BASCULE D,  $D\_CLK\_GRAY\_LIGNE$ . La valeur stockée dans le pixel est changée de code gray à code binaire par le circuit  $GRAY\_2\_BIN$  et à sa sortie  $SORTIE\_GRAY\_2\_BIN$  apparait la valeur 128.

Nous avons présenté le pixel et les architectures de ce capteur d'image à haute densité

x. Les valeurs sont en décimal pour l'interprétation facile des valeurs binaires à stocker.  
y. Les notations (1), (2) et (3) sont montrées dans la figure3.34.



(a)



(b)

FIGURE 3.34 – Simulation du stockage et acquisition d'une valeur dans le mémoire de l'imageur 3D : (a) Simulation sur CADENCE du stockage d'une valeur d'une mémoire ; (b) Simulation sur CADENCE de l'acquisition d'une valeur d'une mémoire.

d'intégration de circuits implémenté dans la technologie 3D wafer level. Dans les paragraphes suivants nous allons voir la réduction de contraintes par l'utilisation de la technologie 3D wafer level.

### 3.4.7 Réduction de contraintes de construction pour un imageur à haute densité d'intégration de circuits

Dans cette partie, nous allons analyser la réduction de contraintes d'implémentation d'un capteur d'image à haute densité d'intégration de circuits. Pour faire ceci, nous allons montrer et comparer les implémentations sur CADENCE des architectures d'imageurs étudiés dans cette chapitre, celle du capteur d'image qui était décrit dans la technologie monolithique CMOS (voir figure3.1) et celle implémentée dans la technologie 3D wafer level (figure3.28).

### 3.4.7.1 Facteur de remplissage

La comparaison du facteur de remplissage est faite dans les paragraphes suivants; La figure 3.35(a) montre le layout du pixel implémenté sur CADENCE, construit dans la technologie monolithique CMOS. Ce pixel a une taille de 10 $\mu$ m x 20 $\mu$ m. Les circuits analogiques et numériques sont mis dans le même wafer. Le facteur de remplissage calculé est de 16.5%. La figure 3.35(b) montre le layout du pixel 3D. Nous pouvons apercevoir le partitionnement dans différents wafers des circuits analogiques et numériques. Le facteur de remplissage calculé est de 33%.

Les photo-diodes sont montrés dans leurs figures respectives. La quantité, la taille des transistors et la technologie de fabrication (130nm) sont les mêmes pour les 2 imageurs.

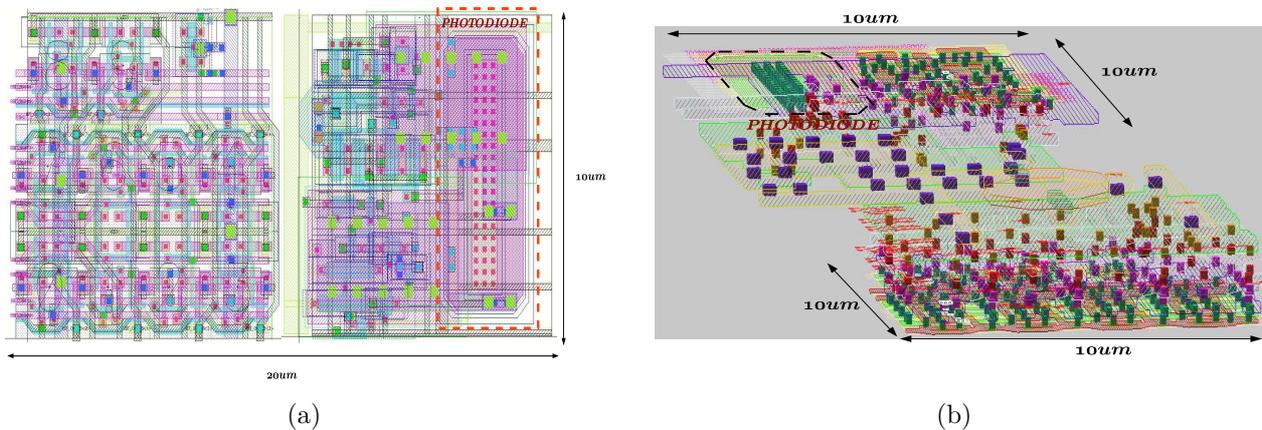


FIGURE 3.35 – Layout des pixels des capteurs à haute densité d'intégration de circuits : (a) layout du pixel du capteur d'image implémenté dans la technologie CMOS standard; (b) layout du pixel du capteur d'image implémenté dans la technologie 3D wafer level.

La comparaison des facteurs de remplissage nous montre que la technologie monolithique peut faire ce type d'imageurs; cependant, si nous avons un espace fixe pour la matrice de pixels comme par exemple de 10mm x 10mm et un pas de pixel de 10 $\mu$ m, la quantité de pixels sera limité à  $500^H \times 1000^V$ . Dans le cas de l'imageur 3D, dans ce même espace, nous aurons  $1000^H \times 1000^V$  pixels, (grâce à la construction d'une partie du pixel dans un autre wafer). Il est bien noté que le facteur de remplissage et le facteur de conversion (CVF) sont réduits pour l'imageur construit dans la technologie monolithique CMOS. La technologie 3D wafer level permet au minimum de doubler l'espace de construction, (10 $\mu$ m x 10 $\mu$ m), dans une même aire parce qu'il est possible d'empiler plusieurs wafers ce qui peut encore réduire la taille des pixels. De plus, il est possible d'utiliser une autre filière technologique.

### 3.4.7.2 Couplage diaphonique

Pour cette étude, nous allons calculer les capacités de couplage  $C_C$  et l'amplitude diaphonique  $\Delta V$  des imageurs cités, afin de voir l'effet entre une ligne numérique du CAN et la ligne analogique de la photodiode. Puis, nous allons comparer les valeurs  $C_C$  et  $\Delta V$  des différentes tailles de matrices horizontales de pas de pixels de 10 $\mu$ m. Les matrices utilisées sont de 1 pixel (L=10 $\mu$ m), de 128 pixels (L=1280 $\mu$ m) et de 1000 pixels (L=10000 $\mu$ m).

Le pixel implémenté dans la technologie monolithique (figure 3.36(a)) montre 2 lignes métalliques à étudier. Les 2 lignes métalliques sont définies par les lignes en pointillés, celle de la mémoire et celle de la photodiode. Les dimensions de la ligne numérique sont indiquées dans le tableau 3.22<sup>a</sup>.

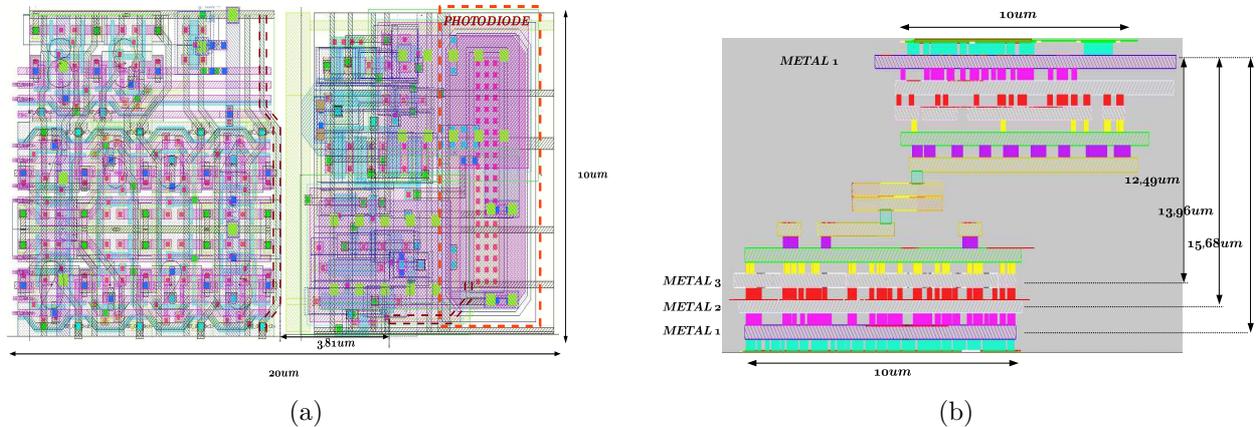


FIGURE 3.36 – Comparaison du couplage diaphonique d'un pixel en 2 technologies : (a) Layout du pixel à haute densité d'intégration de circuits en technologie standard ; (b) Section transversale du layout du pixel 3D.

Le tableau 3.22 montre les dimensions de la ligne numérique et de la ligne de la photodiode calculées à partir du layout.

Lignes du pixel :	T [um]	W [um]	H [um]	S [um]
Ligne numérique, M2	0.42	10	4.002	3.81
Ligne de la photodiode, M1	0.31	3.15	1.225	3.81

Tableau 3.22 – Dimensions de la ligne numérique à étudier pour le couplage diaphonique.

Les calculs de la capacité de couplage et de l'amplitude diaphonique sont donnés dans le tableau 3.23.

	C [fF/um]	C [fF] L=10um	C [fF] L=1280um	C [fF] L=10000um
$C_C$	0.053	0.532fF	68.1fF	532fF
$\Delta V$	-	$\approx 7\mu V$	1.02mV	7.98mV

Tableau 3.23 – Valeurs de capacité de couplage et amplitude diaphonique entre une ligne métallique numérique et analogique.

Pour voir l'influence de l'amplitude diaphonique  $\Delta V$ , nous allons comparer cette valeur avec la valeur LSB<sup>b</sup> du convertisseur analogique numérique. Où  $V_{DD}$  est la tension de référence du convertisseur et  $m$  est la quantité de bits du convertisseur.

$$LSB = \frac{V_{DD}}{2^m} \quad (3.4)$$

a. La dimension W ne prend pas en compte les polygones de ces lignes métalliques, nous allons prendre juste une ligne métallique rectangulaire équivalente pour le calcul de la capacité de couplage.  
 b. Le bit le moins significative, "Least significant bit".

Si  $VDD=3.3V$  et  $m = 10$ , le  $LSB = 3.22mV$ . La valeur  $\Delta V$  du pixel implémenté dans la technologie CMOS standard, est  $7.98mV$ . Ce couplage diaphonique peut polluer le signal de la photodiode, ce qui peut dégrader la conversion de valeurs analogiques. Cela est possible, si la taille de la matrice est de 1000 pixels ( $L=10000\mu m$ , pas de pixel à  $10\mu m$ ). De plus, la valeur de  $7.98mV$  est comparable à 2 valeurs numériques du CAN. Ce couplage est une grande contrainte si l'on veut implémenter un capteur d'image à haute densité d'intégration de circuits avec une grande résolution des pixels, comme, par exemple un imageur full HD ( $1920^H \times 1080^V$ ).

Pour l'analyse du *pixel 3D*, nous utiliserons la figure 3.36(b). Cette image nous montre la section transversale du pixel avec les wafers top et bottom. Comme il était décrit dans les paragraphes précédents, la partie analogique du pixel est mise dans le wafer top. La ligne métallique qui amène le signal de la photodiode utilise le métal 1. Dans le wafer bottom, les signaux du convertisseur analogique numérique se trouvent dans 3 lignes métalliques différentes (métal 1 à 3), pour faire une comparaison de couplage.

Le tableau 3.24 montre les dimensions des lignes métalliques dans le pixel 3D.

	T [ $\mu m$ ]	W [ $\mu m$ ]	H1 [ $\mu m$ ]	H2 [ $\mu m$ ]	S [ $\mu m$ ]
M3B_M1T	0.42	3.15	4.165	13.475	12.49
M2B_M1T	0.42	3.15	3.185	15.43	13.96
M1B_M1T	0.42	3.15	1.225	16.905	15.68

Tableau 3.24 – Dimensions des lignes numériques d'un pixel 3D

Les calculs des capacités de couplage  $C_C$  et de l'amplitude diaphonique  $\Delta V$  sont montrés dans le tableau 3.25.

	Élément	C [fF/ $\mu m$ ]	C [fF] L=10 $\mu m$	C [fF] L=1280 $\mu m$	C [fF] L=10000 $\mu m$
M3B_M1T	$C_C$	0.0136	0.136fF	17.4fF	136fF
	$\Delta V$	-	2.04 $\mu V$	0.216mV	2.04mV
M2B_M1T	$C_C$	0.012	0.12fF	15.62fF	122fF
	$\Delta V$	-	1.83 $\mu V$	0.234mV	1.83mV
M1B_M1T	$C_C$	0.0094	0.094fF	12.03fF	94fF
	$\Delta V$	-	1.41 $\mu V$	0.180mV	1.41mV

Tableau 3.25 – Valeurs des capacités de couplage et des amplitudes diaphoniques dans un pixel 3D.

En comparant avec la valeur calculée de LSB de  $3.22mV$ , nous pouvons apercevoir que toutes les valeurs sont inférieures à  $2.04mV$ . Cela veut dire que si même, nous utilisons une matrice de grand format, nous n'aurons pas un couplage dans le pixel. La distance entre les lignes métalliques numériques et analogiques imposée naturellement, par l'assemblage 3D, réduit les capacités de couplages. Cela ne peut pas polluer une valeur numérique du convertisseur. Si l'on utilise cette technologie, nous allons diminuer le couplage diaphonique, donc, moins de pollution de la partie numérique à la partie analogique.

### 3.5 L'imageur fabriqué et les premiers résultats

Grâce à l'accès à la fabrication des circuits 3D<sup>c</sup>, nous avons pu implémenter le capteur d'image décrit précédemment en utilisant la technologie 3D wafer level. Le cycle de fabrication a été long et seulement dans cette partie, nous présenterons des tests fonctionnels. De plus, nous montrerons des sections transversales de différents endroits de l'imageur.

La figure 3.37 montre la section transversale du circuit 3D prise par un microscope électronique à balayage (MEB). Nous pouvons regarder les deux « wafers » collés.

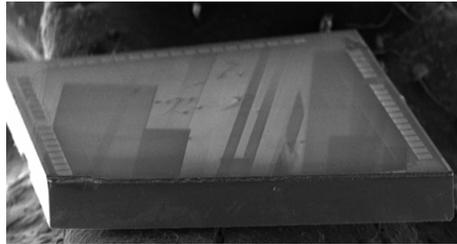


FIGURE 3.37 – Image de la section transversale prise au microscope électronique à balayage (MEB).

Comme il était abordé dans la description de l'imageur 3D, Le wafer bottom contient la partie numérique du pixel et n'est pas aminci. Le calcul en utilisant les dimensions de la figure 3.38(a) montre une épaisseur de 312.5µm. Le wafer top contient la partie analogique du pixel. Cela est aminci et possède une épaisseur d'environ 15.4µm. Cela est aperçu dans la figure 3.38(b).

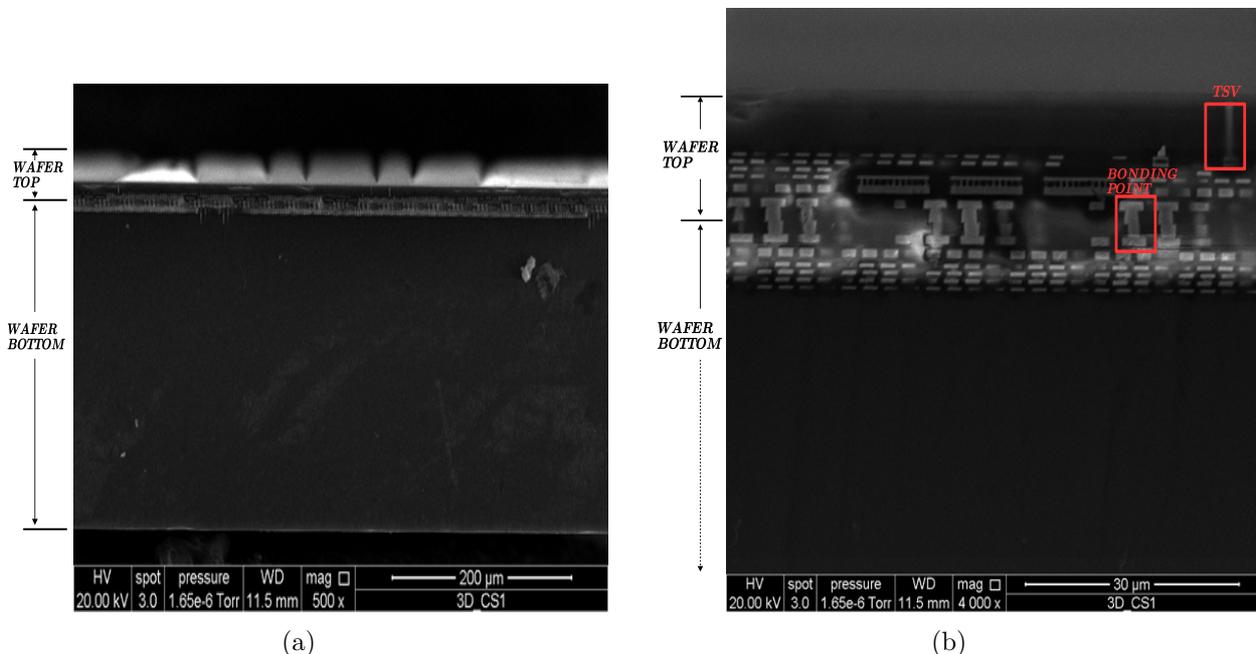


FIGURE 3.38 – Images des sections transversales prises avec 2 niveaux d'agrandissements : (a) Agrandissement de 500X ; (b) Agrandissement de 4000X.

Un banc de test dédié a été développé pour faire les tests de fonctionnalité de ce capteur d'image. La figure 3.39(a) et 3.39(b) montre le synoptique de ce banc et sa photographie associée.

c. Consortium multiprojet CMP-MOSIS-CMC

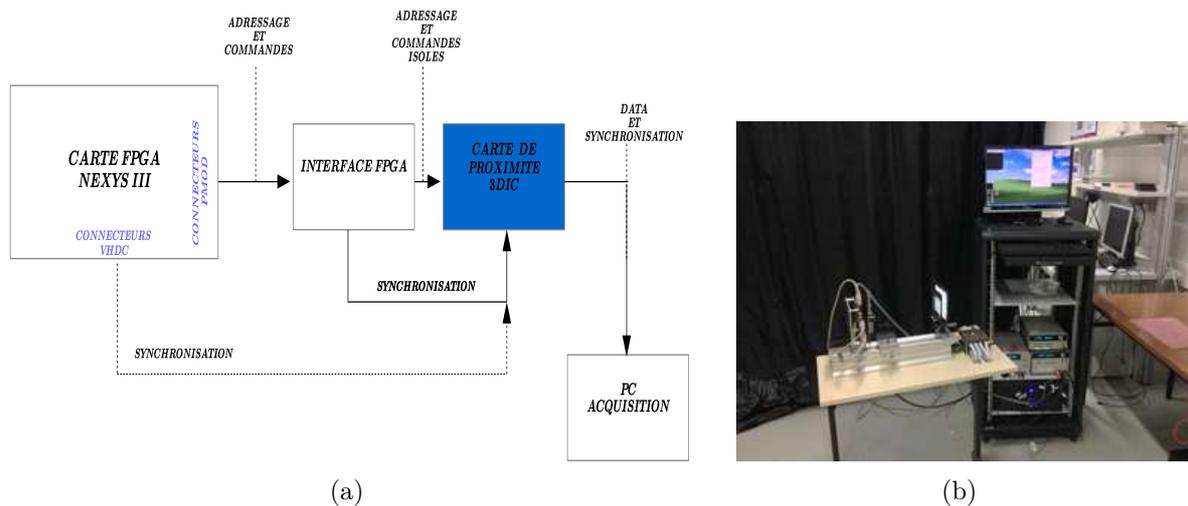


FIGURE 3.39 – Illustration du banc de test : (a) Synoptique.; (b) Photographie du banc de test.

Ce banc de test a permis de réaliser des tests du circuit avec différents niveaux d'éclairement. La figure 3.40 montre deux images réalisées par le capteur pour deux niveaux d'éclairement.

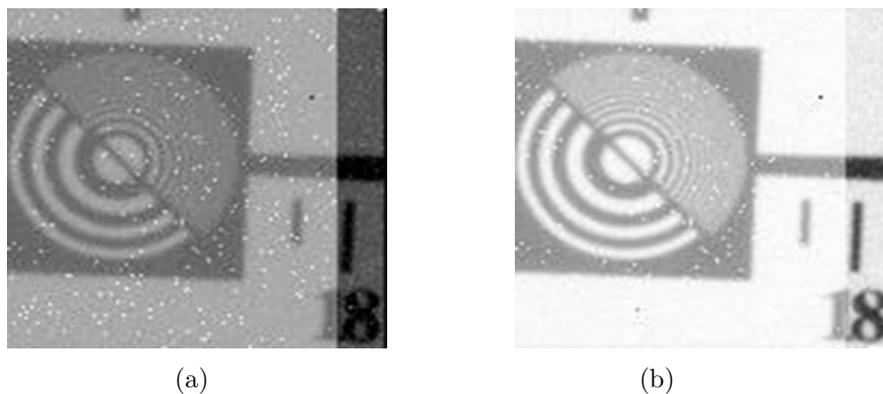


FIGURE 3.40 – Image d'une mire réalisée avec le capteur pour deux niveaux d'éclairement : (a) Niveau d'illumination 1 ; (b) Niveau d'illumination 2.

Il semble que sur les capteurs testés, tous les pixels soient fonctionnels, ce qui permet d'affirmer que les interconnexions de « wafer » à « wafer » sont réalisées avec un très bon rendement<sup>d</sup>. En ce qui concerne les pixels à réponse singulière (points blancs ou pixels « chauds ») montrés dans les figures 3.40(a) et 3.40(b), la présence de ceux-ci est à analyser en tenant compte que la technologie de fabrication CMOS utilisée n'est pas optimisée pour l'imagerie. Des tests complets de caractérisation des performances électro-optiques de l'imageur devront être réalisés afin d'évaluer les apports réels de ce circuit par rapport à une réalisation en technologie CMOS monolithique.

d. Le fabricant assure 99% de rendement.

## 3.6 Conclusion

Ce chapitre a été dédié aux capteurs d'image à haute densité d'intégration de circuits. Ces types de capteurs ont la possibilité d'avoir des circuits ou fonctions qui aident à augmenter leurs traitements des signaux et leurs performances. Le capteur d'image proposé a un convertisseur analogique numérique de 10 bits dans chaque pixel. Nous avons vu 2 limites qui apparaissent lors de l'implémentation de ce capteur avec la technologie CMOS monolithique : la réduction du facteur de remplissage et le couplage diaphonique.

Nous avons analysé différentes structures pour connaître l'impact de la construction et du collage face-to-face de 2 wafers. Nous avons vu qu'il apporte une capacité en termes d'assemblage, cependant, le couplage entre 2 lignes métalliques du même métal situé dans différents wafers n'a pas une capacité de couplage grande qui peut amener des problèmes.

Nous avons utilisé le terme partitionnement pour construire le pixel 3D, d'où nous avons évalué 4 façons de séparer les circuits du pixel. La séparation de la partie numérique et analogique donnait un avantage, la réduction de couplage.

Nous avons comparé 2 pixels qui ont les mêmes fonctions et tailles de transistors. L'un d'eux était fait dans la technologie CMOS standard et l'autre était fait dans la technologie 3D wafer level. L'amplitude diaphonique du premier pixel pouvait polluer le signal de la photodiode, si la taille de la matrice était grande. De plus, le facteur de remplissage de cet imageur était aussi réduit. Dans le cas de l'implémentation du pixel 3D, l'amplitude diaphonique était faible, au-dessous de la valeur LSB. Le facteur de remplissage était au minimum le double du pixel implémenté dans la technologie monolithique. Nous avons vu que la technologie 3D wafer level peut réduire les limites de construction des capteurs image à haute densité d'intégration de circuits de grande résolution.

L'implémentation de ce capteur d'image dans la technologie 3D wafer level était montrée par des images MEB. Des tests fonctionnels avaient montré que le collage avait un rendement de 99%, cependant il manque des tests de caractérisation des performances opto-électriques.

Les capteurs d'image implémentés dans la technologie 3D nous ouvrent une nouvelle porte pour augmenter les performances des capteurs d'image.

## Bibliographie

- [1] S. H. M. of Japan, "Integrated circuits : Decade of lsi circuits," <http://www.shmj.or.jp/english/integredcircuits/ic60s.html>.
- [2] —, "Integrated circuits : larger-scale lsi circuits," <http://www.shmj.or.jp/english/integredcircuits/ic70s.html>.
- [3] J. Ohta, *Smart CMOS Image Sensors and Applications*, ser. ISBN : 978-0-8493-3681-2. CRC Press 2007.

- [4] S. Kleinfelder, S. Lim, X. Liu, and A. El Gamal, "A 10000 frames/s cmos digital pixel sensor," *Solid-State Circuits, IEEE Journal of*, vol. 36, no. 12, pp. 2049–2059, dec 2001.
- [5] X. Liu, "Cmos image sensors dynamic range and snr enhancement via statistical signal processing," Ph.D. dissertation, Stanford University, 2002.
- [6] H. Tian, "Noise analysis in cmos image sensors," Ph.D. dissertation, Stanford University, 2000.
- [7] P. MARTIN-GONTHIER, "Contribution à l'amélioration de la dynamique des capteurs d'image cmos à réponse linéaire," Ph.D. dissertation, ISAE, 2010.
- [8] J. Solhusvik, "Étude et conception de capteurs d'images À pixels actifs et de l'Électronique de traitement associÉE en vue d'applications faible flux," Ph.D. dissertation, SUPAERO, 1996.
- [9] M. El-Desouki, M. Jamal Deen, Q. Fang, L. Liu, F. Tse, and D. Armstrong, "Cmos image sensors for high speed applications," *Sensors*, vol. 9, no. 1, pp. 430–444, 2009.
- [10] E. R. Fossum, "Cmos active pixel image sensors : Past, present, and future," South Korea,, 2008.
- [11] Tezzaron, "Fastack technology," <http://www.tezzaron.com/technology/FaStack.htm>.
- [12] CMP, "Tezzaron cmos 130nm fastack(r)," <http://cmp.imag.fr/products/ic/?p=130nmFaStack>.
- [13] Tezzaron, "3d multi-project wafers," <http://www.tezzaron.com/OtherICs/Custom>
- [14] D. Clein, *CMOS IC LAYOUT Concepts, Methodologies, and Tools*, Newnes, Ed., 2000.
- [15] F. Caignet, "Mesure et modélisation prédictive des phénomènes parasites liés aux interconnexions dans les technologies cmos," Ph.D. dissertation, Institut national des sciences appliquées de Toulouse, 1999.
- [16] G. Katti, M. Stucchi, K. De Meyer, and W. Dehaene, "Electrical modeling and characterization of through silicon via for three-dimensional ics," *Electron Devices, IEEE Transactions on*, vol. 57, no. 1, pp. 256–262, jan. 2010.
- [17] A. AMEDEO, "Etude des phénomènes de réflexions, de diaphonie et de stabilité des alimentations sur les cartes à haute densité d'interconnexions," Ph.D. dissertation, L'ECOLE NORMALE SUPERIEURE DE CACHAN, 2010.
- [18] A. POLTI, "Introduction à l'intégrité du signal," *Cours de ROBOTIQUE ET SYSTÈMES EMBARQUÉS*, 2007.

Cette page est laissée blanche intentionnellement

# Chapitre 4

## Implémentation des capteurs d'image à haute vitesse avec la technologie 3D.

Les architectures allouant des ressources de traitement et de lecture à chaque pixel offrent également, potentiellement, la possibilité d'augmenter la cadence image nécessaire à certaines applications (décomposition, image par image, de scènes rapides, test d'impact ou de collision entre autres). Ce chapitre est consacré à ce type d'imageurs dits imageurs rapides ou imageurs haute cadence.

### 4.1 Introduction

Notre capteur naturel, l'œil humain, peut former, transmettre et analyser de 10 à 15 images par second<sup>a</sup>[1, 2], ce qui donne une limite et devient une contrainte pour l'étude d'événements rapides. Cela a permis aux industriels et aux scientifiques de développer des systèmes d'enregistrement pour ce type d'expériences[3]. Les systèmes à haute vitesse utilisent principalement un capteur d'image, qui est capable d'enregistrer ou de gérer des images à ce rythme d'acquisition et avoir une haute cadence de sortie des données.

Un exemple des images capturées en haute vitesse est montré dans la figure4.1. Chaque image est capturée en 2ms[4], ce qui est défini par l'appareil photo. Pour ces photos, le photographe a utilisé un équipement qui envoie des flashes à haute cadence de 35us<sup>b</sup> au moment de la capture. La photographie montrée dans la figure4.1 est la combinaison des 4 photos en une[4].

#### 4.1.1 Domaine d'application

Les domaines d'application[3, 5] des imageurs à haute cadence se trouvent dans le contexte scientifique, militaire et de grand public. Quelques exemples d'application de ce type de capteur d'image sont donnés ci-après :

- *Capture de phénomènes rapides* [6], de mouvements à haute vitesse (athlètes et animaux) [3].

---

a. Frames per second (fps).

b. Flashes à 28000ème d'une seconde.



FIGURE 4.1 – Séquence : Descente d'une chouette; 4 Images capturées en haute vitesse, (dans un intervalle de 2ms)[4].

- *Test d'impact* (évaluation des matériaux), de collision pour des voitures (« crash test ») [3].
- *Photos à grand vitesse*, pour les radars sur autoroutes[7].
- *Spectroscopie par fluorescence* (« Fluorescence spectroscopy »)[8].

Les figures ci-dessous montrent l'intérêt d'étudier les phénomènes cités.

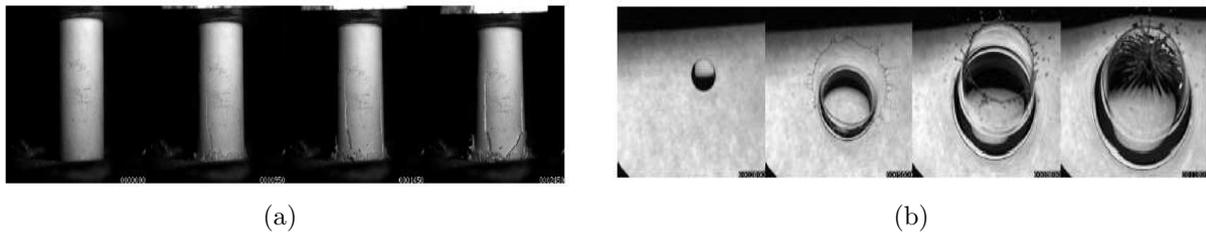


FIGURE 4.2 – Applications des imageurs rapides : (a) Fracturation d'une colonne de plâtre (Cadence image : 20 000 images par seconde)[6]; (b) La chute d'un goût d'eau, Images prises avec une cadence image de 5Kfps[6].

Pour capturer ce type d'événements, il faut avoir un imageur qui puisse capturer les photons provenant de la scène sans distorsion. Les paragraphes suivants décriront ce type d'acquisition d'images.

#### 4.1.2 Lecture sans distorsion.

Les imageurs CMOS actuels utilisent, dans la majorité des cas, une prise d'image dite « rolling shutter ». La prise d'image en mode « rolling shutter » implique un décalage temporel du temps d'intégration de chaque ligne<sup>c</sup> (mais les lignes ont la même durée de temps d'intégration). Les figures suivantes montrent l'impact dans ce type de prises d'images, avec une voiture formule 1 roulant à 100km/h pour les deux modes de prises d'images : rolling shutter (figure4.48(a)) et global shutter (figure4.48(b)). Une étude plus précise est détaillée dans l'annexe 3.

c. Voir le chapitre 1, mode de lecture des imageurs.

Le besoin d'acquérir les images à haute cadence sans distorsion est devenu possible grâce à la prise d'image par des pixels de type « global shutter »<sup>d</sup>.



(a)



(b)

FIGURE 4.3 – Impact du mouvement des objets sur l'image[9] (a) Image d'une voiture formula 1 avec l'effet rolling shutter ; (b) Image d'une voiture formula 1, sans distorsion.

Le mode « global shutter » permet de démarrer et de finir l'intégration au même moment pour chaque ligne. La suite du chapitre sera exclusivement consacrée au mode de prise d'image de type « global shutter » évitant la distorsion de l'image.

## 4.2 Types d'imageurs rapides

L'état de l'art et les besoins liés à certaines applications montrent des cadences image pouvant aller jusqu'à 10Mfps (« Frame per second » ou Trame par seconde)[6, 10], donc un temps d'intégration pouvant descendre jusqu'à 0.1 $\mu$ s. L'utilisation d'un pixel « global shutter », requis pour éviter la distorsion, permet naturellement de séparer le nœud d'intégration des charges et le nœud de lecture de celles-ci. Il existe 2 grandes familles d'imageurs rapides, le type continu et le type rafale ou « burst ». Ces 2 types d'imageurs sont décrits dans les paragraphes suivants.

### 4.2.1 Imageur rapide type continue

Ce type d'imageur possède un fonctionnement similaire à un imageur dit « classique ». En effet, quelques soient les phases allant de l'intégration des photo-charges jusqu'à la lecture des données « pixel » en sortie, cela est réalisé à un rythme régulier sans temps mort. Cela implique

d. Cité dans le chapitre 1

que le temps de lecture des données « pixel » en sortie est délimité par le temps d'intégration. Ceci est représenté par la figure 4.4.

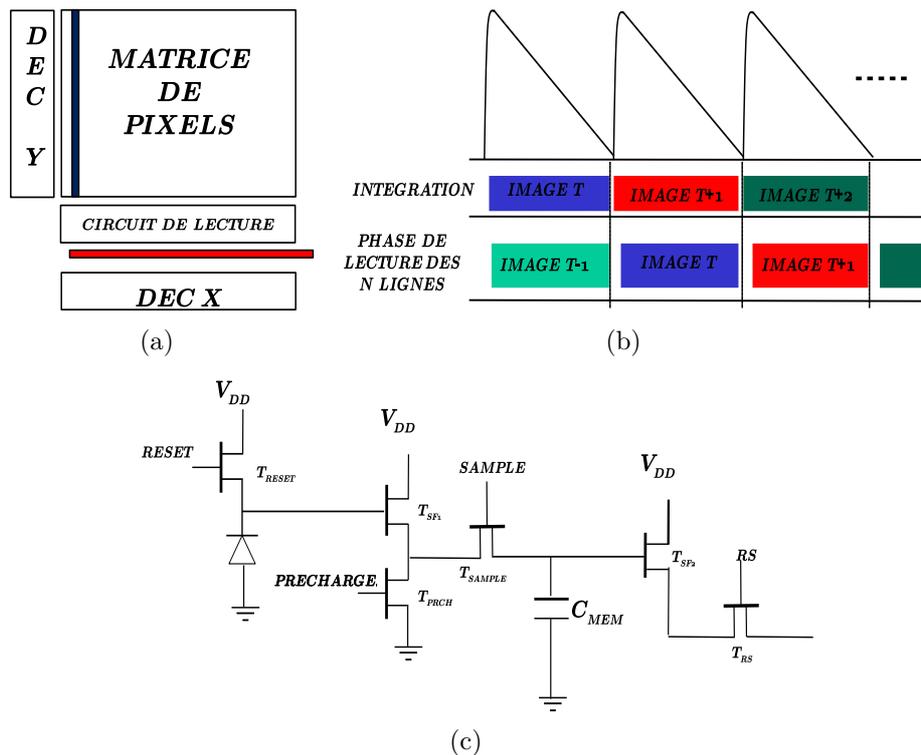


FIGURE 4.4 – Architecture d'un imageur de type continu : (a) Imageur de type continu ; (b) Chronogramme associé ; (c) Pixel d'un imageur rapide[11].

L'architecture d'un pixel d'un imageur rapide[11] contient un élément de stockage (Capacité  $C_{MEM}$ ) dans le pixel (figure 4.4(c)). Cela permet de réaliser 2 actions en même temps : intégrer les photo-charges et lire les données « pixel » de l'image précédente (matrice complète).

Ce type d'imageurs peut avoir des sorties tant en analogique qu'en numérique.

#### 4.2.2 Imageur rapide type burst « RAFALE »

L'intérêt de ce type d'imageur est de pouvoir stocker plusieurs images des événements rapides dans une matrice de mémoires, déportée par rapport à la matrice de pixel (figure 4.5(a)). Cela a comme particularité la dissociation de l'acquisition des images avec la lecture des données de la matrice de mémoires.

Pour comprendre ce type d'imageur, nous allons utiliser la chronogramme de la figure 4.5(b). Les images sont donc prises et ensuite stockées dans la matrice de mémoires. Ceci se fait pour la quantité d'éléments de stockage à disposition<sup>e</sup> et sans temps mort. Lorsque la séquence de prise d'image « rafale » est terminée, les données pixel de toutes les trames stockées sont lues à une cadence sans contraintes temporelles prohibitives. Durant ce temps de lecture des données, le mode prise d'image ne fonctionne pas ce qui occasionne un temps mort. De la même manière que l'imageur rapide de type continu, ces imageurs peuvent être à sorties analogiques ou numériques.

e. Nombre de mémoires par pixel.

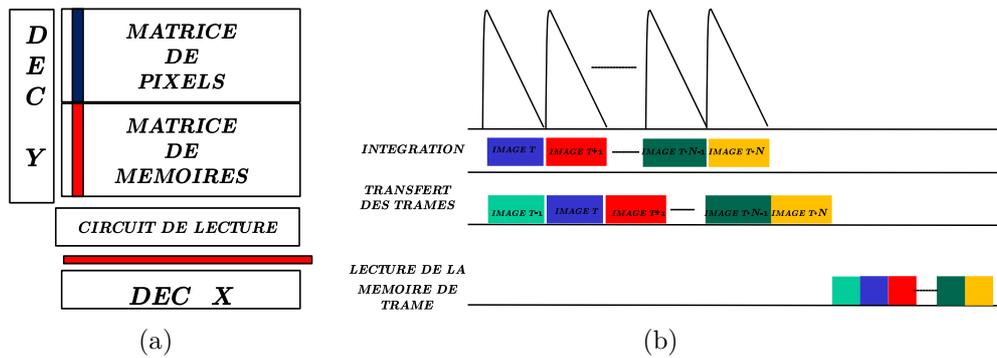


FIGURE 4.5 – Architecture d'un imageur rapide type rafale : (a) Imageur rapide type rafale avec les éléments de stockage déportés ; (b) Chronogramme associé.

### 4.3 État de l'art des imageurs rapides

Les publications les moins récentes montrent que les imageurs rapides ont été fabriqués dans un premier temps avec la technologie CDD[6]. La figure 4.6 montre un échantillonnage des réalisations d'imageurs rapides en fonction de la taille des imageurs[6, 10, 12–29]. L'analyse de cet échantillonnage montre principalement trois populations d'imageurs :

- Les imageurs rapides en lecture continue de sortie analogique sont utilisés pour des petits formats de matrices ( $< 100\text{kpix}$ ).
- Les imageurs rapides en lecture continue de sortie numérique sont utilisés pour des formats de matrices de pixels  $> 100\text{kpix}$
- L'utilisation du mode de lecture rafale « burst » qui permet d'augmenter considérablement la cadence image (comparaison [10] : 8kfps versus 10Mfps)

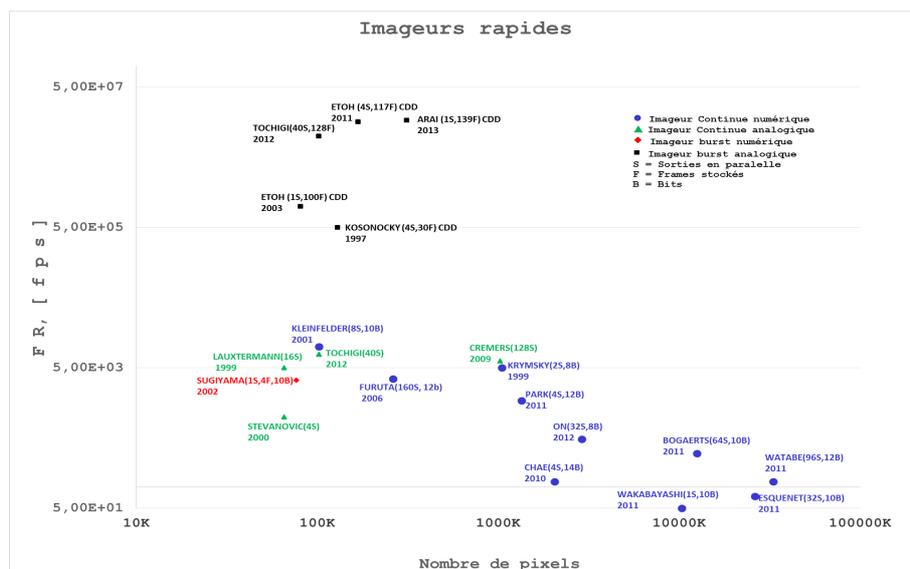


FIGURE 4.6 – Aperçu de l'état de l'art des imageurs rapides en fonction du nombre de pixels, de la cadence image et du type d'imageur[6, 10, 12–29].

Cette analyse nous montre également qu'il y a peu, à l'heure actuelle, d'imageurs haute cadence à sorties numériques en mode "burst" mis à part l'imageur de[17].

Afin d'évaluer les apports potentiels des technologies d'intégration 3D dans les quatre types d'imageurs recensés, une modélisation fine et une analyse des éléments qui limitent la cadence image ont été réalisées. Celles-ci sont détaillées dans les paragraphes suivants.

## 4.4 Modélisation et identification d'axes d'optimisation de la cadence image considérant l'utilisation des technologies d'intégration 3D pour les imageurs à lecture continue

### 4.4.1 Modélisation et identification des phases limitant la cadence image

Afin de connaître les limites des imageurs CMOS de type continue et ainsi identifier les éléments limitant la cadence image, nous allons décomposer le fonctionnement de l'imageur en des différentes phases nécessaires, qu'il soit à sorties numériques ou analogiques. Nous obtenons donc les phases suivantes :

- *Phase d'intégration*, permettant l'intégration des photo-charges dans le photo-détecteur. Cette phase est naturellement dissociée des autres phases de l'imageur par l'utilisation de pixels de type « global shutter »<sup>f</sup> permettant ainsi l'intégration durant la lecture des photo-charges de l'intégration précédente.
- *Phase de sélection d'une ligne*, nommée  $T_{SELECTION}$ . C'est le temps nécessaire qui permet de sélectionner une ligne pour échantillonner les valeurs des pixels contenus de celle-ci.
- *Phase d'échantillonnage*, nommée  $T_{ÉCHANTILLONNAGE}$ . C'est le temps de charge ou temps de décharge de la capacité équivalente du bus qui permet le transfert des valeurs des pixels aux circuits de lecture ou stockage.
- *Phase de lecture*, nommée  $T_{LECTURE}$ . C'est le temps qui permet de décrire la cadence de sortie d'une ligne de l'imageur.
- *Phase de conversion*, nommée  $T_{CAN}$ , dans le cas des imageurs à sorties numériques. Ce temps définit la durée nécessaire à la conversion des données analogiques en données numériques.

**Imageurs CMOS à sortie analogique** Le chronogramme de la figure 4.7 montre les 3 phases, exécutées séquentiellement, d'un imageur à sortie analogique. Durant le temps d'intégration d'une image, l'architecture de cet imageur permet de réaliser "Y" opérations consécutives de la phase de sélection d'une ligne de la matrice, de la phase d'échantillonnages, et de la phase lecture de la ligne sélectionnée.

---

f. Un pixel d'un imageur rapide était décrit précédemment.

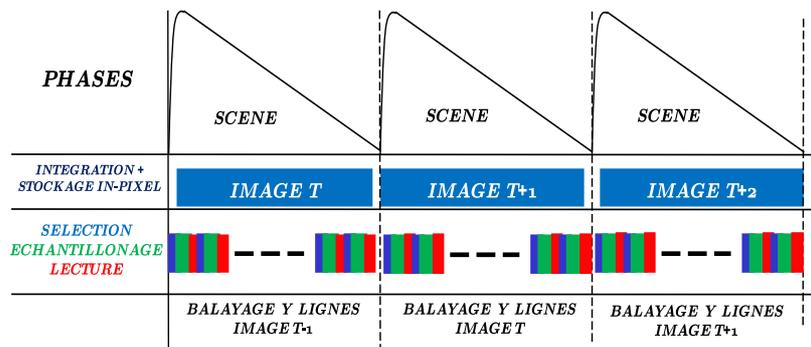


FIGURE 4.7 – Chronogramme en montrant les phases d'un imageur de type continu avec sorties analogiques.

**Imageurs CMOS à sortie numérique** Pour le cas d'imageurs CMOS à sortie numérique, deux cas d'analyse apparaissent :

- Le convertisseur analogique-numérique est placé au bas des colonnes<sup>g</sup>, voir figure1.25.
- Le convertisseur analogique-numérique est placé directement dans le pixel, voir figure1.26.

Ces architectures d'imageurs CMOS à sortie numérique permettent la parallélisation des séquences de fonctionnement de l'imageur comme le montre les chronogrammes des figures4.8. Dans le cas où la conversion est réalisée *au bas de la colonne* (figure4.8(a)), la lecture de la ligne de pixel est réalisée en même temps que les phases de sélection et d'échantillonnage de la ligne et de conversion de la ligne suivante. Pour le cas où la conversion est réalisée *dans le pixel* (figure4.8(b)), les phases de sélection et d'échantillonnage sont réalisées en même temps pour l'ensemble des pixels de la matrice, la phase de conversion est réalisée elle aussi pour l'ensemble des pixels en même temps avec un temps de latence d'une image. La phase de lecture est effectuée pour l'ensemble des pixels avec temps de latence de deux images comme le montre le chronogramme.

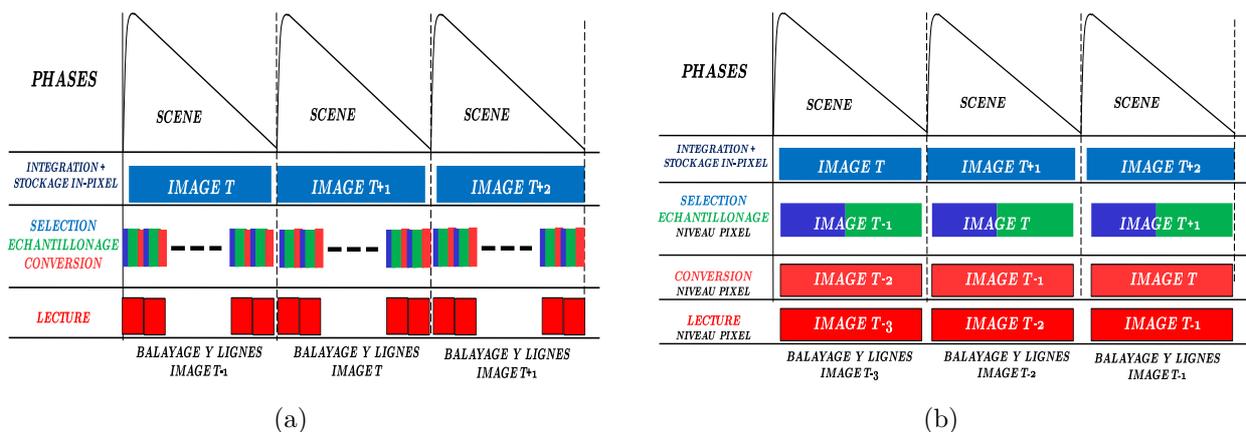


FIGURE 4.8 – Chronogrammes de fonctionnement d'un imageur CMOS de type continu à sortie numérique : (a) avec CAN au bas de colonne ; (b) avec CAN in-pixel.

g. Voir le chapitre 1, L'impact de l'intégration des circuits dans les capteurs d'image CMOS.

#### 4.4.1.1 Modélisation de la cadence image des imageurs CMOS de type continu

Il convient de définir les éléments de travail des différentes phases pour modéliser plus précisément la cadence image de ces imageurs. En prenant le cas d'un imageur CMOS de type continu à sortie analogique, la figure 4.9 montre les éléments entrant en jeu lors des différentes phases.

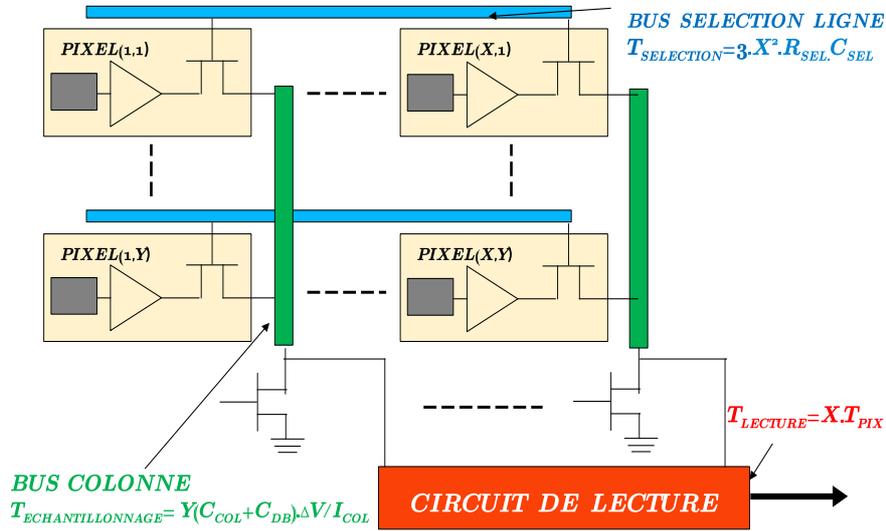


FIGURE 4.9 – Éléments de travail pour les différentes phases de l'imageur CMOS à sortie analogique.

- La *phase de sélection* dépend essentiellement de la résistance et de la capacité du rail métallique acheminant le signal sur toute la ligne des pixels. Nous allons nous appuyer sur les définitions de la référence[30] pour ce qui suit. En considérant la résistance et la capacité unitaire par tronçon de pixel,  $R_{SEL}$  et  $C_{SEL}$  respectivement, en faisant l'hypothèse que la sélection du pixel est effective lorsque nous atteignons trois fois la constante de temps de chargement ( $\approx 90\%$  de la charge d'une capacité à tension constante) et en prenant le pire cas, en bout de ligne, la phase de sélection peut alors s'écrire :

$$T_{SELECTION} = 3 \cdot X^2 \cdot R_{SEL} \cdot C_{SEL} \quad (4.1)$$

- La *phase d'échantillonnage* dépend de la capacité du bus colonne et de la capacité du drain source des transistors interrupteurs,  $Y \cdot (C_{COL} + C_{DB})$ . Les éléments participants sont : la capacité  $C_{COL}$ , c'est la capacité unitaire par pixel; la capacité  $C_{DB}$ , c'est la capacité unitaire par transistor sélectionneur du pixel à la colonne; le courant du transistor en bas de colonne monté en source de courant,  $I_{COL}$ ; la différence de potentiel maximale engendré par le suiveur intra-pixel,  $\Delta V$ . Pour notre analyse, nous allons prendre le pire cas, "slew rate limited"[30], qui décrit le changement de la valeur du pixel échantillonné, qui passe par le rail métallique, d'une valeur du pixel très éclairée vers un pixel dans l'obscurité<sup>h</sup>.

$$T_{ECHANTILLONNAGE} = \frac{Y \cdot (C_{COL} + C_{DB}) \cdot \Delta V}{I_{COL}} \quad (4.2)$$

h. Cette hypothèse sera toujours prise en compte dans la suite du chapitre.

- La *phase de lecture* dépend de la taille de la matrice,  $X$ , mais elle dépend également de la charge capacitive présente sur le bus de sortie. Afin d'alléger les notations, nous n'avons pas, volontairement, développé le terme de  $T_{PIX}$ , qui est en fait la période pixel. De plus, nous allons voir qu'en gardant cette notation, pour le circuit de lecture, la modélisation d'un imageur CMOS à sortie analogique et à sortie numérique avec conversion analogique-numérique au bas de la colonne est équivalente.

$$T_{LECTURE} = X.T_{PIX} \quad (4.3)$$

**Cadence image.** L'équation suivante montre la cadence image (image/seconde), pour un imageur CMOS à *sortie analogique* associé au chronogramme de la figure 4.7. Cette équation n'est valable que pour une sortie.

$$\begin{aligned} FR &= \frac{1}{[(Y).T_{SELECTION} + (Y).T_{ECHANTILLONNAGE} + (Y).T_{LECTURE}]} \\ &= \frac{1}{Y.3.X^2.R_{SEL}.C_{SEL} + Y.\frac{Y.(C_{COL}+C_{DB}).\Delta V}{I_{COL}} + Y.X.T_{PIX}} \end{aligned} \quad (4.4)$$

Nous pouvons également définir la cadence image pour un imageur de type continu à *sortie numérique avec conversion au bas de colonne* associé au chronogramme de la figure 4.8(a), en définissant  $T_{CAN}$  comme le temps de conversion analogique-numérique. Cette équation n'est valable que pour une sortie. La phase de lecture est dissociée du reste du traitement, ce qui nous donne :

$$\begin{aligned} FR &= \frac{1}{[(Y).T_{SELECTION} + (Y).T_{ECHANTILLONNAGE} + (Y).T_{CAN}]} = \frac{1}{(Y).T_{LECTURE}} \\ &= \frac{1}{Y.3.X^2.R_{SEL}.C_{SEL} + Y.\frac{Y.(C_{COL}+C_{DB}).\Delta V}{I_{COL}} + Y.T_{CAN}} = \frac{1}{Y.X.T_{PIX}} \end{aligned} \quad (4.5)$$

Pour le cas de l'imageur CMOS de type continu à sortie numérique avec *conversion analogique-numérique intra-pixel*, le temps d'échantillonnage n'est plus dépendant de la charge capacitive de la colonne. La charge capacitive est très largement réduite car le signal est échantillonné dans le pixel avant conversion, donc sur une distance très courte impliquant une charge capacitive faible. De plus, les phases de sélection, d'échantillonnage et de conversion sont réalisées en même temps sur l'ensemble des pixels relâchant fortement les contraintes temporelles sur la conversion. Comme les phases de lecture et de conversion sont totalement dissociées du reste du traitement, cela nous donne l'équation de la cadence image suivante :

$$\begin{aligned} FR &= \frac{1}{[(Y).T_{SELECTION} + (Y).T_{ECHANTILLONNAGE}]} = \frac{1}{T_{CAN}} = \frac{1}{(Y).T_{LECTURE}} \\ &= \frac{1}{Y.3.X^2.R_{SEL}.C_{SEL} + Y.\frac{Y.(C_{COL}+C_{DB}).\Delta V}{I_{COL}}} = \frac{1}{T_{CAN}} = \frac{1}{Y.X.T_{PIX}} \end{aligned} \quad (4.6)$$

Encore une fois, cette équation n'est valable que pour une sortie.

#### 4.4.1.2 Identification des phases limitant la cadence image

Avant d'identifier précisément les éléments intrinsèques dimensionnant la cadence image, il convient d'évaluer l'impact de la taille de la matrice et du nombre de sortie pour ces imageurs de type continu.

**L'impact de la taille de la matrice.** Pour étudier cet impact, le temps de sélection ligne, le temps d'échantillonnage et le temps de lecture sont fixés à une valeur constante dépendant de chaque taille de matrice, mais différent d'une taille à l'autre. La figure 4.10 montre la cadence image, FR, en fonction du nombre de pixels.

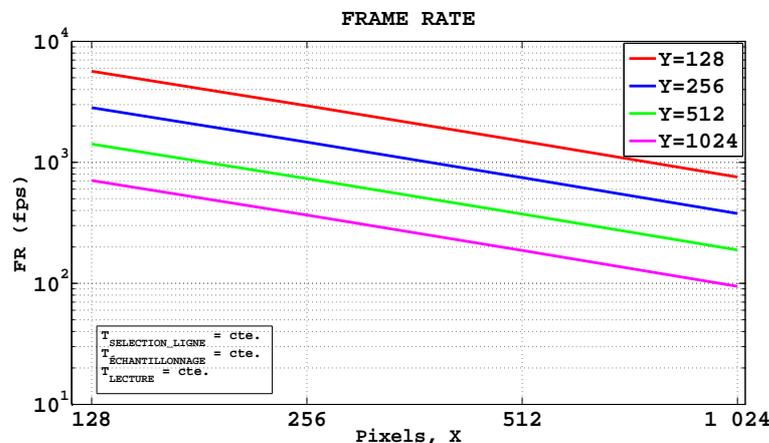


FIGURE 4.10 – Variation de la taille des pixels pour la cadence image.

Comme attendu, moins il y a de pixels dans l'imageur, plus la cadence image est élevée. Les variations des dimensions montrent que la cadence image dépend fortement de la taille de la matrice. Ce principe reste également valable pour les imageurs numériques de type continu avec certaines phases impactées plus que d'autres du fait de la parallélisation de certaines séquences.

**L'impact de l'augmentation du nombre de sorties parallèles.** Afin d'évaluer l'impact de l'augmentation du nombre de sorties sur la cadence image, nous prenons en compte, cette fois, une matrice composée de 512 lignes et d'un nombre de colonnes X variable en fonction du nombre de sortie (N=1, 3, 5 et 8). Cela est montré dans la figure 4.11.

La simulation nous montre une augmentation de la cadence image quasi proportionnelle à l'augmentation du nombre de sorties. Ce principe est également valable pour les imageurs numériques.

La dernière simulation nous montre ce qu'il va se passer si nous prenons une architecture plus parallèle, c'est-à-dire, lorsqu'un groupe de pixels ou même un pixel puisse avoir une sortie ; l'augmentation de la cadence image. Cependant, le cas idéal ou extrême, c'est à dire une sortie par pixel où la cadence image sera fortement augmentée, n'est pas applicable aux systèmes actuels d'imagerie.

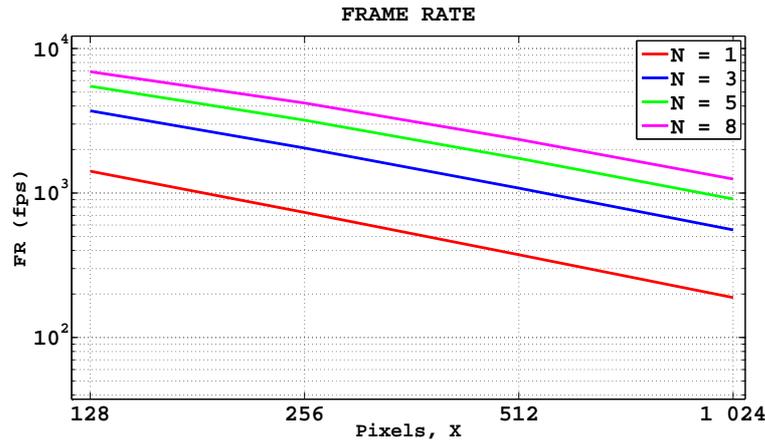


FIGURE 4.11 – Variation du nombre de sorties d'une matrice de 512 pour la cadence image.

**Phases temporelles.** Nous allons maintenant nous intéresser aux phases temporelles des capteurs d'image,  $T_{SELECTION}$ ,  $T_{ECHANTILLONNAGE}$  et  $T_{LECTURE}$ , liées à l'architecture et au type de lecture continue, limitant la cadence image. En prenant un exemple concret, nous allons utiliser le cas d'un imageur CMOS à sorties analogiques de type continu. La cadence image était définie par l'équation 4.4.

Les simulations montrées (figure 4.12) ci-après ont été réalisées sur la base d'une technologie CMOS 130nm avec un pas de pixel de 10 $\mu$ m pour les cas étudiés. Les équations de DELORME[31] nous ont permis de calculer les charges capacitives et les résistances par pixel ce qui nous permet d'extrapoler les résultats pour différentes tailles de matrices. Ces simulations décrivent l'évolution de la cadence image en fonction de la durée de la phase  $T_{PIX}$  pour différentes tailles de matrices de pixel pour une différence de potentiel de 1V sur le bus colonne ( $\Delta V$ ) et un courant  $I_{COL}=1\mu A$ .

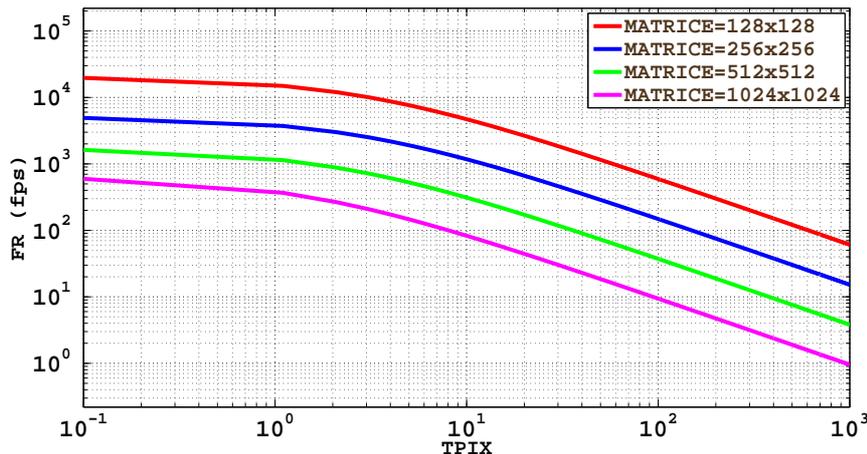


FIGURE 4.12 – Evolution de la cadence image d'un imageur CMOS à sorties analogiques de type continu en fonction de  $T_{PIX}$  pour  $\Delta V=1V$  et  $I_{COL}=1\mu A$ .

Cette simulation nous montre deux régimes de fonctionnement distincts quelque soit la taille de la matrice de pixel. La figure 4.13 nous permet de déterminer ces deux régimes de fonctionnement et les éléments mis en jeu.

La simulation précédente montre l'apport, en pourcentage, des différentes phases tempo-

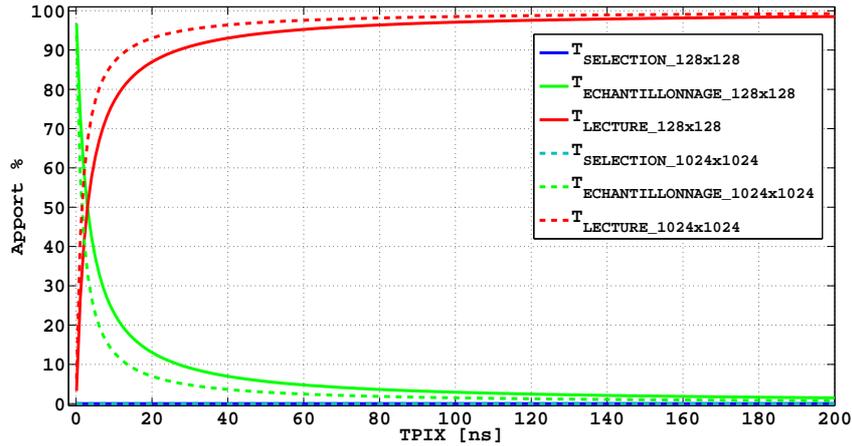


FIGURE 4.13 – Apport (en %) des différentes phases en fonction de  $T_{PIX}$  pour deux tailles de matrice.

relles en fonction du temps  $T_{PIX}$ . Dans tous les cas, la phase de sélection ligne ( $T_{SELECTION}$ ) reste négligeable devant l'apport des phases  $T_{ECHANTILLONNAGE}$  et  $T_{LECTURE}$ . Pour des valeurs  $T_{PIX} > 10$  ns, la phase de lecture des données est prépondérante par rapport à la phase d'échantillonnage. En dessous de cette valeur, la phase d'échantillonnage devient prépondérante. Pour un imageur à sorties analogiques, il est très difficile de réaliser un circuit de lecture de données en sortie atteignant une période pixel de 10 ns (ce qui équivaut à une fréquence pixel de 100 MHz) pour des charges capacitives sur le bus de données pouvant aller jusqu'à quelques dizaines de pF sans dégrader la linéarité et le bruit (bande passante élevée) de celui-ci. Nous pouvons donc conclure que pour ce type d'imageur CMOS, l'élément limitant ici est le temps de lecture pixel,  $T_{PIX}$ .

Une analyse similaire peut-être réalisée avec les imageurs à sorties numériques de type continu quelle que soit la localisation du CAN : bas de colonne ou intra-pixel. Pour ces deux cas, certaines séquences sont parallélisées. En effet, pour le cas du CAN en bas de colonne, la séquence comprenant les phases de sélection, échantillonnage et conversion doit avoir la même durée que la séquence de lecture (phase de lecture). Pour ce type de conversion en bas de colonne, l'état de l'art des CAN colonne nous montre des temps de conversion de l'ordre de la microseconde à la dizaine de microsecondes [25, 27, 32–35] pour des pas colonnes entre 5 et 10  $\mu$ m et une consommation non prohibitive. Pour les mêmes valeurs que l'exemple précédent concernant le temps de sélection et le temps d'échantillonnage, la simulation de la figure 4.14 montre l'évolution de la cadence image en fonction du temps de conversion  $T_{CAN}$  et de la taille de la matrice de pixel.

Cette simulation montre une dépendance de la cadence image exclusivement par rapport au temps de conversion lorsque celui-ci est supérieur à 3  $\mu$ s. En dessous de cette valeur, l'apport des autres phases est plus important, impactant ainsi la cadence image. Ceci est confirmé par la figure 4.15 montrant l'apport en pourcentage de chaque phase.

La difficulté, dans ce cas, provient encore de la phase de lecture. En effet, la séquence de lecture doit être au moins égale à la séquence comprenant les phases de sélection, échantillonnage et conversion. La figure 4.16 montre l'évolution du temps  $T_{PIX}$  en fonction du temps de

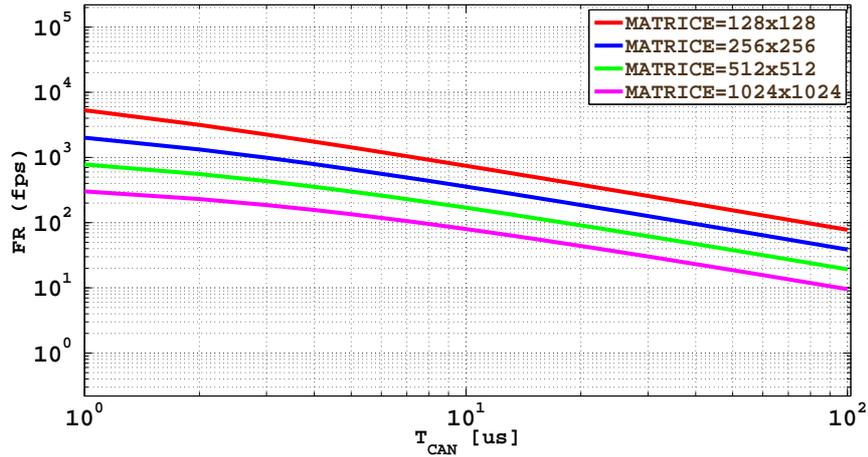


FIGURE 4.14 – Evolution de la cadence image d'un imageur de type continu à sorties numériques (CAN colonne).

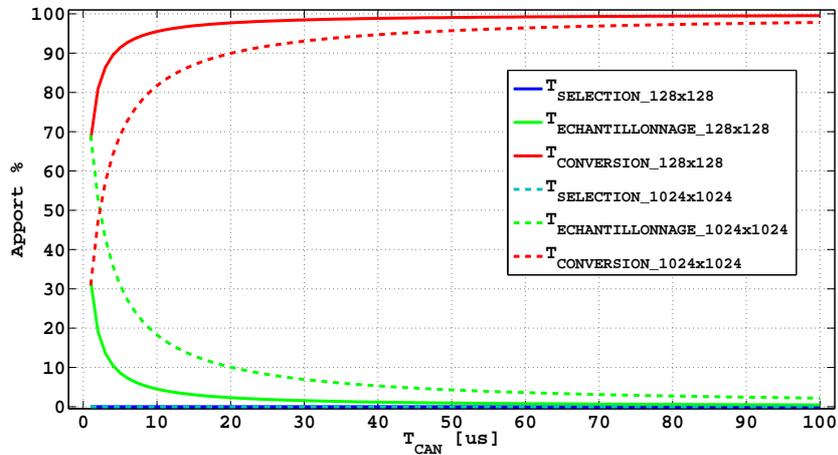


FIGURE 4.15 – Apport, en %, des différentes phases en fonction du temps de conversion  $T_{CAN}$  et de la taille de la matrice d'un imageur de type continu à sorties numériques (CAN colonne).

conversion  $T_{CAN}$ . Le temps de conversion et le temps de lecture de ce type d'imageur sont séquentiels. Cette façon de travailler impose une limite due à la taille de la matrice. La simulation montre que si nous voulons faire sortir les données le plus vite possible, cela va nécessiter des CANs très rapides. Tout ceci est déduit en sortant les bits en parallèle (pas de sérialisation).

Cet exercice d'extrapolation a été réalisé pour le cas de la conversion intra-pixel avec les mêmes conclusions sur les contraintes concernant le temps de lecture. En effet, avec un temps de conversion d'environ 30us[12, 36] et une matrice de 1024x1024 pixels, le temps de lecture pixel atteint des valeurs de l'ordre de la trentaine de picoseconde (30ps, équivalent à une fréquence pixel de l'ordre de 33GHz). Là encore, tout ceci est déduit en sortant les bits en parallèle.

Le standard de sortie de données numériques pour les imageurs devient progressivement le LVDS (« Low-Voltage Differential Signaling ») ayant également des sous-standards[37]. Le tableau4.1 illustre ces standards. Les imageurs CMOS utilisent plutôt des standards permettant la basse consommation et une sérialisation des données ce qui tend à avoir des débits de données de l'ordre de la centaine de mégabit par seconde (100Mb/s).

L'analyse des modèles pour les imageurs de type continu nous montre que, quel que soit le

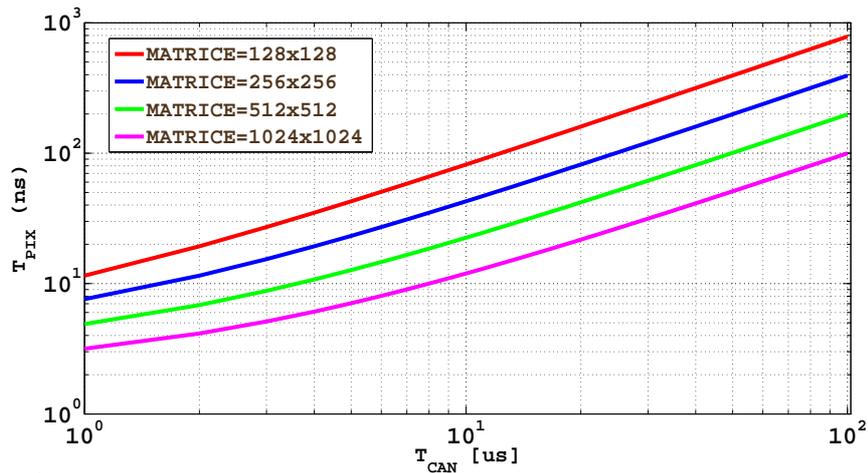


FIGURE 4.16 – Évolution du temps de lecture pixel en fonction du temps de conversion pour le cas d'un CAN colonne.

	Standard industriel	Sortie maximale	Excursion de sortie (VDD)	Puissance consommée
LVDS	TIA/EIA-644	3.125Gbps	$\pm 350\text{mV}$	Faible
LVPECL	N/A	10Gbps	$\pm 800\text{mV}$	Moyen à élevé
CML	N/A	10Gbps	$\pm 800\text{mV}$	Moyen
M-LVDS	TIA/EIA-899	250Mbps	$\pm 550\text{mV}$	Faible
B-LVDS	N/A	800Mbps	$\pm 550\text{mV}$	Faible

Tableau 4.1 – Les différents standards des sorties numériques LVDS[37].

type de sortie, analogique ou numérique, le *temps de lecture* des données est critique et devient, quasiment pour tous les cas, prépondérant dans l'évolution de la cadence image de l'imageur en créant un goulet d'étranglement des données (« bottleneck »).

#### 4.4.1.3 Apport de la technologie 3D

Nous avons vu dans les paragraphes précédents, que pour les imageurs de type continu, l'élément limitant est le temps de lecture pixel. Nous allons maintenant étudier, pour ce paramètre, ce que peut apporter l'utilisation d'une technologie d'intégration 3D à forte densité d'interconnexions (empilement de « wafers » ou construction séquentielle).

L'analyse des solutions amenant à la réduction du temps de lecture pixel, nous a permis regarder des architectures des mémoires. En effet, les architectures des mémoires, qui sont, par essence organisées de la même façon que les circuits lecture des données d'un imageur CMOS<sup>i</sup>. De plus, les technologies d'intégration 3D à forte densité d'interconnexions ont été imaginées aussi pour continuer la loi de Moore en terme de densité d'intégration, notamment pour les mémoires. Nous avons donc cherché à savoir comment les circuits d'adressage et de lecture des mémoires avaient évolué en utilisant ces technologies d'intégration. Peu de travaux à ce sujet ont été publiés[38, 39], mais le travail concernant le couplage d'une mémoire à un microprocesseur a retenu notre attention avec une architecture originale[39].

La figure 4.17 illustre le synoptique de l'architecture utilisée pour la construction de cette

i. L'architecture des circuits d'adressage et de lecture d'un imageur CMOS est très fortement inspirée de l'organisation des mémoires

mémoire couplé au microprocesseur avec une technologie d'intégration 3D de type empilement de «wafers». Les deux premières couches (0 et 1) intègrent le microprocesseur et quelques périphériques, dont ceux contrôlant la mémoire. Les couches suivantes (2 à 5) intègrent, la mémoire proprement dite.

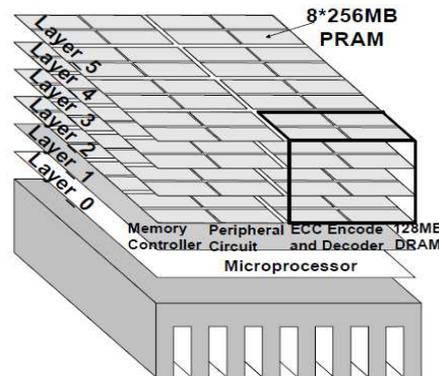


FIGURE 4.17 – Illustration d'une mémoire couplé à un microprocesseur utilisant une technologie d'intégration 3D[39].

Nous pouvons observer que la mémoire est organisée, sur plusieurs couches, en sous-matrices de mémoires. Ces sous-matrices possèdent chacune une connexion directe avec la couche contrôlant la mémoire (couche 1). Cela permet, en multipliant le nombre d'interconnexions, de réduire les charges capacitatives sur les chemins d'accès et de lecture des sous-matrices de mémoire, ce qui, cependant augmente le nombre d'entrées/sorties de la mémoire.

Ce principe peut être transposé très directement aux imageurs CMOS de type continu. En effet, la matrice de pixel peut être partitionnée en sous-matrices de pixel comme le montre la figure4.18(a) (wafer 1).

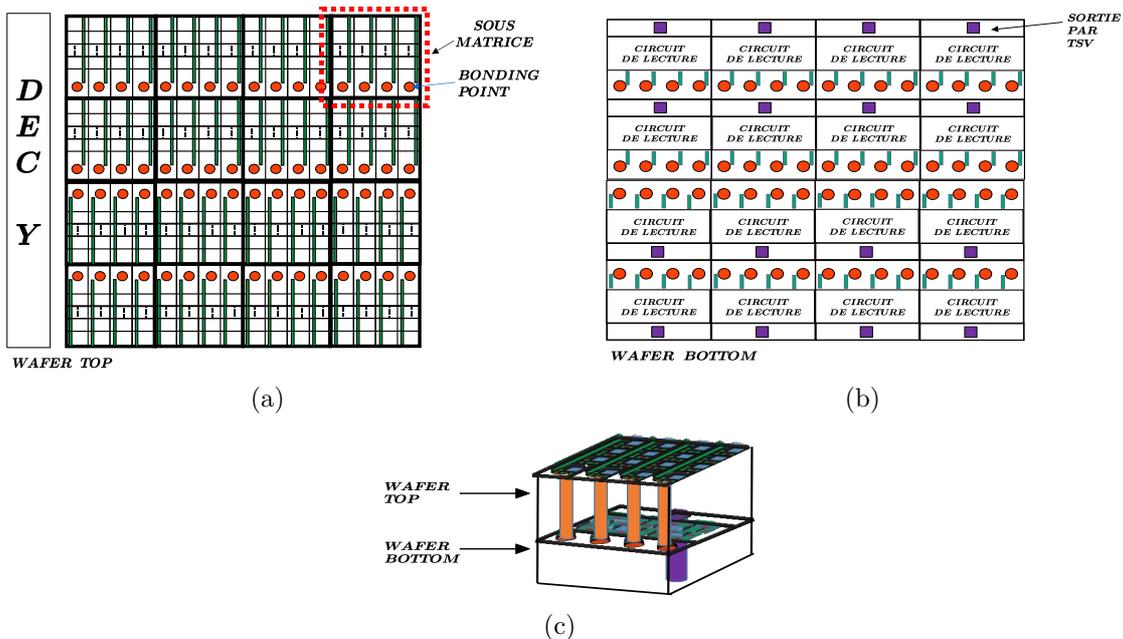


FIGURE 4.18 – Imageur type continue 3D : (a) Implémentation 3D dans le wafer top de la partie analogique du pixel ; (b) Implémentation 3D dans le wafer bottom de la partie de lecture du pixel ; (c) Assemblage 3D d'une sous-matrice.

La figure4.18(b) illustre l'arrangement des circuits de lecture des sous-matrices et les sorties

associées. Les interconnexions entre les sous-matrices de pixels et les circuits de lecture (sur des «wafers» différents) sont réalisées par interconnexions à forte densité d'intégration («bonding points»). Les sorties des imageurs sont quant à elles, réalisées avec des vias traversant (TSV) pouvant avoir une faible densité, (figure4.18(c)).

Cette technique de partitionnement permet non seulement de réduire la charge capacitive sur les sorties et ainsi permettre une charge plus rapide du bus de sortie, mais elle permet également de réduire la charge capacitive du bus colonne entrant en jeu dans le calcul du temps d'échantillonnage. De plus, ce type d'architecture, comme nous pouvons le voir, multiplie le nombre de sorties de l'imageur, phénomène qui permet naturellement d'augmenter la cadence image, comme cela a été vu dans l'analyse des éléments impactant la cadence image.

**Comparaison.** Afin d'évaluer l'apport d'un tel partitionnement, nous allons évaluer les temps des différentes séquences dans une technologie d'intégration 3D à forte densité d'interconnexions et comparer ceux-ci avec l'architecture d'un imageur CMOS de type continu réalisé en technologie monolithique amenant à un nombre équivalent de sortie (voir figure4.19(a)).

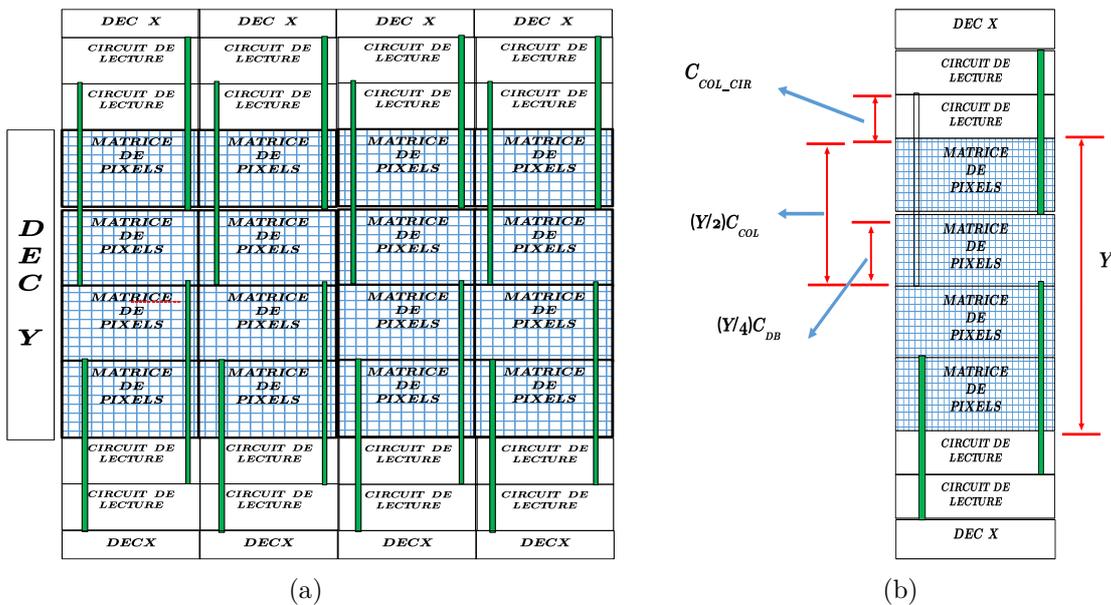


FIGURE 4.19 – Architecture d'un imageur en technologie monolithique avec sous matrices : (a) Architecture d'un imageur qui utilise 16 sous matrices ; (b) Dimensions à prendre en compte pour l'analyse de la cadence image.

Nous allons prendre le cas d'un imageur CMOS de type continu à sorties analogiques ayant une taille de 1024 x 1024 pixels que nous implémentons dans une technologie monolithique (130nm) et dans une technologie d'intégration 3D de type empilement de « wafers » (130nm) dans le cas de partitionnements en 16 et 32 sous-matrices, donc 16 ou 32 sorties. La figure4.19(a) illustre l'architecture de l'imageur 1024 x 1024 de type continu à sorties analogiques en technologie monolithique (130nm) possédant un partitionnement de N (16) sous-matrices (donc N(16) sorties).

L'équation qui modélise le fonctionnement de l'imageur implémenté dans la technologie monolithique avec 16 sous-matrices est :

$$FR = \frac{16}{[(Y) \cdot T_{SELECTION} + (\frac{Y}{2}) \cdot T_{ECHANTILLONNAGE} + (\frac{Y}{4}) \cdot T_{LECTURE}]}$$

$$= \frac{16}{[(Y) \cdot 3 \cdot (X^2) \cdot (R_{SEL} \cdot R_{SEL}) + (\frac{Y}{2}) \cdot [(\frac{Y}{2}) \cdot (C_{COL}) + (\frac{Y}{4}) \cdot (C_{DB}) + C_{COL\_CIR}] \frac{dv}{I_{COL}} + (\frac{Y}{4}) \cdot (\frac{X}{4}) \cdot T_{PIX}]}$$
 (4.7)

Le terme  $C_{COL\_CIR}$  dénote la longueur verticale du circuit de lecture. L'équation qui modélise le fonctionnement de cet imageur avec 32 sous-matrices est :

$$FR = \frac{32}{[(Y) \cdot 3 \cdot (X^2) \cdot (R_{SEL} \cdot R_{SEL}) + (\frac{Y}{2}) \cdot [(\frac{Y}{2}) \cdot (C_{COL}) + (\frac{Y}{8}) \cdot (C_{DB}) + C_{COL\_CIR}] \frac{dv}{I_{COL}} + (\frac{Y}{8}) \cdot (\frac{X}{4}) \cdot T_{PIX}]}$$
 (4.8)

La figure 4.20 montre l'évolution de la cadence image en fonction du temps de lecture pixel  $T_{PIX}$  pour deux types de partitionnement,  $N=16$  et  $N=32$ , et, également, le cas où il n'y a aucun partitionnement. Cette simulation confirme que le fait de partitionner le circuit de lecture (et d'avoir  $N$  sorties) permet naturellement d'améliorer grandement la cadence image.

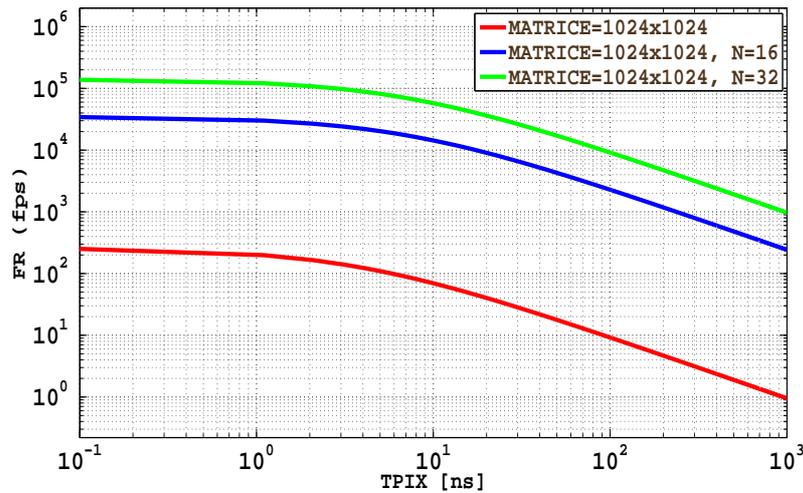


FIGURE 4.20 – Simulation de l'évolution de la cadence image en fonction du temps de lecture  $T_{PIX}$  pour différents partitionnements pour une technologie monolithique.

Nous pouvons noter, lorsque nous partitionnons l'imageur, que le temps d'échantillonnage diminue naturellement. Cela est dû, parce que la charge capacitive sur le bus colonne diminue. En prenant un temps de lecture pixel raisonnable d'environ 100ns (équivalent à une fréquence pixel ou «pixel rate» de 10MPixels/s), nous pouvons gagner entre 2 et 3 ordres de grandeur pour la cadence image selon le nombre de sous-matrices.

Dans le cas de l'utilisation de la *technologie 3D*, les architectures des imageurs avec sous matrices en utilisant l'empilement de «wafers» en technologie 3D 130nm sont représentées par la figure 4.21.

L'équation qui modélise le fonctionnement de l'imageur 3D avec 16 sous-matrices est :

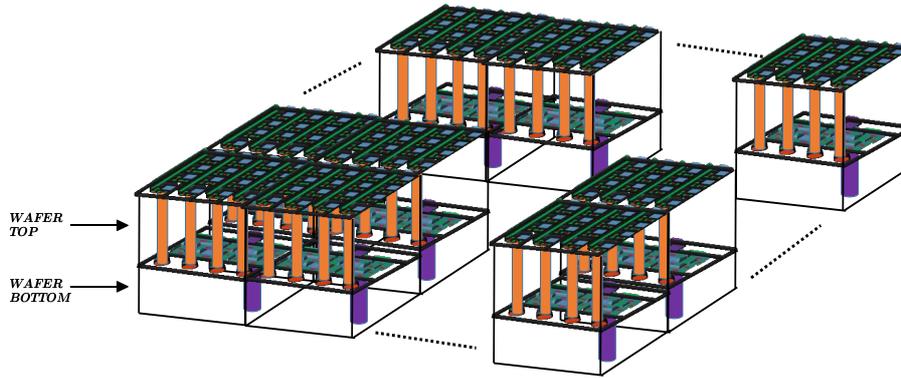


FIGURE 4.21 – Exemple d’imageur 1024x1024 de type continu à sorties analogiques implémenté en technologie 3D de type empilement de « wafers » avec partitionnement en sous-matrices.

$$FR = \frac{16}{[(Y).T_{SELECTION} + (\frac{Y}{4}).T_{ECHANTILLONNAGE} + (\frac{Y}{4}).T_{LECTURE}]}$$

$$= \frac{16}{([(Y).3.(X^2).(R_{SEL}.R_{SEL}) + (\frac{Y}{4}).[(\frac{Y}{4}).(C_{COL} + C_{DB}) + C_{W2W}]\frac{dv}{I_{COL}} + (\frac{Y}{4}).(\frac{X}{4}).T_{PIX}]}$$
(4.9)

Le terme  $C_{W2W}$  dénote la capacité de l’interconnexion entre 2 wafers. L’équation qui modélise le fonctionnement de cet imageur 3D avec 32 sous-matrices est :

$$FR = \frac{32}{([(Y).3.(X^2).(R_{SEL}.R_{SEL}) + (\frac{Y}{8}).[(\frac{Y}{8}).(C_{COL} + C_{DB}) + C_{W2W}]\frac{dv}{I_{COL}} + (\frac{Y}{8}).(\frac{X}{4}).T_{PIX}]}$$
(4.10)

La figure 4.22 donne la simulation de la cadence image en fonction du temps de lecture  $T_{PIX}$  pour les deux types de technologies (monolithique et 3D en 130nm) en fonction du partitionnement (16 ou 32 sous-matrices).

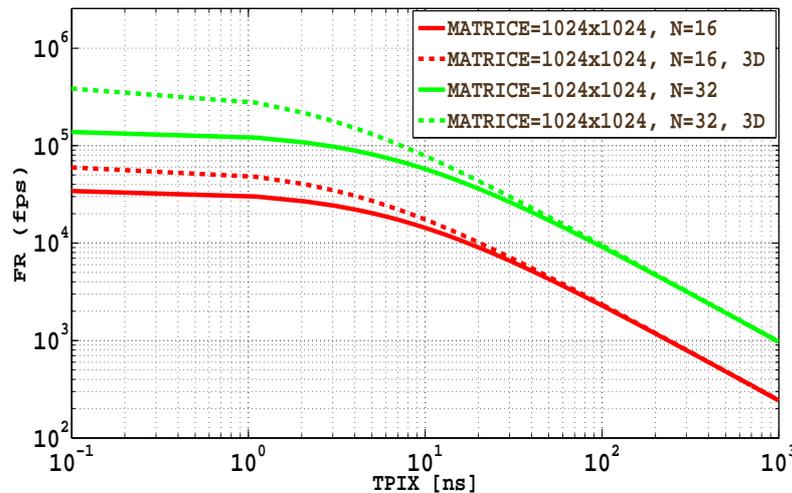


FIGURE 4.22 – Simulation de la cadence image en fonction du temps de lecture  $T_{PIX}$  pour les deux types de technologies (monolithique et 3D en 130nm) en fonction du partitionnement (16 ou 32 sous-matrices).

Comme le montre cette simulation, la transposition de ces partitionnements sur la techno-

logie d'intégration 3D de type empilement de « wafers » n'apporte pratiquement pas d'amélioration à la cadence image malgré le fait que la charge capacitive sur le bus colonne diminue pour des valeurs de temps de lecture pixel supérieures à 1ns. Pour des valeurs de temps de lecture pixel inférieures à 1 ns, nous pouvons voir une amélioration de la cadence image due à la réduction du temps d'échantillonnage (la charge capacitive du bus colonne ayant diminuée). Il est à noter, pour ce type d'imageur à sorties analogiques qu'une durée réaliste, selon la charge capacitive de sortie, du temps de lecture pixel est supérieure à 80 ns.

Les paragraphes précédents nous ont permis de modéliser la cadence image des imageurs CMOS à lecture continue, qu'ils soient à sorties analogiques ou numériques, d'identifier les éléments limitant celle-ci et d'évaluer l'apport de technologies d'intégration 3D à forte densité d'interconnexions. Qu'il soit à sorties analogiques ou numériques, il a été démontré que la phase limitant la cadence image concerne la lecture des données en sortie de l'imageur («bottleneck»). L'analyse de cette phase de lecture des données nous a permis de faire l'analogie de celle-ci avec la lecture des données d'une mémoire. Une solution, couramment utilisée pour les mémoires utilisant des technologies d'intégration 3D similaires, nous amène à un partitionnement de la matrice de pixel en sous-matrices, augmentant naturellement le nombre de sorties de l'imageur. Malheureusement, nous avons montré que cette transposition d'architecture n'apporte pas d'amélioration significative de la cadence image, avec des temps de lecture pixel réalistes, lors de l'utilisation de technologies d'intégration 3D par rapport à l'utilisation d'une technologie monolithique. Par contre, l'utilisation de la technologie 3D permet de construire des imageurs BSI (illuminés par la face arrière), réduire les interconnexions entre circuits dans la matrice de pixels (impact direct dans la réduction des courants qui traversent les lignes métalliques de colonne) et augmenter l'espace de construction dans les pixels.

## **4.5 Modélisation et identification d'axes d'optimisation de la cadence image considerant l'utilisation des technologies d'intégration 3D pour les imageurs à prise de vue et lecture dissociées**

Le principe de fonctionnement de ce type d'imageur repose sur le fait que les images sont prises très rapidement à la volée, stockées dans une banque de mémoire et, une fois les prises de vue terminées, les images sont lues à une cadence de sortie non contrainte temporellement.

### **4.5.0.4 Modélisation et identification des phases limitant la cadence image**

Comme pour les imageurs CMOS de type continu, nous allons modéliser le fonctionnement des imageurs CMOS à prise de vue et lecture des données dissociées (mode rafale ou «burst») afin de connaître les éléments temporels limitant la cadence image (ici le terme de cadence de prise d'image est plus approprié). La figure4.23 illustre les différentes séquences permettant le

fonctionnement de l'imageur en mode rafale.

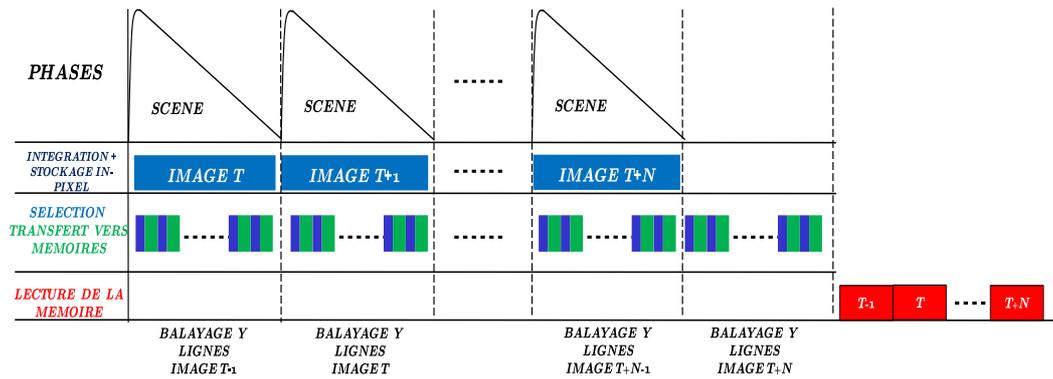


FIGURE 4.23 – Chronogramme de fonctionnement d'un imageur type "burst" .

L'architecture dissociée (voir figure4.5(a)) et les séquences de fonctionnement, est rendu possible par :

- L'ajout d'une mémoire de N trames (localisée dans ou en dehors du pixel).
- Un temps de transfert des données « pixel » (analogiques ou numériques) vers la mémoire devant être inférieur au temps d'acheminement de ces mêmes données vers la sortie de l'imageur.

De même que pour l'imageur CMOS de type continu, nous pouvons distinguer plusieurs phases de fonctionnement qui sont données ci-après :

- La *phase d'intégration*, qui permet l'intégration des photo-charges dans le photo-détecteur. Comme dans le cas d'un imageur continu, ce type d'imageurs utilise des pixels de type « global shutter », ce qui permet l'intégration durant la lecture des photo-charges de l'intégration précédente. Cette phase est dissociée des autres phases de l'imageur grâce à l'élément de stockage dans le pixel.
- La *phase de sélection d'une ligne*, nommée  $T_{SELECTION}$ . Ce temps définit la durée nécessaire à la sélection d'une ligne pour échantillonner tous les valeurs des différents pixels de celle-ci.
- La *phase du traitement pixel*, nommée ( $T_{TRAITEMENT\_PIXEL}$ ) qui décrit le temps du traitement des circuits situés dans le pixel.
- La *phase de transfert des données « pixel »* vers la mémoire de trame dans l'imageur, nommée  $T_{TRANSFERT\_VERS\_MEMOIRES}$ . Cette phase définit le temps mis par la donnée à s'établir sur le bus de transfert vers la mémoire. Elle dépend bien de la charge capacitive et des éléments qui couplent ce même bus.
- La *phase de lecture*, nommée  $T_{LECTURE}$ . Cette phase de lecture décrit le temps nécessaire au circuit de lecture en sortie pour faire sortir les données correspondantes à une ligne.
- La *phase de conversion*, nommée  $T_{CAN}$ , dans le cas des imageurs à sorties numériques. Ce temps définit la durée nécessaire à la conversion des données analogiques en données numériques.

Après notre analyse des capteurs d'image continus dans les paragraphes précédents, de façon intuitive, nous pouvons exclure de cette analyse les architectures possédant un élément

de conversion dans le chemin entre l'élément photosensible et l'élément de mémorisation. En effet, comme il est montré, l'addition d'un convertisseur analogique-numérique dans les colonnes ou dans les pixels de petites dimensions ajoute un temps de conversion que limite la cadence de prise de vue.

Nous allons prendre pour hypothèse dans la suite du chapitre que la conversion analogique-numérique est réalisée dehors des phases d'intégration, de sélection et du transfert vers les mémoires. Parce que, dehors de ces phases, la conversion analogique-numérique des données de l'imageur n'impose pas des contraintes temporelles. De ce fait, nous pouvons identifier le chemin critique dans la cadence de prise de vue, qui comprend donc le circuit de lecture intra et extra-pixel permettant d'acheminer la donnée analogique du pixel vers la banque de mémoire. Afin d'être au plus proche de l'état de l'art en matière d'imageur de type rafale, nous allons nous appuyer sur le travail de l'université de Tohoku au Japon[10] pour modéliser et évaluer l'apport d'une technologie d'intégration 3D à forte densité d'interconnexions pour ce type d'imageur.

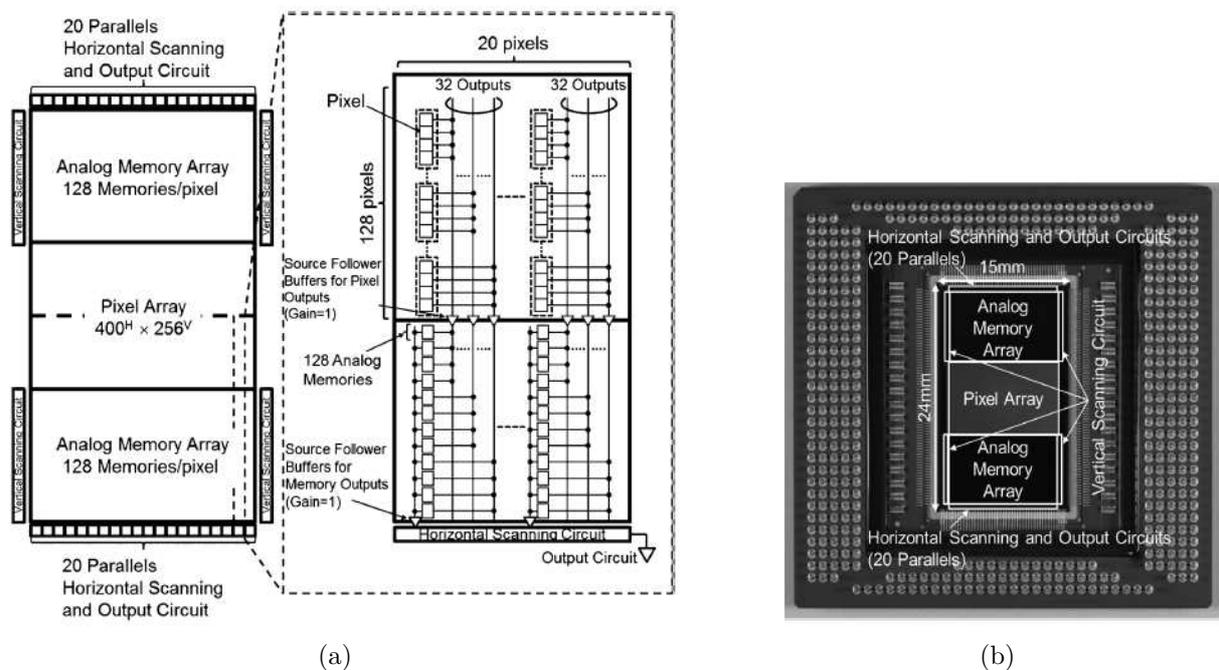


FIGURE 4.24 – Architecture du Capteur d'image numérique à haute vitesse burst[10] : (a) Diagramme de blocs du capteur d'image ; (b) Photographie du capteur d'image.

Le prototype développé par[10], dont l'architecture est donnée par la figure 4.24(a), possède 40 sorties et permet d'atteindre des cadences de prise de vue autour de 1 Tpixel/s. La matrice de pixel est partagée en deux avec une banque de mémoire positionnée dans son côté. De plus, un partitionnement additionnel est réalisé par groupe de 20 pixels (dans la dimension colonne) par sortie. Le transfert des données analogiques vers la banque de mémoire se fait sur 32 voies parallèles, chaque voie traitant un sous-groupe de 4 pixels, permettant ainsi d'adresser les 128 lignes ( $256/2$ ). Avec le partitionnement en sous-matrices (40), le regroupement en sous-groupes de 4 pixels et la parallélisation des séquences, quatre transferts sont nécessaires pour stocker une image dans la banque de mémoire. Cette opération est répétée autant de fois que la profondeur mémoire le permet, dans ce cas 128 fois.

Le pas du pixel est de 32 $\mu$ m et comprend une photodiode à transfert de charge (« pinned » photodiode) et un circuit permettant la lecture à faible bruit (lecture à double échantillonnage corrélé ou CDS). Celui-ci est illustré par la figure 4.25. Dans ce travail, la photodiode à transfert de charge est optimisée pour un transfert rapide sur une grande distance en créant un champ électrique important afin de transférer les électrons (optimisation obtenue par changement de concentration de dopage dans la photodiode). Le temps de transfert des charges dans le pixel obtenu dans ce travail est de l'ordre de 10 ns. La séquence permettant la lecture faible bruit (CDS) est estimée à 30ns. Le transfert des quatre pixels groupés est de l'ordre de 60ns (15ns par transfert unitaire). Cela donne donc une cadence de prise de vue maximale de 10Mpixels/s. La banque de mémoires analogique est composée de capacités MOS couplées à des capacités PIP. Cette banque de mémoire est chargée ou déchargée par une chaîne de lecture à deux sources suiveuses. La contrainte temporelle forte sur le temps de transfert oblige à l'utilisation d'un courant polarisant les sources suiveuses d'environ 100 $\mu$ A. Ce courant, nécessaire à chaque transfert augmente fortement la puissance consommée qui est de l'ordre de 24W pour une matrice de pixel de 400<sup>H</sup> x 256<sup>V</sup>.

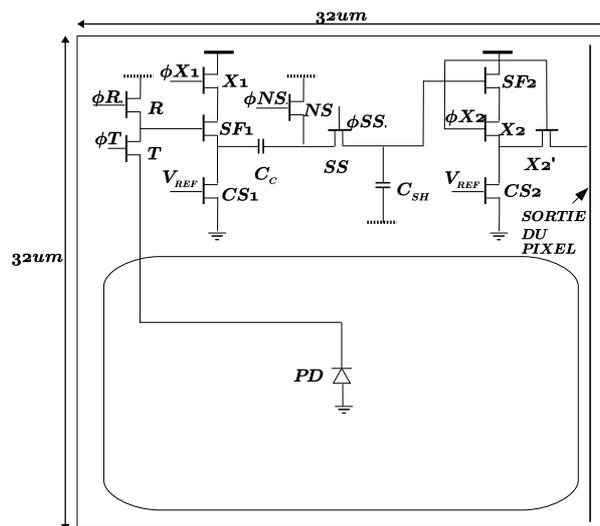


FIGURE 4.25 – Pixel du capteur d'image de haute vitesse burst[10].

#### 4.5.0.5 Modélisation de la cadence image des imageurs CMOS de type burst

La description précédente nous permet maintenant de modéliser la cadence de prise de vue de ce type d'imageur. La figure 4.26 présente une architecture plus détaillée d'un imageur de type prise de vue et lecture de données dissociées (burst) inspirée de l'architecture de Tochigi[10] dont nous avons modéliser le comportement sur une technologie CMOS 130nm.

Les mémoires dans lesquelles le signal vidéo de chaque trame est mémorisé sont composées de deux capacités de différents types : MOS et MIM (capacité métal/métal). La figure 4.27(a) montre celles-ci couplées à un transistor MOS ayant pour fonction de sélectionner ou non la mémoire. En prenant en compte les contraintes de taille, de vitesse et de faible bruit (bruit de recharge), nous avons décidé de fixer la valeur de la capacité mémoire à 50fF, ce qui nous

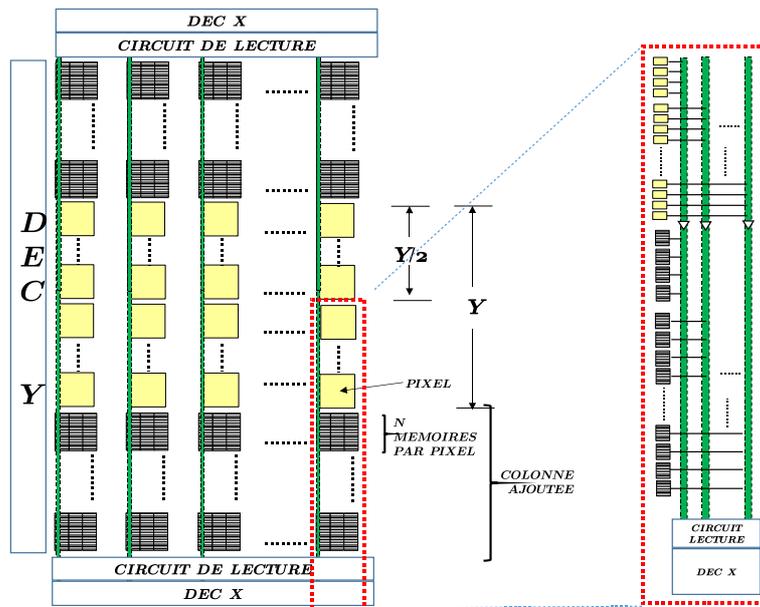


FIGURE 4.26 – Architecture détaillée d’un imageur de type prise de vue et lecture de données dissociées (burst) inspirée de l’architecture de Tochigi[10].

donne une taille de la mémoire d’environ 2.25 $\mu\text{m}$  x 4 $\mu\text{m}$  pour la technologie 0.13 $\mu\text{m}$  choisie. la figure4.27(c) montre la disposition des mémoires dans le wafer.

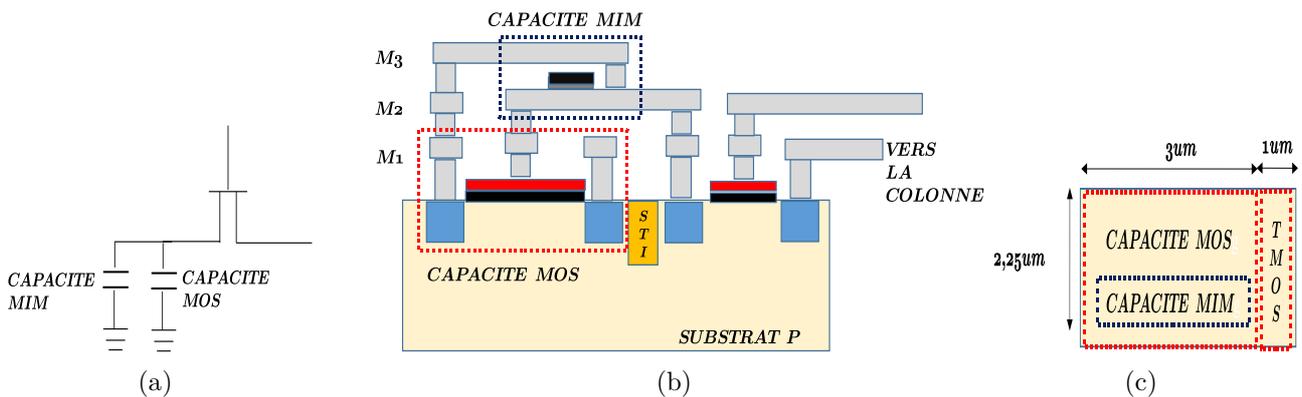


FIGURE 4.27 – Éléments de stockage des mémoires de trame : (a) Circuit électrique des éléments mémoires ; (b) Vu de la section transversale des éléments mémoires ; (c) Vu de la disposition des mémoires.

La figure4.28 illustre l’agencement de ces mémoires dans un pas pixel de 32 $\mu\text{m}$ . La taille de la mémoire unitaire nous permet d’agencer 128 mémoires dans ce pas de 32 $\mu\text{m}$ . Le tableau4.2 montre la taille des mémoires en fonction du pas du pixel.

Pas du pixel	Architecture	Taille de la mémoire <sup>H</sup>	Taille de la mémoire <sup>V</sup>
32 $\mu\text{m}$	2D	32 $\mu\text{m}$ (8x4 $\mu\text{m}$ )	32 $\mu\text{m}$ (16x2.25 $\mu\text{m}$ )
24 $\mu\text{m}$	2D	24 $\mu\text{m}$ (6x4 $\mu\text{m}$ )	47.25 $\mu\text{m}$ (21x2.25 $\mu\text{m}$ )
16 $\mu\text{m}$	2D	16 $\mu\text{m}$ (4x4 $\mu\text{m}$ )	72 $\mu\text{m}$ (32x2.25 $\mu\text{m}$ )

Tableau 4.2 – Taille de la matrice de mémoires de trame (N=128) pour différent pas colonnes.

La figure4.29 illustre un schéma électrique qui décrit le chemin critique et les éléments pour la modélisation pour ce type d’imageur pour une sous-matrice. Les éléments de la figure 4.29

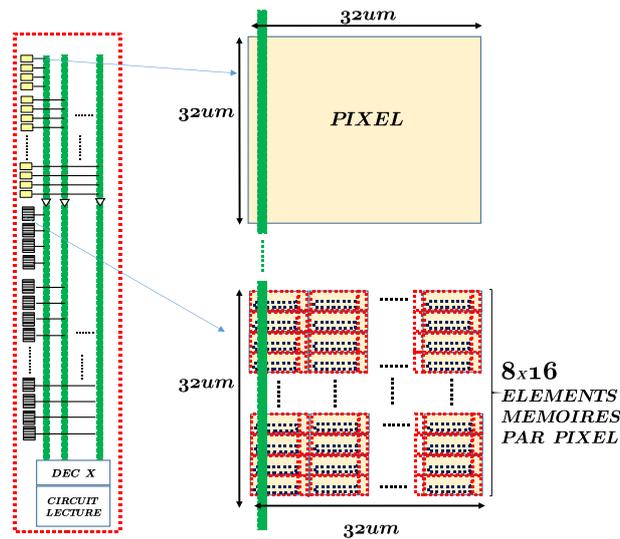


FIGURE 4.28 – Agencement des 128 mémoires de trames dans un pas de 32um.

correspondent à :

- $C_{COL\_PIXELS}$  : Capacité de la colonne par unité de pas pixels.
- $4.C_{db\_PIXEL}$  : Capacités correspondant aux 4 pixels connectés à la colonne.
- $C_{COL\_MEM}$  : Capacité de la colonne de la matrice par unité de pas mémoires.
- $C_{db\_MEM}$  : Capacités de chaque mémoire connectées à la colonne des mémoires.
- $N$  : Nombre de mémoires par pixel.
- $C_{C\_MOS}$  : Capacité MOS de la mémoire.
- $C_{MIM}$  : Capacité MIM de la mémoire.
- $\Delta V_{1, 2}$  : Chute de tension à acheminer dans les lignes métalliques des colonnes.
- $I_{COL1}, I_{COL2}$  : Courants circulant dans les lignes métalliques des colonnes pour les deux sources suiveuses.

Modèle électrique de la ligne de Tochigi :

L'intégration de la scène étant réalisée en parallèle du traitement et stockage (de 4 pixels), la cadence de prise de vue peut être modélisée par la relation suivante :

$$Temps\ de\ prise\ de\ vue = T_{TRAITEMENT\_PIXEL} + 4.T_{SELECTION} + 4.T_{TRANSFERT\_VERS\_MEMOIRE} \quad (4.11)$$

Dans notre cas, pour le temps de traitement pixel ( $T_{TRAITEMENT\_PIXEL}$ ), nous prendrons un temps d'environ 40ns, similaire à [8], si nous considérons qu'une optimisation du temps de transfert de la photodiode a été réalisée. Le temps de sélection, ( $T_{SELECTION}$ ), correspond au temps d'établissement des signaux de sélection des mémoires. Le temps de transfert mémoire,  $T_{TRANSFERT\_VERS\_MEMOIRE}$ , est le temps que met la mémoire pour se charger (ou se décharger) à travers la source de suiveuse. Encore une fois, comme précédemment, en prenant en compte le pire cas concernant le chargement des capacités, c'est-à-dire le cas où nous sommes limités par le courant (« Slew rate limited »), nous pouvons écrire :

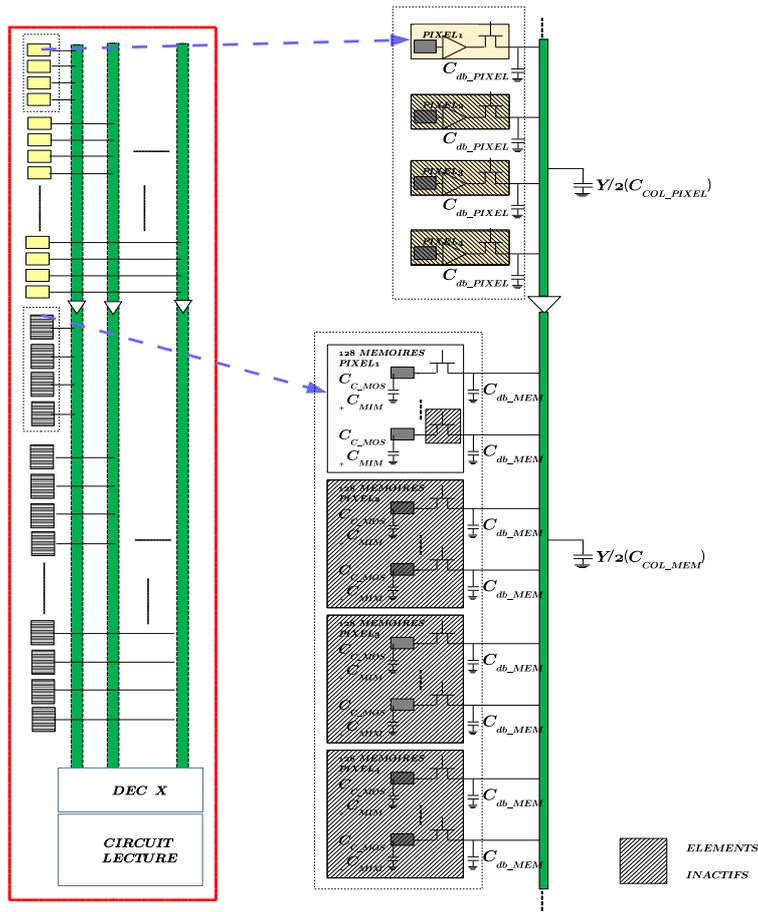


FIGURE 4.29 – Chemin critique et les éléments entrant en jeu dans la modélisation.

$$\begin{aligned}
 T_{\text{TRANSFERT\_VERS\_MEMOIRE}} = & \left[ \left( \frac{Y}{2} \right) \cdot C_{\text{COL\_PIXEL}} + (4) \cdot C_{\text{db\_PIXEL}} \right] \cdot \left( \frac{\Delta V_1}{I_{\text{COL1}}} \right) + \\
 & \left[ \left( \frac{Y}{2} \right) \cdot C_{\text{COL\_MEM}} + (4) \cdot (N) \cdot C_{\text{db\_MEM}} + C_{\text{C\_MOS}} + C_{\text{MIM}} \right] \cdot \left( \frac{\Delta V_2}{I_{\text{COL2}}} \right) \quad (4.12)
 \end{aligned}$$

Si les matrices des mémoires se sont adressées par les deux côtés afin de diminuer le temps de sélection, cela donne :

$$T_{\text{SELECTION}} = 3 \cdot (1/4) \cdot X^2 \cdot R_{\text{SEL}} \cdot C_{\text{SEL}} \quad (4.13)$$

#### 4.5.0.6 Identification des phases limitant la cadence de prise de vue

L'exemple d'architecture précédemment décrit, inspiré de [10], nous permet d'évaluer les éléments intrinsèques dimensionnant la cadence de prise de vue. La simulation présentée dans la figure 4.30 montre l'évolution des temps de sélection,  $T_{\text{SELECTION}}$ , et du transfert vers les mémoires,  $T_{\text{TRANSFERT\_VERS\_MEMOIRE}}$ , pour différentes tailles de pixel dans la technologie 130nm étudiée pour un courant de polarisation des sources suiveuses de 100uA. Les valeurs capacitives et résistives, dans cette simulation, sont mises à l'échelle par rapport aux tailles de pixels : 16um, 24um et 32um. Nous rappelons ici que le temps de traitement pixel,

$T_{TRAITEMENT\_PIXEL}$ , est fixé à 40ns.

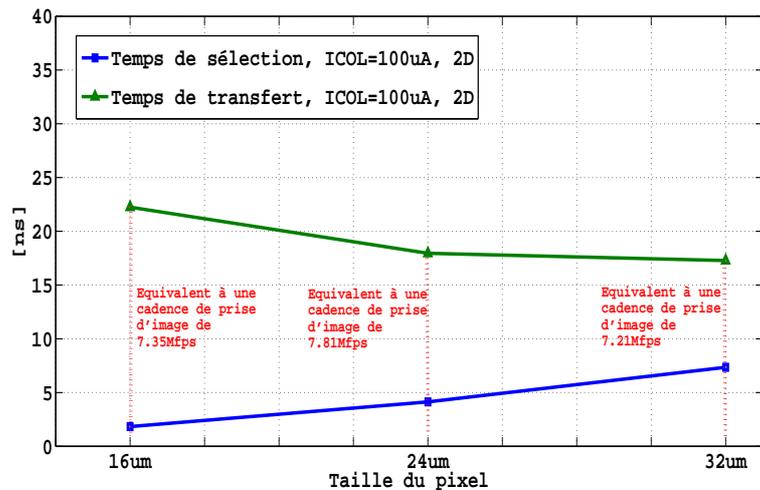


FIGURE 4.30 – Simulation du temps de transfert de l'architecture de [10] en 0.13um.

La simulation précédente nous montre que l'élément prépondérant correspond au transfert des données,  $T_{TRANSFERT\_VERS\_MEMOIRE}$ , lui-même dépendant de la charge capacitive des colonnes. Nous voyons que, sans optimisation, des valeurs du même ordre de grandeur que [10] au niveau de la cadence de prise d'image sont envisageables (voir tableau 4.3).

Temps	2D [10]	2D, 0.13um
$T_{TRAITEMENT}$	40ns	40ns
$T_{SELECTION}$	-	7.4ns x 4
$T_{TRANSFERT}$	15ns x 4	17ns x 4
<b>Temps d'une image</b>	<b>100ns,</b> [10Mfps]	<b>138ns,</b> [7.21Mfps]

Tableau 4.3 – Valeurs du temps dans l'architecture citée [10] et l'implémentation monolithique pour un pixel de 32um.

Nous allons donc étudier les possibilités offertes par les technologies d'intégration 3D à forte densité d'interconnexions afin de réduire ces charges capacitives et ainsi augmenter la cadence de prise de vue.

#### 4.5.0.7 Apport de la technologie 3D

Dans le paragraphe précédent, nous avons vu que la réduction de la charge capacitive de la colonne par laquelle transite les données de 4 pixels conditionne fortement la cadence de prise de vue de l'imageur. L'architecture présentée ci-après (voir figure 4.31) est le résultat de l'analyse permettant la meilleure utilisation possible de la technologie d'intégration 3D à forte densité d'interconnexion de type empilement de wafer pour une réduction maximale de la charge capacitive de la colonne.

Comme nous pouvons le voir, l'implémentation de l'architecture inspirée de [10], permet au signal sortant du pixel un accès quasiment direct et unitaire aux mémoires de stockage de trame. Dans le cas où nous utilisons un pas de pixel plus petit (16um ou 24um), il suffit

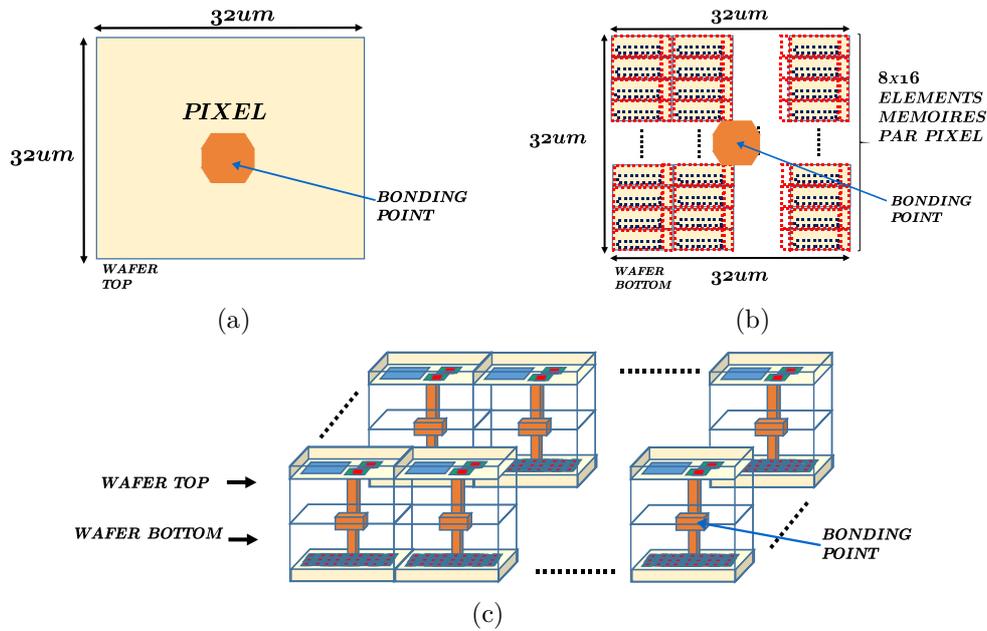


FIGURE 4.31 – Architecture de l’imageur 3D : (a) Pixel construit dans le wafer top en montrant l’élément d’interconnexion entre wafers ; (b) Matrice de mémoires construite dans le wafer top où la taille est la même que la taille du pixel top ; (c) Assemblage 3D des pixels top et bottom.

d’augmenter le nombre de wafers empilés et contenant les mémoires de trames comme le montre la figure4.32. Le tableau4.4 montre les tailles des mémoires en fonction du pas de pixel.

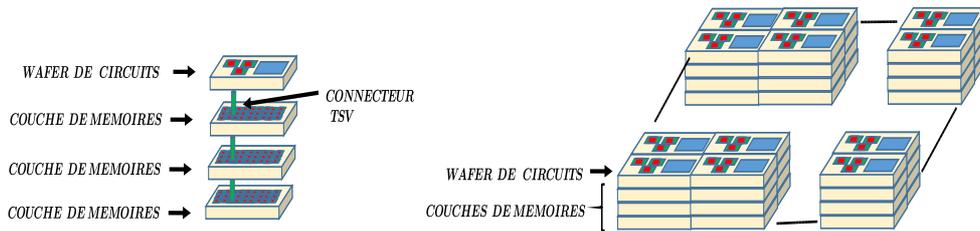


FIGURE 4.32 – Cas d’un pixel de pas inférieur à 32um : empilement de wafers

Taille du pixel	Architecture	Taille de la mémoire <sup>H</sup>	Taille de la mémoire <sup>V</sup>
32um	3D	32um (8x4um)	32um (16x2.25um), 1 Couche.
24um	3D	24um (6x4um)	24um, 2 Couches
16um	3D	16um (4x4um)	16um, 5 Couches

Tableau 4.4 – Valeurs de la quantité de mémoires dans le pixels dans les architectures monolithique et 3D.

Dans ce cas le chemin critique du signal est donné par la figure4.33.

Le temps de transfert vers les mémoires devient alors<sup>j</sup> :

$$T_{TRANSFERT\_VERS\_MEMOIRE} = [(NC).C_{COL\_PW2W} + (N).C_{db\_MEM} + C_{C\_MOS} + C_{MIM}] \cdot \left(\frac{\Delta V_2}{I_{COL2}}\right) \quad (4.14)$$

Avec NC, nombre de wafers nécessaires pour avoir la profondeur de mémoire de trame de 128 et  $C_{COL\_PW2W}$ , comme la capacité correspondant à la traversée entre wafers.

j. La valeur de la capacité  $C_{db\_TR}$  est similaire à celle de  $C_{db\_MEM}$ . Pour notre calcul, nous allons considérer seulement les éléments mémoires ( $N+1 \approx N$ , avec  $N>100$ ).

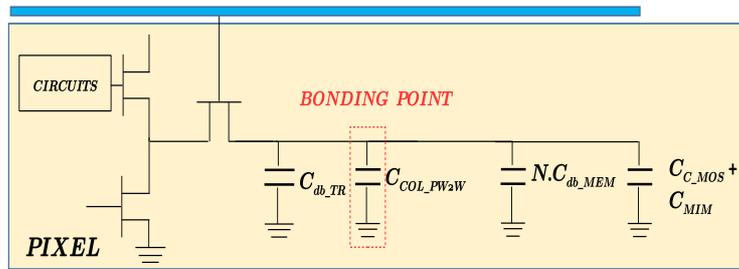


FIGURE 4.33 – Circuit électrique du chemin critique du transfert des données de l'architecture 3D.

Le temps de transfert reste équivalent au temps du cas d'une technologie monolithique. Cela donne donc un temps de prise de vue :

$$T_{\text{temps de prise de vue}} = T_{\text{TRAITEMENT\_PIXEL}} + T_{\text{SELECTION}} + T_{\text{TRANSFERT\_VERS\_MEMOIRE}} \quad (4.15)$$

La figure 4.34 illustre l'évolution des temps de sélection et de transfert vers les mémoires de trames du signal vidéo sur les bases d'une technologie monolithique et d'intégration 3D en 130nm. Ces simulations ont été réalisées pour un courant de 100uA par pixel. Comme attendu, le temps de sélection des mémoires reste équivalent en monolithique et en 3D. Par contre, le temps de transfert est lui fortement diminué et reste quasiment constant par rapport au pas du pixel. Comme précédemment, si nous prenons un temps d'environ 40ns, similaire à [10] pour le temps de traitement du signal dans le pixel, en considérant qu'une optimisation du temps de transfert de la photodiode a été réalisée, nous obtenons des cadences de prise de vue pour les pas de 32um, 24um et 16um respectivement de 20.5Mfps, 21.9Mfps et 23.12Mfps pour une technologie d'intégration 3D à forte densité d'interconnexions à comparer avec les cadences de prise de vue comprise entre 7Mfps et 8Mfps selon le pas du pixel dans le cas de l'utilisation d'une technologie monolithique.

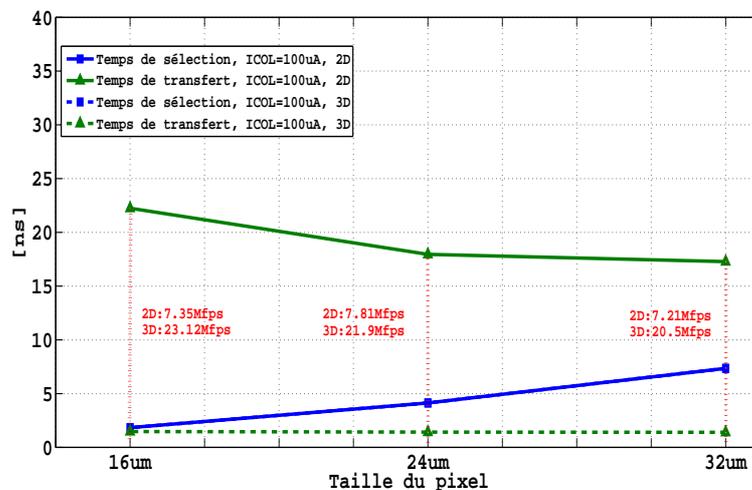


FIGURE 4.34 – Comparaison et évolution des temps de sélection et de transfert vers les mémoires de trames du signal vidéo en fonction du pas du pixel à 100uA.

Dans le cas de la construction du pixel associé à ses mémoires de trames en technologie

d'intégration 3D, nous pouvons remarquer qu'une seule source suiveuse est nécessaire et polarisée à 100uA. Naturellement, la puissance consommée pour cette partie de l'imageur est donc diminuée comparée à la puissance consommée pour le pixel équivalent dans une technologie monolithique. Comme la figure4.35 le montre, nous pouvons comparer le courant consommé par cette partie afin de trouver la même cadence de prise de vue pour les deux types de construction (monolithique et intégration 3D). Nous voyons donc une réduction d'un facteur d'environ 12 du courant consommé.

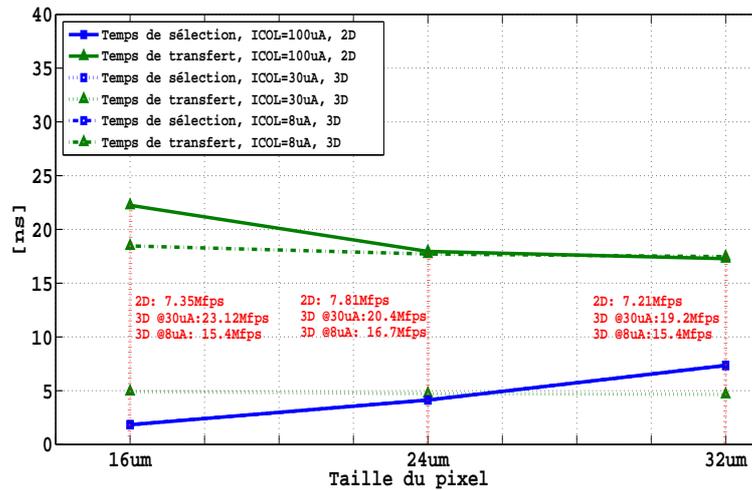


FIGURE 4.35 – Simulations du temps de transfert de l'architecture de [10] en 0.13um. L'architecture implémenté en 3D permet de consommer moins d'énergie avec le mêmes résultats.

Pour faire une comparaison en termes du temps, nous pouvons utiliser le tableau4.5 qui résume les valeurs du temps des simulations citées tant des architectures monolithiques que des 3D pour un imageur du pas de pixel de 32um.

Temps	2D [10]	2D, 0.13um	3D, 0.13um $I_{PIXEL} = 100uA$	3D, 0.13um $I_{PIXEL} = 30uA$	3D, 0.13um $I_{PIXEL} = 8uA$
$T_{TRAITEMENT}$	40ns	40ns	40ns	40ns	40ns
$T_{SELECTION}$	-	7.38ns x 4	7.38ns	7.38ns	7.38ns
$T_{TRANSFERT}$	15ns x 4	17.2ns x 4	1.41ns	4.6ns	17.46ns
<b>Temps d'une image</b>	<b>100ns</b> [10Mfps]	<b>138.3ns</b> [7.2Mfps]	<b>48.7ns</b> [20.5Mfps]	<b>51.9ns</b> [19.2Mfps]	<b>64.8ns</b> [15.4Mfps]

Tableau 4.5 – Valeurs du temps tant des architectures monolithiques que 3D pour un imageur de pas du pixel de 32um.

Il est noté que le courant de la colonne a une grande influence dans le transfert des données. En utilisant la technologie 3D, nous pouvons non seulement réduire ce courant mais également la taille des colonnes, ce qui donne un faible temps de transfert.

Pour faire une comparaison en termes de puissance, nous allons appeler  $P_{PIXEL\_MATRICE}$  à la puissance consommée de tous les pixels et  $P_{SF}$  à la puissance consommée par les sources suiveuses de colonne de toute la matrice, (voir tableau4.6).

Comme cela était décrit avant, le fait de rapprocher les pixels des éléments mémoires permet de réduire le courant, donc de diminuer la puissance consommée des imageurs.

Puissance	2D [10]	2D, 0.13um	3D, 0.13um $I_{PIXEL} = 100\mu A$	3D, 0.13um $I_{PIXEL} = 30\mu A$	3D, 0.13um $I_{PIXEL} = 8\mu A$
$P_{PIXEL\_MATRICE}$	-	5.37W	1.15W	1.04W	0.82W
$P_{SF}$	-	8.04W	Pas de buffers	Pas de buffers	Pas de buffers
<b>Puissance</b>	<b>16W</b>	<b>13.4W</b>	<b>1.15W</b>	<b>1.04W</b>	<b>0.82W</b>

Tableau 4.6 – Valeurs de la puissance consommé dans le pixel des architectures monolithiques et 3D pour un imageur de pas du pixel de 32um.

L'analyse des besoins de l'imagerie à cadence de prise de vue rapide (mode rafale) a permis, en s'appuyant sur les travaux de[10], de définir une modélisation et d'identifier les éléments limitant la cadence de prise de vue. La comparaison, basée sur l'architecture utilisée dans[10], pour les deux types de construction, monolithique et d'intégration 3D à forte densité d'interconnexions (3D à empilement de wafers), pour une technologie 130nm a permis de mettre en évidence un apport important de la technologie d'intégration 3D à forte densité d'interconnexions. En effet, cet apport se traduit par une augmentation de la cadence de prise de vue à iso-consommation de courant ou une baisse significative de la consommation (rapport allant jusqu'à 12) à même cadence de prise de vue. Ces conclusions sont vraies pour les deux types d'intégration 3D à forte densité d'interconnexions : intégration séquentielle et par empilement de wafers. Nous n'avons pas optimisé le temps de sélection qui prends toute la charge de la ligne métallique. Si nous utilisons la technologie 3D, nous pourrions réduire encore plus ce temps avec un connecteur vertical par pixel.

## 4.6 Conclusions.

Ce chapitre a permis d'évaluer l'apport des technologies d'intégration 3D à forte densité d'interconnexions par rapport aux technologies monolithiques pour des applications demandant une cadence image importante (décomposition image par image de scènes rapides, test d'impact ou de collision, entre autres). Deux types d'imageurs ont été recensés :

- Les imageurs de type "continu" ne dissociant pas la cadence de prise de vue et la cadence de lecture des images.
- Les imageurs de type "rafale ou burst" dissociant la cadence de prise de vue et la cadence de lecture des images. Dans ce cas, la cadence de prise de vue est très rapide et la lecture des données peut être faite de manière totalement décontrainte. Cependant, ce type d'imageur demande une mémoire permettant de stocker les trames.

Une analyse fine de ces deux types d'imageurs a permis d'identifier les éléments limitant. Dans le cas des imageurs de type continu, nous avons montré que l'apport des technologies d'intégration 3D à forte densité d'interconnexions reste faible par rapport aux technologies monolithiques. En effet, pour ce type d'imageur, le « goulet d'étranglement » des données (« bottle neck ») reste toujours dans le circuit de lecture des données et aucune architecture autorisée par l'utilisation des technologies d'intégration 3D ne permet d'améliorer grandement celui-ci. Il a été vu que la multiplication du nombre de sortie de l'imageur, facilité par l'utilisation des technologies d'intégration 3D, permet d'améliorer la cadence image.

Dans le cas des imageurs de type « rafale ou burst », l'apport des technologies d'intégration 3D est jugé important. En effet, dans ce cas, les charges capacitives entrant en jeu peuvent être fortement réduites et ainsi améliorer de façon importante la cadence de prise de vue. De plus, la minimisation de ces charges capacitives permet, à iso-cadence de prise de vue par rapport aux technologies monolithiques, de diminuer fortement la consommation de courant.

Dans le 2 cas, la technologie d'intégration 3D empilement des "wafers" est plus adaptée pour les circuits matriciels car permet de faire des imageurs BSI, de réduire la taille des interconnexions (impact dans la réduction des courants des colonnes) et augmenter l'espace de construction dans le pixel.

## Bibliographie

- [1] P. Read and M.-P. Meyer, *Restoration of Motion Picture Film*. Butterworth-Heinemann, 2000.
- [2] B. Dierickx, "The human eye versus silicon," 2010. [Online]. Available : <http://www.caeleste.be/lexicon/eye.html>
- [3] P. Willems, "High-speed image sensors," *EE Times India*, 2008.
- [4] A. Harmer, "Barn owl landing sequence - tyto alba," <http://www.flickr.com/photos/38477281@N05/4225847708/>.
- [5] N. Faramarzpour, M. El-Desouki, M. Deen, Q. Fang, S. Shirani, and L. Liu, "Cmos imaging for biomedical applications," *Potentials, IEEE*, vol. 27, no. 3, pp. 31–36, may-june 2008.
- [6] T. G. Etoh, D. Poggemann, G. Kreider, H. Mutoh, A. J. Theuwissen, A. Ruckelshausen, Y. Kondo, H. Maruno, K. Takubo, H. Soya *et al.*, "An image sensor which captures 100 consecutive frames at 1000000 frames/s," *IEEE Transactions on electron devices*, vol. 50, no. 1, pp. 144–151, 2003.
- [7] M. Litzenberger, A. Belbachir, N. Donath, G. Gritsch, H. Garn, B. Kohn, C. Posch, and S. Schraml, "Estimation of vehicle speed based on asynchronous data from a silicon retina optical sensor," in *Intelligent Transportation Systems Conference, 2006. ITSC'06. IEEE*. IEEE, 2006, pp. 653–658.
- [8] M. El-Desouki, M. J. Deen, S. Shirani, S. Sirouspour, F. Tse, D. Armstrong, and Q. Fang, "Integrated cmos sensors for fluorescence spectroscopy and imaging," pp. 1–2, nov. 2009.
- [9] K. Vermeulen, "2010 formula 1 belgian grand prix (spa-francorchamps)," <http://www.flickr.com/photos/raceshots/4954238946/in/photostream/>.
- [10] Y. Tochigi, K. Hanzawa, Y. Kato, R. Kuroda, H. Mutoh, R. Hirose, H. Tominaga, K. Takubo, Y. Kondo, and S. Sugawa, "A global-shutter cmos image sensor with readout speed of 1tpixel/s burst and 780mpixel/s continuous," pp. 382–384, feb. 2012.

- [11] P. Willems, "Cmos image sensors for high-speed data acquisition," *LASER+PHOTONICS*, pp. Page 28–31, 2008/02,.
- [12] S. Kleinfelder, S. Lim, X. Liu, and A. El Gamal, "A 10000 frames/s cmos digital pixel sensor," *Solid-State Circuits, IEEE Journal of*, vol. 36, no. 12, pp. 2049 –2059, dec 2001.
- [13] A. Krymski, D. Van Blerkom, A. Andersson, N. Bock, B. Mansoorian, and E. Fossum, "A high speed, 500 frames/s, 1024 times ;1024 cmos active pixel sensor," pp. 137 –138, 1999.
- [14] M. Furuta, T. Inoue, Y. Nishikawa, and S. Kawahito, "A 3500fps high-speed cmos image sensor with 12b column-parallel cyclic a/d converters," pp. 21 –22, 0-0 2006.
- [15] S. Lauxtermann, P. Schwider, P. Seitz, H. Bloss, J. Ernst, and H. Firla, "A high speed cmos imager acquiring 5000 frames/sec," pp. 875 –878, 1999.
- [16] N. Stevanovic, M. Hillebrand, B. Hosticka, and A. Teuner, "A cmos image sensor for high-speed imaging," pp. 104 –105, 449, 2000.
- [17] T. Sugiyama, S. Yoshimura, R. Suzuki, and H. Sumi, "A 1/4-inch qvga color imaging and 3-d sensing cmos sensor with analog frame memory," vol. 1, pp. 434 –479 vol.1, 2002.
- [18] T. Arai, J. Yonai, T. Hayashida, H. Ohtake, H. van Kuijk, and T. G. Etoh, "Back-side-illuminated image sensor with burst capturing speed of 5.2 tpixel per second," *Proc. SPIE*, vol. 8659, pp. 865 904–865 904–10, 2013. [Online]. Available : <http://dx.doi.org/10.1117/12.2003496>
- [19] B. Cremers, M. Agarwal, T. Walschap, R. Singh, and T. Geurts, "A high speed pipelined snapshot cmos image sensor with 6.4 gpixel/s data rate," in *International Image Sensor Workshop*, 2009.
- [20] C. Esquenet, J. Compiet, T. Blanchaert, T. Geurts, and J. Decupere, "A 26.2 mpixel, 74fps, global shutter cmos imager with 20gb/s interface for multi object monitoring," in *Proc. 2011 International Image Sensor Workshop*, 2011, pp. 332–334.
- [21] J. Bogaerts, K. Ruythooren, A. Gvozdenovic, K. Van Esbroeck, W. Ceulemans, B.and Ogiers, G. Arsinte, X. Wang, and G. Meynants, "A 26.2 mpixel, 74fps, global shutter cmos imager with 20gb/s interface for multi object monitoring," in *Proc. 2011 International Image Sensor Workshop*, 2011.
- [22] J.-H. Park, S. Aoyama, T. Watanabe, T. Kosugi, Z. Liu, T. Akahori, M. Sasaki, K. Isobe, Y. Kaneko, K. Muramatsu *et al.*, "A high-speed low-noise cis with 12b 2-stage pipelined cyclic adcs," in *Proc. Int. Image Sens. Workshop*, 2011, pp. 339–342.
- [23] S. ON, "Lupa3000, 3 megapixel high speed cmos image sensor," 2011, <http://www.onsemi.jp/>.

- [24] T. Watabe, K. Kitamura, T. Sawamoto, T. Kosugi, T. Akahori, T. Iida, K. Isobe, T. Watanabe, H. Shimamoto, H. Ohtake *et al.*, “A 33mpixel 120fps cmos image sensor using 12b column-parallel pipelined cyclic adcs,” in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2012 IEEE International*. IEEE, 2012, pp. 388–390.
- [25] T. Toyama, K. Mishina, H. Tsuchiya, T. Ichikawa, H. Iwaki, Y. Gendai, H. Murakami, K. Takamiya, H. Shiroshita, Y. Muramatsu *et al.*, “A 17.7 mpixel 120fps cmos image sensor with 34.8 gb/s readout,” in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2011 IEEE International*. IEEE, 2011, pp. 420–422.
- [26] H. Y. Wakabayashi, K. Okano, M. Kuramochi, S. Kumagai, O. Sakane, S. Ito, and M. Hatanano, “A 1/2.3-inch 10.3 mpixel 50frame/s back-illuminated cmos image sensor,” *Solid-State Circuits*, 2010.
- [27] Y. Chae, J. Cheon, S. Lim, M. Kwon, K. Yoo, W. Jung, D.-H. Lee, S. Ham, and G. Han, “A 2.1 m pixels, 120 frame/s cmos image sensor with column-parallel adc architecture,” *Solid-State Circuits, IEEE Journal of*, vol. 46, no. 1, pp. 236–247, 2011.
- [28] W. F. Kosonocky, G. Yang, C. Ye, R. Kabra, L. Xie, J. Lawrence, V. Mastrocolla, F. Shallcross, and V. Patel, “360/spl times/360-element very-high-frame-rate burst image sensor,” in *Solid-State Circuits Conference, 1996. Digest of Technical Papers. 42nd ISSCC., 1996 IEEE International*. IEEE, 1996, pp. 182–183.
- [29] T. G. Etoh, D. H. Nguyen, S. V. Dao, C. L. Vo, M. Tanaka, K. Takehara, T. Okinaka, H. van Kuijk, W. Klaassens, J. Bosiers *et al.*, “A 16 mfps 165kpixel backside-illuminated ccd,” in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2011 IEEE International*. IEEE, 2011, pp. 406–408.
- [30] G. Meynants, G. Lepage, J. Bogaerts, G. Vanhorebeek, and X. Wang, “Limitations to the frame rate of high speed image sensors,” in *Proc. of 2009 International Image Sensor Workshop, Paper*, vol. 37, 2009, pp. 22–28.
- [31] F. Caignet, “Mesure et modélisation prédictive des phénomènes parasites liés aux interconnexions dans les technologies cmos,” Ph.D. dissertation, Institut national des sciences appliquées de Toulouse, 1999.
- [32] J. A. Leñero-Bardallo, J. Fernández-Berni, and Á. Rodríguez-Vázquez, “Review of adcs for imaging,” vol. 9022, 2014, pp. 90 220I–90 220I–6. [Online]. Available : <http://dx.doi.org/10.1117/12.2041682>
- [33] M. Snoeij, A. Theuwissen, K. Makinwa, and J. Huijsing, “Multiple-ramp column-parallel adc architectures for cmos image sensors,” *Solid-State Circuits, IEEE Journal of*, vol. 42, no. 12, pp. 2968–2977, Dec 2007.

- [34] M.-S. Shin, J.-B. Kim, M.-K. Kim, Y.-R. Jo, and O.-K. Kwon, "A 1.92-megapixel cmos image sensor with column-parallel low-power and area-efficient sa-adcs," *Electron Devices, IEEE Transactions on*, vol. 59, no. 6, pp. 1693–1700, 2012.
- [35] D. G. Chen, F. Tang, and A. Bermak, "A low-power pilot-dac based column parallel 8b sar adc with forward error correction for cmos image sensors," *Circuits and Systems I : Regular Papers, IEEE Transactions on*, vol. 60, no. 10, pp. 2572–2583, 2013.
- [36] F. Raymundo, P. Martin-Gonthier, R. Molina, S. Rolando, and P. Magnan, "Exploring the 3d integration technology for cmos image sensors," in *Electronics, Control, Measurement, Signals and their application to Mechatronics (ECMSM), 2013 IEEE 11th International Workshop of*, June 2013, pp. 1–5.
- [37] S. TI, "Lvds owner's manual," 2008, <http://www.ti.com/lit/ml/snla187/snla187.pdf>.
- [38] G. H. Loh, "3d-stacked memory architectures for multi-core processors," in *ACM SIGARCH computer architecture news*, vol. 36, no. 3. IEEE Computer Society, 2008, pp. 453–464.
- [39] W. Zhang and T. Li, "Exploring phase change memory and 3d die-stacking for power/thermal friendly, fast and durable memory architectures," in *Parallel Architectures and Compilation Techniques, 2009. PACT'09. 18th International Conference on*. IEEE, 2009, pp. 101–112.

# Conclusions

Les travaux associés à cette thèse ont conduit à analyser des publications, adapter et modéliser le fonctionnement des imageurs et finalement implémenter physiquement un imageur 3D. Ainsi, ont été mis en évidence les bénéfices de l'utilisation de la technologie 3D pour les imageurs (circuits matriciels).

De l'état de l'art se dégagent trois familles de développement des imageurs avec la technologie 3D. Afin de les comparer, ont été évalués entre autres *l'intégration de circuits*, l'utilisation des *technologies hétérogènes*, la *consommation*, le *couplage*. D'après les chercheurs et les industriels, l'utilisation de la technologie d'intégration 3D wafer level, ou autrement dit «stacked imagers», a une longueur d'avance lorsque ces paramètres sont considérés [1, 2]. Ses avantages sont triples. D'une part, elle permet d'assembler 2 wafers d'une même filière technologique [3] ou de 2 wafers hétérogènes [4, 5]. Ensuite, elle autorise les règles de conception CMOS. Enfin, ce type d'assemblage, dit « stacked imager sensor », améliore la topologie de l'imageur, tant au *niveau du pixel* qu'au *niveau du groupe de pixels*. Cependant, afin de confirmer le potentiel de la technologie d'intégration 3D wafer level pour la construction des imageurs, il est essentiel de pouvoir détecter les éléments des constructions parasites de ces assemblages 3D. C'est pourquoi, cette thèse expose les outils développés pour calculer ces paramètres, ainsi que les résultats obtenus pendant l'analyse de ce type d'intégration.

Ces travaux relèvent trois points d'intérêt majeurs pour cette technologie appliquée aux imageurs.

- ***Intégration des circuits.*** A première vue, les circuits matriciels implémentés avec la technologie 3D auraient soit-disant plus d'avantages que leurs équivalents monolithiques. D'une part, parce que cette technologie repose sur des connexions plus courtes et donc des circuits plus rapides. D'autre part, parce qu'elle accorde un espace de construction plus important. Cette même logique s'appliquerait dans le cas des imageurs [6]. Par conséquent, la technologie d'intégration 3D wafer level implémentée dans des imageurs augmenterait l'espace de construction pour le bénéfice des paramètres opto-électriques, comme par exemple le facteur de remplissage. Cependant, l'analyse plus approfondie révèle que l'utilisation de cette technologie ne permet pas aux imageurs d'obtenir de meilleures performances en comparaison avec les imageurs monolithiques qui peuvent posséder des microlentilles ou être construits avec un procédé BSI. Pour le démontrer, ce type d'imageurs 3D a été

évalué en changeant le type de connexion, soit par *pixel* soit par *groupe de pixels*, en parallèle avec le *facteur de remplissage* ou le *circuit de sortie*.

*Connexion par pixel et facteur de remplissage.* Dans cette analyse, une architecture parallèle, similaire à celle de [7], a été mise en œuvre en intégrant un CAN dans le pixel. Les simulations montrent que l'insertion de CANs relâchent les performances des opérateurs dans le pixel [8]. Pour un imageur *monolithique*, plus de l'aire occupée par le CAN est grande, plus le facteur de remplissage (fill facteur ou FF) sera faible (voir figure 4.36). Pour augmenter le FF de ses imageurs, les publications préconisent l'utilisation de microlentilles et du procédé BSI. Le principe de la *technologie 3D* est qu'il partitionne le pixel en deux parties situées sur deux wafers. La première conséquence est le doublement de l'aire de construction d'un imageur par rapport à celle de son équivalent monolithique, impliquant un facteur de remplissage plus grand [8]. Les deux parties du pixel sont interconnectées entre wafers par des « bonding points ». Le second point positif est l'obtention d'une taille de pixel plus petite, limitée seulement par la taille des bonding points. L'imageur ressemble à un qui serait construit selon un procédé BSI. La comparaison en terme de facteur de remplissage montre que les imageurs 2D, reposant sur des microlentilles ou construits avec un procédé BSI, et les imageurs 3D, ont des paramètres opto-électriques similaires.

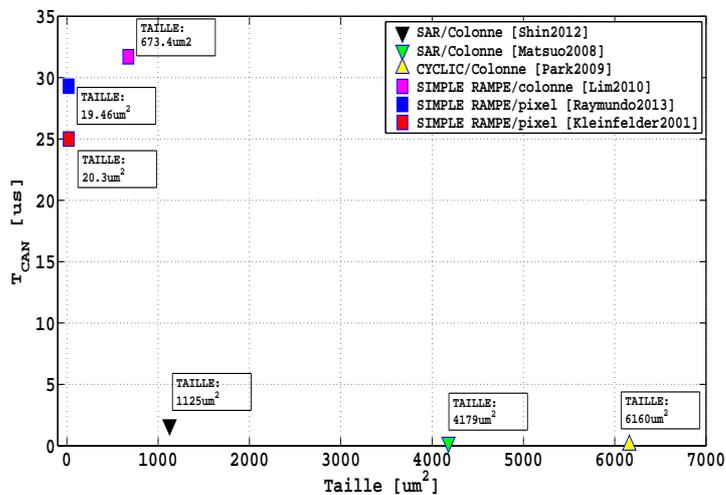


FIGURE 4.36 – Le temps de conversion des CANs  $T_{CAN}$ , en fonction de l'aire de construction [7–13]. Seule le CAN simple rampe peut être intégré dans le pixel de 10µmx10µm.

*Connexion par groupes de pixels et facteur de remplissage.* Ce groupement de pixels autorise un espace de construction plus grand (voir figure 4.37). Dans le cas *monolithique*, le FF reste constant quelque soit le type de connexion. Or, comme le CAN doit se situer en bas de la colonne, celui-ci dépend de la taille du pixel dans une dimension et n'est pas limité en espace dans l'autre [12]. Par conséquent, le regroupement de pixels autorise l'insertion de CANs plus rapides, plus grands que les CANs simple rampe (voir figure 4.36). En revanche, les données des pixels doivent passer toute la ligne de matrice pour

arriver aux CANs, provoquant une augmentation du courant dans la colonne. Dans le cas *3D*, de manière équivalente, le groupe de pixels permet d'avoir des CANs plus rapides, situés maintenant au-dessous [14]. Cependant, à l'inverse du cas monolithique, les interconnexions de petite taille permettent la réduction du courant de la colonne.

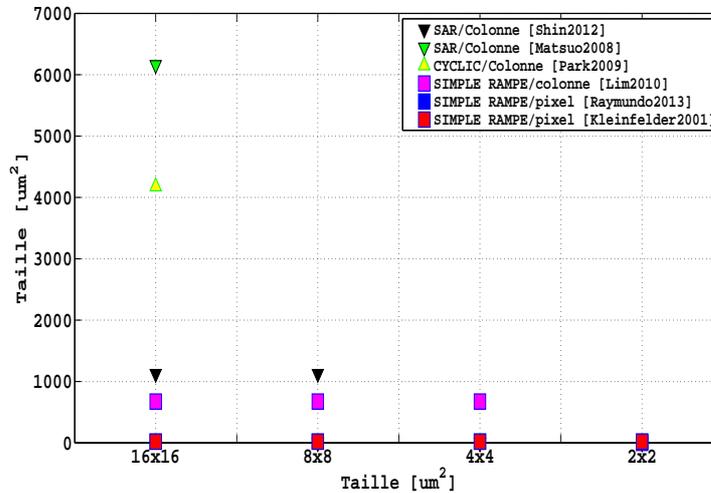


FIGURE 4.37 – L'intégration des CANS dans les aires de group de pixels ou sous matrices avec un pas de pixel de 10um [7–13].

*Connexion par pixel et circuit de sortie.* L'analyse de la cadence image met en exergue l'existence d'un "goulet d'étranglement" en ce qui concerne la sortie de données [15]. Cette contrainte apparaît dès que la taille de la matrice est trop grande et le nombre de sorties trop petit. En effet, un fort courant dans les colonnes et des circuits de sorties très performants sont nécessaires pour maintenir une cadence d'image donnée. Ce goulet d'étranglement existe dans les deux cas, monolithique et 3D, sans qu'il y ait d'amélioration possible pour le moment.

*Connexion par groupe de pixels et circuit de sortie.* Le travail en parallèle du groupe de pixels répartit le flux de données, réduisant ainsi l'effet de goulet d'étranglement. Les simulations montrent que le fait que chaque sous-matrice possède son propre circuit de sortie augmente la cadence image et gère plus efficacement la sortie de données. De plus, les circuits de sortie sont moins contraints. Dans le cas *monolithique*<sup>k</sup>, les sous-matrices sont connectées aux circuits de sorties qui se trouvent autour de la matrice de pixels. Donc les valeurs photoniques doivent traverser la colonne pour atteindre les circuits de sortie, imposant une augmentation du courant par colonne (voir figure 4.37). Dans le cas *3D*, la topologie empilée, les circuits de sortie étant au-dessous des sous-matrices, réduit ce courant. De plus, l'interconnexion entre wafers est plus petite qu'une colonne. La figure 4.38 présente le courant par colonne nécessaire pour avoir une cadence de sortie de 30fps et 1000fps en fonction de la taille de la sous-matrice [16]. Cette simulation montre qu'il y a un facteur approximatif de 10 entre architecture 2D et 3D pour le courant de colonne.

k. L'analyse des sous matrices est approfondie dans le chapitre 4.

La tendance est à la diminution du courant de colonne si le nombre de sous-matrices augmente. Car chaque sous-matrice contribue à la cadence image (30fps et 1000fps).

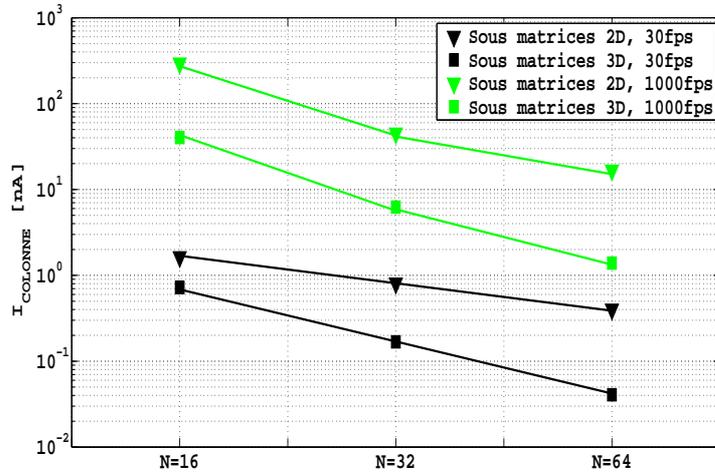


FIGURE 4.38 – Les courants pour avoir une cadence image de 30fps et 1000fps en fonction des sous matrices [16].

Les analyses précédentes démontrent que de meilleures performances ne sont pas obtenues dans tous les cas en utilisant la technologie 3D par rapport à celle monolithique.

- **Imageurs Burst.** L'examen de l'architecture de ces imageurs signale un éloignement entre les bancs de mémoires et les pixels. Le temps de transfert inhérent à cet éloignement limite la prise d'image rapide. Aussi, ce transfert, qui doit être court, a besoin d'un fort courant d'alimentation passant par les lignes métalliques des colonnes. Par exemple, la consommation totale de l'imageur [17] est de 24W.

L'architecture de [17] a été implémentée pour comparer la prise d'image et le temps de transfert des données des pixels vers les mémoires. Dans cet imageur, chaque pixel a été connecté à 128 mémoires et ses lignes de connexion multiplexées. En fait, il existe une relation entre la taille du pixel, le multiplexage et la longueur des lignes métalliques (voir tableau 4.7). Ainsi, dans le cas d'imageurs à grand format avec un petit pas de pixel, les lignes métalliques seraient plus longues et le multiplexage dans les pixels plus important, induisant une augmentation de la puissance consommée.

	[17] CIS 2D	CIS 2D	CIS 2D	CIS 3D
Taille du pixel	32um	16um	8um	Toutes
Multiplexage	4	8	16	Aucun
Lignes métalliques vers les mémoires/pixel	32	16	8	1

Tableau 4.7 – Dépendance de la taille du pixel et des lignes métalliques pour les imageurs burst en comparaison avec un imageur 3D pour un pixel qui contient 128 mémoires.

Se basant sur l'architecture [17], une technologie monolithique de 130nm et une technologie 3D wafer level ont été comparées. L'imageur *monolithique* analysé ne pouvait pas

avoir des pixels de taille réduite<sup>1</sup>, à cause du banc de mémoires à intégrer dans le pixel, (environ 100, comme le montrent [18, 19]). De la même manière, les lignes métalliques entre les pixels et les mémoires ne sont pas réduites<sup>m</sup>. L'utilisation de la *technologie d'intégration 3D* permet de construire un imageur qui déporte le banc de mémoires du pixel sur un autre wafer, au-dessous du wafer de détection. Par conséquent, la taille des pixels et celle des lignes métalliques sont plus faibles, réduisant considérablement le temps de transfert. Ainsi, dans le cas d'un imageur à grand format avec un pas de pixel quelconque, la rapidité de prise d'image ne dépend pas de la taille des pixels ni de la longueur des lignes métalliques, du fait de l'absence de multiplexage (voir tableau 4.7). Enfin, selon [14], la prise d'image et la cadence d'image peuvent être liées dans cette architecture. C'est pourquoi il sera intéressant d'étendre l'analyse à des structures hétérogènes et d'identifier son impact réel dans la cadence image.

Dans cette architecture, par rapport aux imageurs monolithiques, les imageurs 3D représentent une réelle avancée en matière de performances dans le temps de prise d'image. Cela est possible grâce à l'optimisation de la topologie de l'imageur et à la non-dépendance de la taille du pixel qui se traduit en une réduction de la puissance consommée de la matrice.

- **PLS "Parasitic light sensitivity"**. Les imageurs à haute vitesse ont un élément de stockage « in-pixel node » dans le pixel différent de celui de la photodiode. Cet élément de stockage peut être parasité par les photons incidents. Le paramètre PLS caractérise le rapport de la lumière incidente dans l'élément de stockage par rapport aux photons qui arrivent à la photodiode. Les imageurs monolithiques utilisent des couches protectrices appelées « shields » qui sont généralement des lignes de métal autour de ces éléments [20] (voir figure 4.39(a)). Cependant, cela n'isole pas de tous les photons qui arrivent, et donc polluent les images qui ont besoin d'une grande dynamique [21]. Quelques publications montrent que le PLS se trouve dans l'intervalle de valeurs de -70dB à -100dB pour les imageurs monolithiques (voir tableau 4.8). La technologie 3D introduit une autre façon de réduire ce paramètre. L'article [21] montre que l'imageur 3D, dont le wafer supérieur agit comme un « shield », permet d'atteindre -160dB, c'est-à-dire une charge dans le nœud de stockage pour  $10^8$  dans la photodiode ( $1/10^8$ ) (voir figure 4.39(b)), soit 60dB d'écart minimum entre un imageur monolithique et un imageur 3D. Cette analyse démontre que les imageurs monolithiques ne pourront égaler les imageurs 3D, dans ce domaine, à cause de leur topologie planaire. Les études des imageurs 3D offrent des perspectives d'innovations qui permettront d'améliorer les -160dB pour ce paramètre[22].

Le tableau 4.8 montre quelques réalisations pour la réduction du paramètre PLS.

1. Cela peut s'étendre aux autres technologies submicroniques.

m. Dans le chapitre 4, il est montré l'architecture d'analyse qui permet de voir les lignes métalliques de colonnes des pixels vers les mémoires.

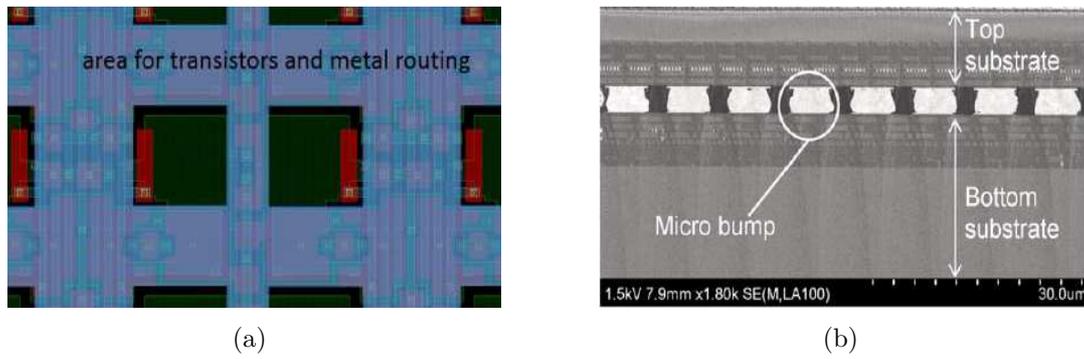


FIGURE 4.39 – Imageurs avec des couches protectrices pour le PLS : (a) Imageur monolithique qui a une couche protectrice pour l’élément de stockage [20] ; (b) Imageur 3D qui utilise le wafer top comme couche protectrice [21].

	[22] CIS 3D	[21] CIS 3D	[23] CIS 2D	[24] CIS 2D	[20] CIS 2D
PLS	-180dB	-160dB	-87.9dB	> -100dB	-73.9dB
Type	BSI	BSI	BSI	FSI	FSI
In-pixel node	shield	shield	shield	shield	non

Tableau 4.8 – Réalisation des imageurs en montrant leur PLS, le type d’imageur et la protection dans le nœud de lecture.

**L’Implémentation du capteur d’image 3D.** L’accès à la technologie wafer level<sup>n</sup> a permis d’implémenter le capteur d’image décrit dans le chapitre 3. Les études montrent une augmentation de 50% du facteur de remplissage et la réduction du couplage diaphonique à moins d’un LSB (La valeur du couplage diaphonique dans un imageur monolithique était de 2.5LSB). Les tests fonctionnels sont ainsi démontrés.

En **conclusion**, les travaux effectués dans le cadre de cette thèse ont mis en évidence la maturité de la technologie 3D wafer level, vecteur d’innovations pour les circuits matriciels et les imageurs. De plus, elle accroît les performances des imageurs, comme dans le cas de la prise d’image des imageurs burst et dans la réduction du PLS, à des niveaux que ses équivalents monolithiques ne pourront jamais atteindre. La structure qui permet d’assembler 2 wafers, comme un procédé BSI, en est la cause. Elle apporte une augmentation de l’aire de construction dans le pixel, une meilleure topologie des pixels pour avoir des prises d’image élevées, une isolation des nœuds de stockage, une utilisation des procédés de fabrication CMOS et, dans certains cas, une réduction de la puissance consommée.

## Bibliographie

- [1] A. Suzuki, N. Shimamura, T. Kainuma, N. Kawazu, C. Okada, T. Oka, K. Koiso, A. Masagaki, Y. Yagasaki, S. Gono *et al.*, “6.1 a 1/1.7-inch 20mpixel back-illuminated stacked cmos image sensor for new imaging applications,” in *Solid-State Circuits Conference-(ISSCC), 2015 IEEE International*. IEEE, 2015, pp. 1–3.

n. Grâce au consortium multi-projet CMP-MOSIS-CMC.

- [2] P. Enquist, “Stacked image sensors - the new image sensor standard,” in *Image Sensor conference, London*, 2015.
- [3] CMP, “Tezzaron cmos 130nm fastack(r),” <http://cmp.imag.fr/products/ic/?p=130nmFaStack>.
- [4] A. Khakoni and G. Gielen, “A 132db-dynamic-range global-shutter stacked architecture for high-performance imagers,” 2014.
- [5] Suntharalingam, “Megapixel cmos image sensor fabricated in three-dimensional integrated circuit technology,” *ISSCC*, vol. SESSION 19 / IMAGERS / 19.6, p. 2, 2005.
- [6] J. Dubois, D. Ginhac, and M. Paindavoine, “A single-chip 10000 frames/s cmos sensor with in-situ 2d programmable image processing,” pp. 124–129, aug. 2007.
- [7] S. Kleinfelder, S. Lim, X. Liu, and A. El Gamal, “A 10000 frames/s cmos digital pixel sensor,” *Solid-State Circuits, IEEE Journal of*, vol. 36, no. 12, pp. 2049–2059, dec 2001.
- [8] F. Raymundo, P. Martin-Gonthier, R. Molina, S. Rolando, and P. Magnan, “Exploring the 3d integration technology for cmos image sensors,” in *Electronics, Control, Measurement, Signals and their application to Mechatronics (ECMSM), 2013 IEEE 11th International Workshop of*, June 2013, pp. 1–5.
- [9] M.-S. Shin, J.-B. Kim, M.-K. Kim, Y.-R. Jo, and O.-K. Kwon, “A 1.92-megapixel cmos image sensor with column-parallel low-power and area-efficient sa-adcs,” *Electron Devices, IEEE Transactions on*, vol. 59, no. 6, pp. 1693–1700, 2012.
- [10] S. Matsuo, T. Bales, M. Shoda, S. Osawa, B. Almond, Y. Mo, J. Gleason, T. Chow, and I. Takayanagi, “A very low column fpn and row temporal noise 8.9 m-pixel, 60 fps cmos image sensor with 14bit column parallel sa-adc,” in *VLSI Circuits, 2008 IEEE Symposium on*. IEEE, 2008, pp. 138–139.
- [11] J.-H. Park, S. Aoyama, T. Watanabe, K. Isobe, and S. Kawahito, “A high-speed low-noise cmos image sensor with 13-b column-parallel single-ended cyclic adcs,” *Electron Devices, IEEE Transactions on*, vol. 56, no. 11, pp. 2414–2422, 2009.
- [12] Y. Lim, K. Koh, K. Kim, H. Yang, J. Kim, Y. Jeong, S. Lee, H. Lee, S.-H. Lim, Y. Han *et al.*, “A 1.1 e-temporal noise 1/3.2-inch 8mpixel cmos image sensor using pseudo-multiple sampling,” in *2010 IEEE International Solid-State Circuits Conference-(ISSCC)*, 2010, pp. 396–397.
- [13] J. A. Leñero-Bardallo, J. Fernández-Berni, and Á. Rodríguez-Vázquez, “Review of adcs for imaging,” in *IS&T/SPIE Electronic Imaging*. International Society for Optics and Photonics, 2014, pp. 90 220I–90 220I.
- [14] R. Bonnard, F. Guellec, J. Segura, A. Dupret, and W. Uhring, “New 3d-integrated burst image sensor architectures with in-situ a/d conversion,” in *Design and Architectures for Signal and Image Processing (DASIP), 2013 Conference on*. IEEE, 2013, pp. 215–222.

- [15] A. Theuwissen and J. Coghil, “Digital imaging technology,” 2003.
- [16] G. Meynants, G. Lepage, J. Bogaerts, G. Vanhorebeek, and X. Wang, “Limitations to the frame rate of high speed image sensors,” in *Proc. of 2009 International Image Sensor Workshop, Paper*, vol. 37, 2009, pp. 22–28.
- [17] Y. Tochigi, K. Hanzawa, Y. Kato, R. Kuroda, H. Mutoh, R. Hirose, H. Tominaga, K. Takubo, Y. Kondo, and S. Sugawa, “A global-shutter cmos image sensor with readout speed of 1tpixel/s burst and 780mpixel/s continuous,” pp. 382 –384, feb. 2012.
- [18] T. Arai, J. Yonai, T. Hayashida, H. Ohtake, H. van Kuijk, and T. G. Etoh, “Back-side-illuminated image sensor with burst capturing speed of 5.2 tpixel per second,” *Proc. SPIE*, vol. 8659, pp. 865 904–865 904–10, 2013. [Online]. Available : <http://dx.doi.org/10.1117/12.2003496>
- [19] T. G. Etoh, D. Poggemann, G. Kreider, H. Mutoh, A. J. Theuwissen, A. Ruckelshausen, Y. Kondo, H. Maruno, K. Takubo, H. Soya *et al.*, “An image sensor which captures 100 consecutive frames at 1000000 frames/s,” *IEEE Transactions on electron devices*, vol. 50, no. 1, pp. 144–151, 2003.
- [20] B. Wolfs, J. Bogaerts, and G. Meynants, “3.5  $\mu\text{m}$  global shutter pixel with transistor sharing and correlated double sampling,” in *2013 International Image Sensor Workshop, Snowbird, Utah*, 2013.
- [21] J. Aoki, Y. Takemoto, K. Kobayashi, N. Sakaguchi, M. Tsukimura, N. Takazawa, H. Kato, T. Kondo, H. Saito, Y. Gomi *et al.*, “A rolling-shutter distortion-free 3d stacked image sensor with- 160db parasitic light sensitivity in-pixel storage node,” in *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2013 IEEE International*. IEEE, 2013, pp. 482–483.
- [22] T. Kondo, N. Takazawa, Y. Takemoto, M. Tsukimura, H. Saito, H. Kato, J. Aoki, K. Kobayashi, S. Suzuki, Y. Gomi, S. Matsuda, and Y. Tadaki, “3-d-stacked 16-mpixel global shutter cmos image sensor using reliable in-pixel four million microbump interconnections with 7.6-  $\mu\text{m}$  textm pitch,” *IEEE Transactions on Electron Devices*, vol. 63, no. 1, pp. 128–137, Jan 2016.
- [23] G. Meynants, J. Bogaerts, X. Wang, and G. Vanhorebeel, “Backside illuminated global shutter cmos image sensors,” in *Int. Image Sensor Workshop, Hokkaido, Japan*, 2011.
- [24] O. SEMICONDUCTOR, “Lupa1300-2 : High speed cmos image sensor,” 2014.

# ANNEXE 1 : Logiciel de calcul

L'analyse des sections transversales des circuits électroniques n'est pas courante, donc, il n'existe pas sur le marché des outils qui puissent calculer les dimensions, les capacités parasites des ces structures. Le logiciel présenté dans ce travail a facilité cet type d'analyse.

## Interface

Ce logiciel a été conçu sur matlab en utilisant l'outil guide. L'interface graphique est présentée sur l'image 4.40. Le bouton "CROSS SECTION" est utilisé pour sélectionner une image

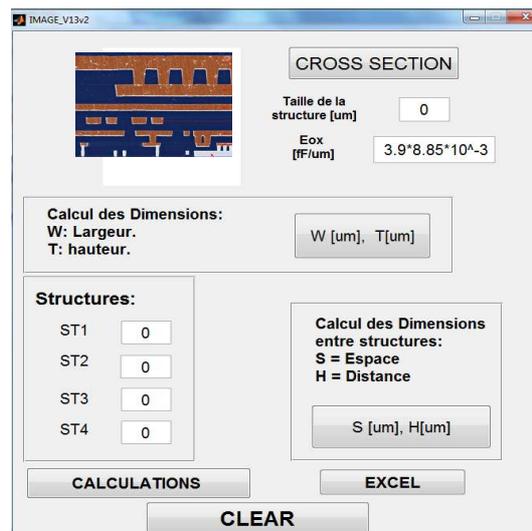


FIGURE 4.40 – Logiciel de calcul des dimensions et paramètres RC

d'une section transversale qui peut être dans différents formats (jpg, png, bitmap). Ensuite, il faut ajouter la taille de la structure en "um". Le calcul sera présenté dans les paragraphes suivants.

## Calcul

La figure 4.41 nous montre le diagramme de fonctionnement de ce logiciel. D'abord, le choix de l'image de la section transversale. Ensuite, le calcul des dimensions de ces structures. Puis, le calcul des capacités et résistances. Pour le calcul des structures, nous sélectionnons d'abord le bouton "W [um], T [um]," ceci permet de calculer les dimensions de largeur et hauteur

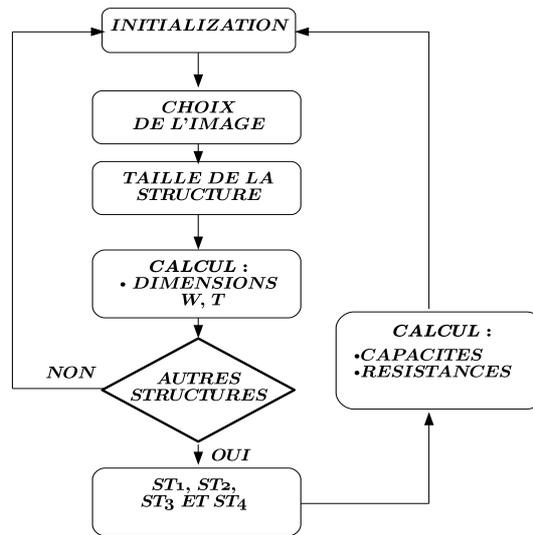


FIGURE 4.41 – Logiciel de calcul des dimensions et parametres RC.

de ces structures. Pour faire ces calculs, nous allons prendre une image (figure4.42(a)). Cette image passe par différents filtres numériques qui peuvent reconnaître les contours des structures de la section transversale (figure4.42(b)). Puis, l'image de la section transversale original est superposée avec les dimensions des structures calculées dans une image finale (figure4.42(c)).

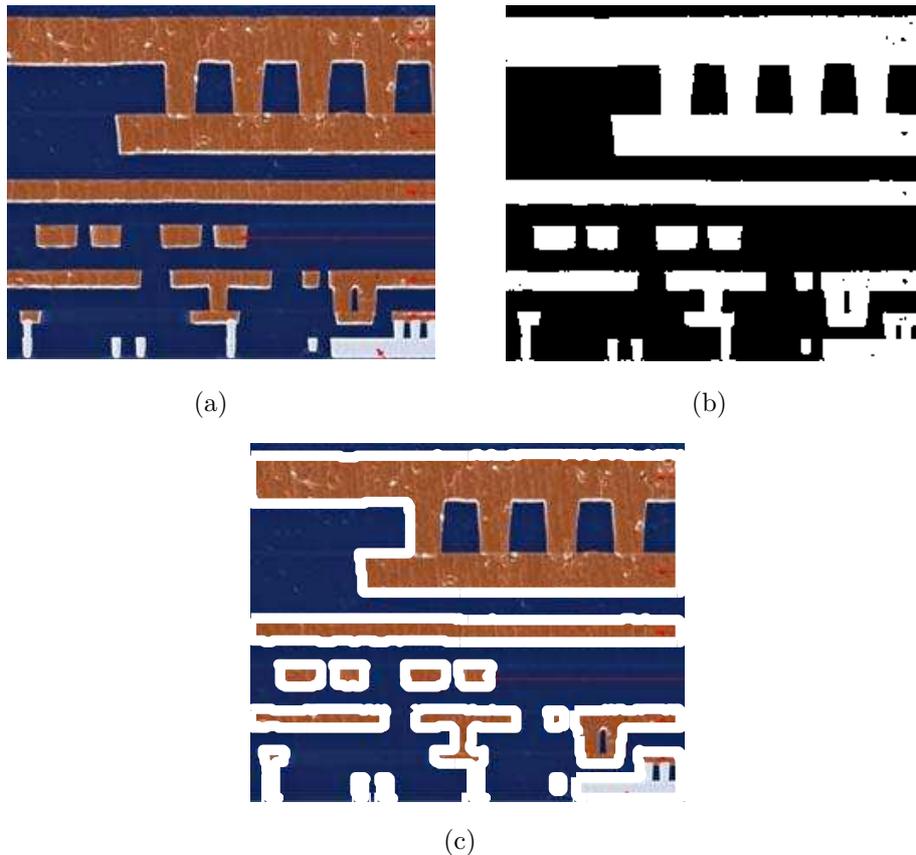


FIGURE 4.42 – Images traitées sur le logiciel : (a) Une image choisie d'une section transversale d'un circuit CMOS ; (b) L'image choisie est traitée avec un filtre numérique pour calculer leurs dimensions des structures ; (c) L'image originale est interposée avec les dimensions des structures de l'image traitée.

Les calculs de dimensions dépendent de la quantité des pixels qu'a l'image, en général l'erreur moyenne est de 5%. Les calculs sont faits avec différentes equations pour le calcul des résistances et capacités[1–3]. Ces calculs sont rapides et sont proches de 5% des valeurs réels[3]. La figure4.43 montre les autres options de calcul des résistances et capacités. RWM<sup>o</sup>[4] est une méthode qui combine 2 facteurs : vitesse de calcul et précision.

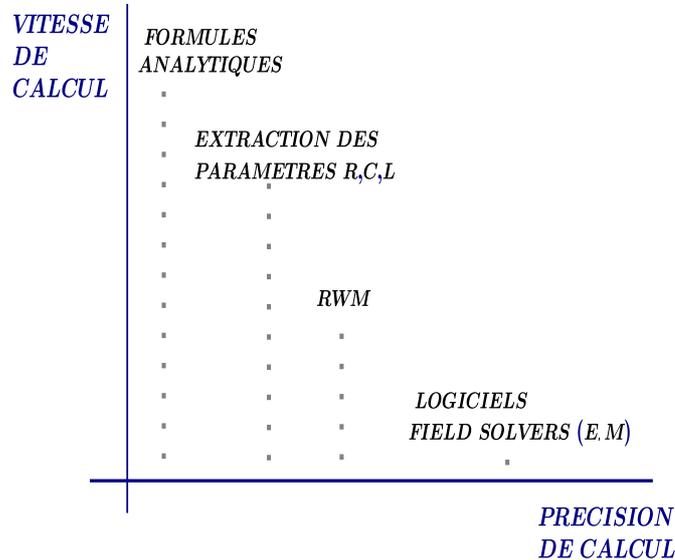


FIGURE 4.43 – Méthodes de calcul des capacités et résistances.

## Résultats

Nous allons prendre un exemple pour comprendre le travail du logiciel. La structure de la figure4.44(a) montre une interconnexion en cuivre entre de 2 substrats type P. Les distances et

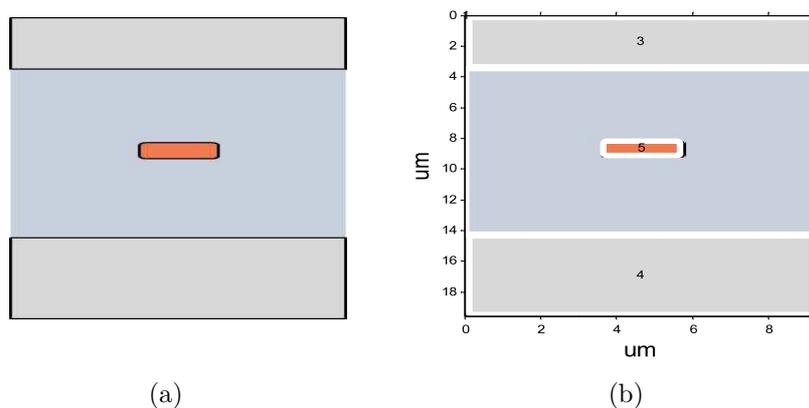


FIGURE 4.44 – Images traitées sur le logiciel : (a) Une image choisie d'une section transversale d'un circuit CMOS ; (b) L'image choisie est traitée avec un filtre numérique pour calculer les dimensions des structures.

dimensions de cette structure sont montrées dans le tableau4.9. La notation :

<sup>o</sup>. RANDOM WALK METHOD.

- H1 et H2, désignent le hauteur entre l'interconnexion de cuivre et le substrat 1 et le substrat 2 respectivement.
- W, désigne le largeur de l'interconnexion.
- T, représente l'épaisseur de l'interconnexion.
- C, représente la capacité exprimé en fF/um.

La figure 4.44(b) montre la superposition des structures calculé avec l'image originale avec un nombre donné à l'interconnexion, et substrats de la structure<sup>p</sup>.

Calcul	H1 [um]	H2 [um]	W [um]	T [um]	C [fF/um]
A la main	6	6	2.4	0.86	0.0276
Avec logiciel	5.67	5.28	2.21	0.99	0.0279

Tableau 4.9 – Les valeurs calculées à la main et en employant le logiciel.

## Bibliographie

- [1] S.-C. Wong, G.-Y. Lee, and D.-J. Ma, “Modeling of interconnect capacitance, delay, and crosstalk in vlsi,” *Semiconductor Manufacturing, IEEE Transactions on*, vol. 13, no. 1, pp. 108 –111, feb 2000.
- [2] T. Sakurai and K. Tamaru, “Simple formulas for two- and three-dimensional capacitances,” *Electron Devices, IEEE Transactions on*, vol. 30, no. 2, pp. 183 – 185, feb 1983.
- [3] F. Caignet, “Mesure et modélisation prédictive des phénomènes parasites liés aux interconnexions dans les technologies cmos,” Ph.D. dissertation, Institut national des sciences appliquées de Toulouse, 1999.
- [4] Y. L. Coz and R. Iverson, “A stochastic algorithm for high speed capacitance extraction in integrated circuits,” *Solid-State Electronics*, vol. 35, no. 7, pp. 1005 – 1012, 1992.

---

p. Chaque structure est numéroté.

## ANNEXE 2 : Calcul des capacités et résistances

Dans cette partie, nous allons définir les équations des capacités et résistances utilisées dans ce travail. La figure 4.45 montre les capacités fringes et verticales bidimensionnelles dans la technologie de tezzaron.

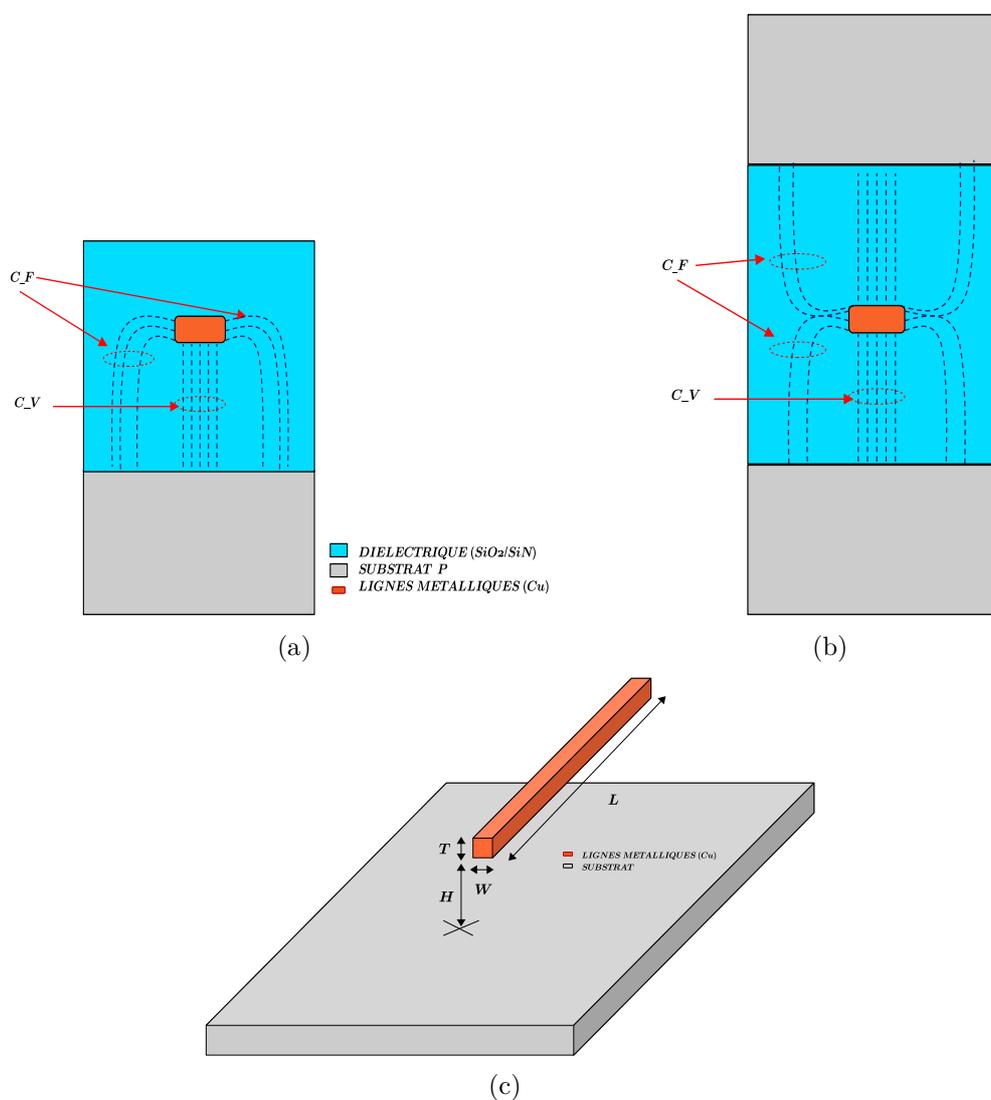


FIGURE 4.45 – Capacités fringes et verticale dans la technologie d'assemblage de Tezzaron : (a) Capacité frange et capacité verticale dans un wafer ; (b) Capacité frange et capacité verticale dans 2 wafers ; (c) Ligne métallique d'interconnexion et ses dimensions.

## Capacités

Pour ce travail la définition des capacités parasites sont en fonction aux lignes de champ électrique[1], comme montré dans les figures 4.45(a) et (b).

- *Capacité verticale*, les lignes de champ électrique sortent d'une manière verticale de l'interconnexion à un plan de masse ou dans une autre interconnexion.
- *Capacité frange*, les lignes de champ électrique sortent d'une manière pas verticale de l'interconnexion à un plan de masse ou dans une autre interconnexion.

Les équations des capacités verticales et capacités fringes utilisent les notations des dimensions suivantes (voir figure 4.45(c)) :

W, largeur de l'interconnexion ou du canal du transistor.

L, longueur de l'interconnexion ou du canal du transistor.

H, hauteur par rapport au substrat.

T, épaisseur de l'interconnexion.

Nous allons montrer 3 définitions des équations des capacités fringes et capacités verticales. Ces capacités sont calculées dans différents intervalles de dimensions[2–4] et ils seront cités.

### Équations définis par Sakurai

Les équations définis par Sakurai marchent dans les intervalles suivants :  $0.3 < W/H < 30$  et  $0.3 < T/H < 30$ . Ces équations sont valables pour les différents calculs des capacités entre une ligne et un substrat[2].

La capacité verticale défini par Sakurai (figure 4.45(a)) :

$$C_V = \epsilon_{ox} 1.15 \frac{W}{H} \quad (4.16)$$

L'équation de la capacité frange par Sakurai[2] :

$$C_F = \epsilon_{ox} 2.80 \left(\frac{T}{H}\right)^{0.222} \quad (4.17)$$

La capacité totale :

$$C_T = C_V + 2C_F \quad (4.18)$$

Dans le cas de 2 substrats (figure 4.45(b)), le terme  $C_T$  est multiplié par 2.

### Équations définis par Wong

La figure 4.46 montre 2 interconnexions proches, les équations de Wong[3] sont très utiles dans ces cas. La variable S qui apparaît est la distance entre 2 interconnexions.

Les équations définis par Wong pour une ligne parallèle à un plan de masse sont valables dans les intervalles suivants :  $0.15\mu\text{m} < T < 1.2\mu\text{m}$  ;  $0.16\mu\text{m} < H < 2.71\mu\text{m}$  ;  $0.16\mu\text{m} < S < 10\mu\text{m}$  et  $0.16\mu\text{m} < W < 2\mu\text{m}$ .

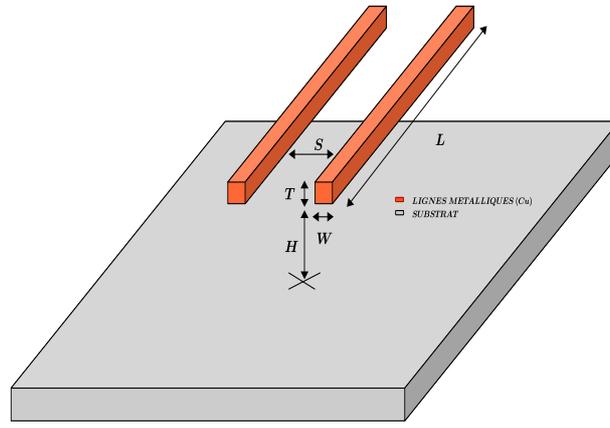


FIGURE 4.46 – Dimensions entre 2 lignes métalliques.

L'équation de la capacité frange et verticale avec 1 substrat par Wong[3] est défini par :

$$C\_AF = \epsilon_{ox} \left[ \frac{W}{H} + 2.217 \left( \frac{S}{S + 0.702H} \right)^{3.193} + (1.171 \left( \frac{S}{S + 1.510H} \right)^{0.7642} \left( \frac{T}{T + 4.532H} \right)^{0.1204} \right] \quad (4.19)$$

L'équation de la capacité de couplage défini par Wong avec 1 substrat est :

$$C\_COUPLE = \epsilon_{ox} \left[ 1.144 \frac{T}{S} \left( \frac{H}{H + 2.059S} \right)^{0.0944} + 0.7428 \left( \frac{W}{W + 1.592S} \right)^{1.144} + (1.158 \left( \frac{W}{W + 1.874S} \right)^{0.1612} \left( \frac{H}{H + 0.9801S} \right)^{1.179} \right] \quad (4.20)$$

Les équations définies par Wong pour 2 lignes et 2 plans de masse marchent dans les intervalles suivants :  $0.16 < H1 < 2.71$  et  $0.16 < H2 < 2.71$ .

L'équation de la capacité frange et verticale avec 2 substrats par Wong[3] est défini par :

$$C\_AF = \epsilon_{ox} \left[ \frac{W1}{H1} + \frac{W2}{H2} + (2.04 \left( \frac{T}{T + 4.5311H1} \right)^{0.071} \left( \frac{S}{S + 0.5355H1} \right)^{1.773} + (2.04 \left( \frac{T}{T + 4.5311H2} \right)^{0.071} \left( \frac{S}{S + 0.5355H2} \right)^{1.773} \right] \quad (4.21)$$

L'équation de la capacité de couplage défini par Wong avec 2 substrats est :

$$C\_COUPLE = \epsilon_{ox} \left[ 1.4116 \frac{T}{S} \left( e^{-\frac{2S}{S+8.014H1}} - e^{-\frac{2S}{S+8.014H2}} \right) + \left[ 1.1852 \left( \frac{W}{W + 0.3078S} \right)^{0.25724} \cdot \left( \left( \frac{H1}{H1 + 8.961S} \right)^{0.7571} + \left( \frac{H2}{H2 + 8.961S} \right)^{0.7571} \right) \left( e^{-\frac{2S}{S+3(H1+H2)}} \right) \right] \right] \quad (4.22)$$

### Équations définis par Delorme

Les équations définis par Delorme[4] fonctionnent dans les intervalles suivants :  $0.02 \leq W/H \leq 5.12$  et  $0.02 \leq T/H \leq 5.12$ .

Les equations des capacités verticales et fringes définies par Delorme sont :

$$C_V = \epsilon_{ox} 1.13 \frac{W}{H} \quad (4.23)$$

$$C_F = \epsilon_{ox} [1.44 \left(\frac{W}{H}\right)^{0.11} + 1.47 \left(\frac{T}{H}\right)^{0.42}] \quad (4.24)$$

## Résistances

La figure 4.47 montre une ligne d'interconnexion avec ses dimensions extraites d'un layout d'un circuit ; Pour ce travail, les résistances dépendent fortement des leurs dimensions et du matériau de construction de l'interconnexion[1].

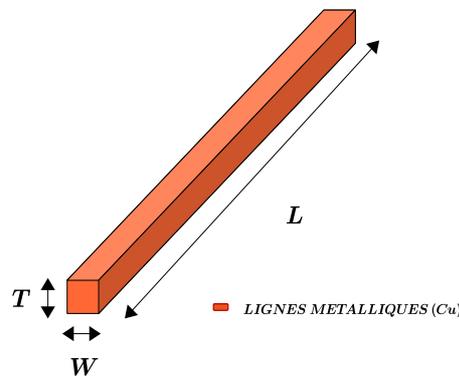


FIGURE 4.47 – Dimensions d'une résistance.

Le calcul de la résistance est défini par l'équation suivante :

$$R = \rho \left[ \frac{L}{WT} \right] \quad (4.25)$$

La variable  $\rho$  est la résistivité du matériau de l'interconnexion. Dans le tableau 4.10 quelques valeurs utilisées des résistivités utilisées dans ce travail sont montrées[5].

Matériau	Résistivité [ $10^{-8} \Omega.m$ ]
Argent	1.5
Cuivre	1.7
Or	2.4
Aluminium	2.8
Tungstène	5.6
Platine	11

Tableau 4.10 – Valeurs de la résistivité des différents matériaux.

## Bibliographie

- [1] D. Clein, *CMOS IC LAYOUT Concepts, Methodologies, and Tools*, Newnes, Ed., 2000.

- 
- [2] T. Sakurai and K. Tamaru, “Simple formulas for two- and three-dimensional capacitances,” *Electron Devices, IEEE Transactions on*, vol. 30, no. 2, pp. 183 – 185, feb 1983.
- [3] S.-C. Wong, G.-Y. Lee, and D.-J. Ma, “Modeling of interconnect capacitance, delay, and crosstalk in vlsi,” *Semiconductor Manufacturing, IEEE Transactions on*, vol. 13, no. 1, pp. 108 –111, feb 2000.
- [4] F. Caignet, “Mesure et modélisation prédictive des phénomènes parasites liés aux interconnexions dans les technologies cmos,” Ph.D. dissertation, Institut national des sciences appliquées de Toulouse, 1999.
- [5] S. Vézina, “Chapitre 3 – la résistivité,” [http ://profs.cmaisonneuve.qc.ca/svezina](http://profs.cmaisonneuve.qc.ca/svezina).

Cette page est laissée blanche intentionnellement

# ANNEXE 3 : Impact dans l'image dû aux mouvements des objets

## Impact dans l'image dû aux mouvements des objets.

Durant l'acquisition de la scène, la lecture des valeurs et le mouvement des objets provoquent un effet (ou impact) dans l'image.

Pour comprendre cet effet, tel qu'il était décrit, les signaux de commande dans un imageur sont envoyés d'une manière séquentielle aux lignes de la matrice, donc, chaque ligne commence à faire l'intégration des scènes à différents temps. Si les objets des scènes bougent, chaque ligne de la matrice intègre une image différente.

Pour illustrer cet effet, la figure4.48 montre une voiture de course de formule 1 à un instant donné [1] (figure4.48(a)). Ensuite, avec des logiciels de traitement<sup>q</sup>, nous modélisons les effets produits dûs au mouvement de la voiture et la lecture "rolling shutter" dans l'image. Le résultat visuel (décalage entre chaque ligne) est montré dans la figure4.48(b).

A partir de la figure4.48(c) :

- $V_{OC}$  : Vitesse relative entre l'objet et la camera.
- $\theta$  : Angle d'inclinaison dû à la vitesse relative de l'objet et la camera ainsi que à la nature séquentielle de l'architecture Rolling shutter.
- $D_{max}$  : Distance maximale de l'objet.
- $D_{maxp}$  : Distance maximale de l'objet projeté sur l'imageur.
- $T$  : Temps de l'horloge.

Pour quantifier cet impact en utilisant la lecture rolling shutter, nous allons formaliser les effets par les équations [2] suivantes :

$$\theta = \arctan(V_{OC}.T_L) \quad (4.26)$$

$$D_{max} = (V_{OC}.T_L.(N - 1)) \quad (4.27)$$

Pour avoir un ordre de grandeur de cet effet, nous pouvons faire le calcul suivant par rapport à l'image de la figure4.48(b) :

- Taille de la Matrice : 512 x 512.
- $F = 10\text{Mhz}$ ,  $T = 0.1\mu\text{s}$
- $T_L = 512 \times T = 51.2\mu\text{s}$ .

---

q. Logiciel fait pour modéliser l'effet de la lecture rolling shutter dans les images.



(a)



(b)



(c)

FIGURE 4.48 – Impact du mouvement des objets sur l'image[1] (a) Image d'une voiture formula 1 ; (b) Image d'une voiture formula 1 avec l'effet rolling shutter ; (c) Image traitée avec l'effet rolling shutter.

$$- T_{LM} = 512 \times 512 \times T = 26.21\text{ms.}$$

L'objet a une vitesse relative  $V_{OC}$  de 100km/h (27m/s) dans un premier instant. Dans un temps  $T_L = 51.2\mu\text{s}$ , le calcul de la distance parcourue de l'objet est  $D=1.4\text{mm}$ . Ce calcul correspond à la scène dans l'instant 51.2us. Un deuxième calcul dans un temps  $TDI = 26.21\text{ms}$  (temps d'intégration) donne une distance parcourue de  $D_{max} = 0.707\text{m}$  (707mm). Les valeurs montrent que l'image finale est composée par des images de scènes différentes et que l'écart

entre la première et la dernière image est de 0.7m (706mm). L'angle calculé à partir de ces valeurs est  $\theta = 35^\circ$ . Le parcours de la voiture en prenant en compte une lecture rolling shutter déforme l'image de la photographie. Cette déformation est due aux temps d'intégration décalés et est appelée "inclinaison"<sup>r</sup>.

L'*effet du mouvement* est visible dans l'image finale, donc, la lecture rolling shutter ne peut pas être utilisée pour les capteurs d'image rapides, parce que nous nous intéressons à capturer les images sans déformation (une seule intégration ou scène). L'option optimale est l'utilisation de la lecture global shutter.

## Bibliographie

- [1] K. Vermeulen, "2010 formula 1 belgian grand prix (spa-francorchamps)," <http://www.flickr.com/photos/raceshots/4954238946/in/photostream/>.
- [2] B. Heflin, W. Scheirer, and T. Boult, "Correcting rolling-shutter distortion of cmos sensors using facial feature detection," pp. 1–6, sept. 2010.