



THÈSE

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par :

Institut Supérieur de l'Aéronautique et de l'Espace

Présentée et soutenue par :

Ahmad AL YOUSSEF

le mercredi 25 octobre 2017

Titre :

Étude par modélisation des événements singuliers (SET/SEU/SEL) induits par l'environnement radiatif dans les composants électroniques

École doctorale et discipline ou spécialité :

ED GEET : Génie électrique

Unité de recherche :

Équipe d'accueil ISAE-ONERA OLIMPES

Directeur(s) de Thèse :

M. Guillaume HUBERT (directeur de thèse)

M. Laurent ARTOLA (co-directeur de thèse)

Jury :

M. Patrick AUSTIN Professeur Université Paul Sabatier - Président

M. Laurent ARTOLA Ingénieur de recherche ONERA - Co-directeur de thèse

Mme Karine COULIE Maître de Conférences Université Aix-Marseille - Rapporteur

M. Marc GAILLARDIN Ingénieur-chercheur CEA DAM

M. Guillaume HUBERT Ingénieur de recherche ONERA - Directeur de thèse

M. Jean-Luc LERAY Ingénieur-chercheur CEA DAM - Rapporteur

Remerciements

Je tiens tout d'abord à remercier le Co-directeur de cette thèse, M. Laurent Artola, pour m'avoir fait confiance malgré les connaissances plutôt légères que j'avais en septembre 2014 sur les effets de radiations, ce dont je lui suis très reconnaissant.

“Laurent, on a passé 3 ans ensemble, trois ans ne sont pas suffisants pour terminer tout ce qu'on a envisagé de faire sur l'étude Latchup. Je suis fier de te connaître et fier de travailler avec toi”.

Ensuite, mes remerciements vont également au directeur de cette thèse, M. Guillaume Hubert, au Co-directeur de cette thèse, M. Samuel Ducret (de Sofradir) pour tous les travaux menés ensemble et pour m'avoir guidé et conseillé durant cette thèse.

Je tiens à remercier M. Jean Luc Leray, Mme. Karine Coullié, qui ont accepté d'être rapporteurs de ma thèse, ainsi que M. Marc Gaillardin et M. Patrick Austin qui ont accepté d'être examinateurs de ma thèse.

Je remercie également M. Jean-François Roussel le directeur de notre département DPHY et Mme. Sophie Duzellier, chef de notre unité de recherche pour m'avoir accueilli au sein du DPHY, ainsi que tous les administratifs, plus particulièrement Christine Pujol, la secrétaire du DPHY et tous les membres de notre unité et de notre laboratoire. Vous êtes ma deuxième famille.

Je tiens à remercier tous mes collègues au laboratoire ONERA, et très particulièrement les membres de notre équipe de football : Gaël, Simon, Thierry N., Audes, Damien, Rémi B, Nicolas, Thomas.

Finalement, je réserve un grand merci à ma petite Zeina, que grâce à son support, j'ai terminé cette thèse dans le temps, mes parents Abdel Hamid et Hanaa, mes frères, et mes sœurs pour leur soutien constant dans ce long durée d'études en France.

Ahmad Al Youssef

Table de matière

Introduction Générale	9
Chapitre 1 : Etude bibliographique et présentations des outils de simulation	13
1.1 Présentation des composants utilisés dans les détecteurs d’imageur Infrarouge de Sofradir	15
1.1.1 Fonctionnement général du détecteur Infrarouge Sofradir	15
1.1.2 Fonctionnement général du circuit de lecture dans un détecteur Infrarouge Sofradir	17
1.1.3 Structure de l'inverseur CMOS.....	18
1.2 Présentation des environnements radiatifs naturels	19
1.2.1 Présentation de l’environnement radiatif spatial.....	19
1.2.1.1 Le vent et les éruptions solaires	20
1.2.1.2 Les ceintures de radiation.....	21
1.2.1.3 Le rayonnement cosmique	22
1.2.2 L’environnement radiatif terrestre	22
1.3 Interaction particule radiatif-matière	25
1.3.1 Types d’interaction ion/proton-matière.....	25
1.3.2 Notions de Range et de section efficace.....	27
1.4 Présentation des effets singuliers sur les composants électroniques	28
1.4.1 Mécanismes générales du déclenchement d’un évènement singulier	28
1.4.2 Effet de la température sur la sensibilité SET/SEU	32
1.5 Etat de l’art du phénomène Latchup	33
1.5.1 Définition – Contexte.....	33
1.5.2 Single Event Latchup (SEL)	35

1.5.3 Déclenchement du Latchup par stress électrique	36
1.5.4 Effets Roadmap/design sur la sensibilité SEL.....	37
1.5.5 Techniques classiques de durcissement Latchup par design.....	39
1.5.6 Effets de la température sur le déclenchement du Latchup	42
1.5.6.1 Déclenchement du Latchup à basses températures.....	45
1.5.6.2 Principe du régime de "Freeze-out"	49
1.6 Présentation des outils de simulation utilisés	53
1.6.1 Outil de simulation TCAD Sentaurus.....	53
1.6.2 Outil de prédiction SEE - MUSCA SEP3	56
1.7 Conclusion.....	58
Chapitre 2 : Analyse des données expérimentales de la sensibilité SEE à basses températures de circuit de lecture de détecteur infrarouge.....	59
2.1 Description de la campagne SEE d'irradiation d'ion lourds.....	59
2.1.1 Présentation des circuits de lecture testés.....	59
2.1.2 Présentation du setup d'irradiation d'ions lourds	60
2.2 Mesures SEE induits par ions lourds sur deux ROICs.....	62
2.2.1 Impact des températures cryogéniques sur la sensibilité de SETs	63
2.2.2 Mesures de SETs courts sous irradiation des ions lourds à 60K	65
2.2.3 Mesures de SETs longs sous irradiation des ions lourds à 60K.....	66
2.3 Analyse des tendances de sensibilité SET	68
2.4 Conclusion.....	72
Chapitre 3: Analyse par simulation TCAD du déclenchement du Latchup à basses températures.....	74
3.1 Sélections des modèles physiques à basses températures	75
3.1.1 Modèles de transport de charges en fonction de la température des porteurs	75

3.1.2 Validation du modèle physique de simulation	78
3.2 Analyse par simulation TCAD du déclenchement du Latchup à basses températures.....	79
3.2.1 Structure académique utilisée dans la simulation TCAD	80
3.2.2 Simulations TCAD à basses températures	81
3.2.2.1 Setup de simulation TCAD.....	81
3.2.2.2 Caractérisation du Latchup par stress électrique	84
3.2.2.3 Caractérisation du Latchup induit par le passage d'un ion lourd	88
3.2.3 Analyse physique du déclenchement du Latchup à basses températures	89
3.2.3.1 La mobilité des porteurs à basses températures.....	93
3.3 Effets des paramètres design sur la sensibilité Latchup	95
3.4 Conclusion.....	98
Chapitre 4: Analyse par simulation TCAD du déclenchement du Latchup à basses températures dans la technologie Sofradir	100
4.1 Calibration de la structure Sofradir par simulation TCAD.....	101
4.1.1 Définition du modèle Sofradir	101
4.1.2 Résultats de calibration	104
4.2 Etude par simulation TCAD de la sensibilité au Latchup en fonction de la température	107
4.2.1 Caractérisation du Latchup par stress électrique	108
4.2.2 Caractérisation du Latchup induit par le passage d'un ion lourd	109
4.3 Effets design sur la sensibilité au Latchup de la technologie Sofradir.....	111
4.4 Effets du dopage sur la sensibilité au Latchup de la technologie Sofradir	113
4.5 Analyse du déclenchement/immunité Latchup pour la technologie Sofradir.....	117
4.6 Validation du choix d'une solution de durcissement Latchup par optimisation <i>process</i>	124
4.7 Conclusion.....	126

Chapitre 5 : Nouvelle approche de modélisation du phénomène Latchup par simulation électrique	128
5.1 Modélisation du Latchup par simulations TCAD et SPICE.....	129
5.1.1 Description de l’approche de modélisation du phénomène Latchup existante.....	129
5.1.2 Description de la nouvelle approche de modélisation du phénomène Latchup	131
5.2 Application de cette approche sur une étude de la sensibilité Latchup par l’outil de prédiction MUSCA SEP3	136
5.2.1 Présentation du setup de simulation de l’outil MUSCA SEP3.....	136
5.2.2 Exemple de l'effet d'un paramètre design (largeur du SAC) sur la sensibilité Latchup sous ions lourds modéliser par MUSCA SEP3	137
5.3 Conclusion.....	141
Conclusion générale et perspectives	142
Bibliographie	146
Résumé de la thèse en français	152
Résumé de la thèse en anglais	153
Annexes	154

Introduction Générale

Les systèmes électroniques embarqués en mission spatiale sont soumis à des environnements radiatifs naturels (ERN), qui peuvent être d'origine cosmique ou solaire, tels que le vent solaire et les éruptions solaires. Ces environnements naturels sont chargés en particules énergétiques (protons, électrons, ions lourds, etc) qui peuvent conduire à des dysfonctionnements. En effet, lorsqu'une particule radiative entre en collision avec les matériaux (semi-conducteurs, métaux...) qui constituent les composants électroniques, un transfert d'énergie se fait par ionisation et crée une colonne de paires électron-trou le long du trajet de la particule dans le matériau. Ce sont ces charges libres qui peuvent conduire à des pannes transitoires (SET), ou permanentes (SEU) et dans certains cas sont destructives (type Latchup, SEL) dans les dispositifs embarqués. L'effet d'une seule particule est identifié comme un événement singulier (SEE). L'essor de l'activité spatiale dans les années 1980 a par conséquent conduit les acteurs du marché à réaliser de nombreuses études sur les SEE et plus particulièrement sur les SEU, dont une des conséquences directes a été la mise en place du développement de solutions de durcissement technologique et système. Au cours des années 1980, le satellite TDRS-1 (Tracking and Data Relay Satellite-1) a enregistré des anomalies de fonctionnement telles que des changements d'états de cellules mémoires. En parallèle des aléas logiques induits par l'environnement radiatif, une autre forme de dysfonctionnement particulièrement critique a été constatée, le phénomène de Latchup ou SEL. Le phénomène de Latchup est inhérent à la technologie CMOS. En effet, une structure parasite constituée d'un thyristor PNPN parasite est liée au positionnement des différents implants N et P dans les composants CMOS peut conduire à la destruction du composant si le phénomène de Latchup n'est pas détecté assez tôt afin de couper l'alimentation du circuit. Les contraintes imposées par l'intégration technologique poussent les fabricants micro-électroniques à prendre en considération la vulnérabilité de leurs composants vis-à-vis du Latchup tout en considérant les phénomènes non destructifs tels que la corruption de données (SEU/MBU).

Une autre contrainte de l'environnement spatial est la gamme de température qui est extrêmement critique. Les événements singuliers dans la gamme des moyennes et hautes températures (200K à 500K) ont été largement étudiés au cours des trente dernières années. En revanche, très peu d'études ont été effectuées dans la gamme des températures cryogéniques. Ces températures ne sont certes pas communes mais correspondent aux gammes de températures de fonctionnement des circuits/détecteurs infrarouges et proches

infrarouges. Dans les années 1990, Deferm *et al.* [DEF-1990] ont montré la présence d'un pic de courant de maintien du Latchup à température cryogénique dans une technologie 180 nm. Un peu plus tard, dans l'année 2010, il a été démontré que des événements singuliers et plus particulièrement des événements de type SEL pouvaient être déclenchés à une gamme de température basse pouvant aller dans certain cas jusqu'à 18K [Mar-2010]. Ces observations de SEL ont été obtenues lors d'un essai expérimental sous faisceau d'ions lourds réalisé par Marshall *et al.* [Mar-2010]. Lors de ces travaux, et pour la première fois, il a été démontré la possibilité du déclenchement du Latchup à très basses températures (<20K) pour une technologie de 130 nm. L'un des effets évoqués comme la cause principale de l'augmentation de la sensibilité au Latchup à basses températures est le phénomène SLII (*Shallow Level Impact Ionization*). Cependant, ces travaux n'ont pas investigué en détails les mécanismes de ce déclenchement du phénomène de Latchup à très basses températures. Afin de pouvoir anticiper l'occurrence de tels effets dans les circuits refroidis et aider les équipes de design, il a été nécessaire de mettre en place une étude théorique du déclenchement du Latchup à basses températures. C'est dans ce contexte que ces travaux de thèse ont été lancés avec le soutien de Sofradir qui développe des détecteurs refroidis à des températures proches de 60K. Un détecteur Sofradir est composée d'un circuit de détection en matériaux AgCdTe et d'un circuit de lecture en technologie CMOS. Ces travaux de thèse ont consisté à évaluer la sensibilité SEE seulement du circuit de lecture à partir d'études théoriques et expérimentales. Dans un premier temps, une analyse des données expérimentales SEE obtenues sur deux designs de circuit de lecture lors d'une campagne de mesure à froid sous des faisceaux d'ions lourds sera réalisée. Dans un second temps, cette thèse s'est focalisée sur l'évaluation et l'analyse par simulation (TCAD, SPICE, MUSCA SEP3) de la sensibilité de structure CMOS au SEL induit en environnement spatial à très basses températures.

Ce manuscrit de thèse a été structuré en cinq chapitres. Le premier chapitre présente une étude bibliographique qui décrit le contexte de cette étude. Les composants envisagés d'être étudiés vis-à-vis des SEE vont être présentés dans un premier temps. Ensuite il va présenter l'ensemble des mécanismes physiques et électriques depuis l'interaction d'une particule radiative avec le composant jusqu'à l'occurrence d'un événement singulier. Par la suite, un état de l'art du phénomène Latchup est proposé, et plus particulièrement les travaux relatifs au déclenchement du Latchup à basses températures. Enfin, les outils de simulations TCAD et MUSCA SEP3 utilisés lors de cette thèse et permettant de simuler le comportement physique et électrique seront présentés.

Le second chapitre de cette thèse va présenter une analyse des données expérimentales de la sensibilité SEE à basses températures de deux circuits de lecture de détecteur infrarouge développé par Sofradir. Des courbes des sections efficaces SET à basses températures seront

présentées ainsi que des tendances de sensibilité SET obtenues par simulation MUSCA SEP3 afin d'analyser les résultats expérimentaux. Lors de cette campagne, il a été démontré la robustesse du design et de la technologie utilisée par Sofradir vis à vis du phénomène de Latchup. Les travaux qui ont suivis vont permettre d'analyser les raisons de cette immunité et les mécanismes physiques sous-jacents.

Le troisième chapitre présentera une étude par simulation TCAD (Technology Computer Aided Design) sur la sensibilité Latchup pour le cas d'une structure dite académique et identifiée comme sensible au Latchup. Cette étude va permettre de développer un modèle physique de simulation pertinent pour l'étude des mécanismes physiques spécifiques à basses températures. Pour cela, une sélection dans la littérature des modèles des paramètres physiques est faite. Cette sélection de modèles va prendre en compte l'effet de la température sur la mobilité, l'ionisation de porteurs, la dimension de la bande interdite, la génération-recombinaison de porteurs libres et le modèle de transfert de charge. Ce modèle généré a été validé en le comparant avec le modèle de simulation standard (Drift-Diffusion) et avec des données expérimentales obtenues dans la littérature et effectuées à basses températures. L'étude de la sensibilité Latchup est présentée avec l'évolution des caractéristiques clés du Latchup en fonction de la température. Enfin, les effets du design ont été étudiés afin de confirmer la robustesse de l'approche de simulation et confronter les résultats avec les tendances généralement observées.

Le quatrième chapitre présentera l'étude de la sensibilité Latchup spécifique de la technologie Sofradir. Dans un premier temps, une phase de calibration de la technologie Sofradir modélisée est réalisée afin de représenter de manière pertinente cette technologie par simulation TCAD. L'étude de la sensibilité Latchup en fonction de la température est alors présentée en utilisant le modèle de simulation développé dans le chapitre 3. Les effets liés aux profils de dopage et aux paramètres de design sont présentés et analysés afin de déterminer les raisons de l'immunité de la technologie Sofradir au Latchup dans la gamme des basses températures. Ensuite, afin d'étendre cette robustesse à une gamme de température plus large, des solutions de durcissement sont présentées et évaluées selon leur impact sur les performances électriques du circuit.

Enfin, le cinquième chapitre présentera une nouvelle approche de modélisation du phénomène Latchup afin de pouvoir étendre la simulation à une analyse plus globale. Cette nouvelle approche de simulation repose sur une modélisation par modèle compact et peut être couplée avec l'outil de prédiction Monte Carlo MUSCA SEP3 développé à l'ONERA depuis 2007. Cette dernière partie a permis de proposer des courbes de sections efficaces SEL pour différents designs de structures CMOS. Une comparaison de ces courbes avec celles obtenues par les

approches de modélisations Latchup standards a permis de mettre en avant le gain et les avantages de cette nouvelle approche de modélisation par modèle compact dédiée au Latchup. Des tendances de sections efficaces SEL en fonction de certains paramètres de design sont présentées et ont permis de valider cette approche de modélisation globale du Latchup.

Chapitre 1 : Etude bibliographique et présentations des outils de simulation

Les environnements radiatifs naturels peuvent avoir de sérieux effets sur le fonctionnement des systèmes électroniques. Ces environnements sont constitués de particules d'une large gamme d'énergie. Cependant, certaines particules ont des énergies telles qu'elles peuvent traverser le *packaging* d'un composant électronique et entraîner une grande variété d'effets qui peuvent aller jusqu'à la destruction du composant. Il est important de comprendre et de caractériser ces environnements radiatifs naturels et leurs effets associés. Les objectifs sous-jacents sont duals : évaluer les fiabilités des systèmes électroniques embarqués, mais également optimiser la robustesse des composants électroniques tout en considérant un coût raisonnable.

Les effets radiatifs ne sont pas exclusifs aux applications spatiales. Les environnements radiatifs naturels peuvent être également terrestres ou atmosphériques. Parallèlement aux environnements naturels, il existe également des environnements artificiels comme dans le cas des accélérateurs de particules, des centrales nucléaires ou des applications militaires. De la même manière qu'en environnement spatial, les particules radiatives incidentes issues de ces environnements vont interagir avec les matériaux constituant le composant électronique et peuvent provoquer des effets transitoires, permanents ou destructifs dans les circuits intégrés. Il est important de différencier deux types d'effets radiatifs sur l'électronique : Les effets cumulatifs et les effets singuliers. Les effets cumulatifs sont dus à une dégradation progressive du composant durant son utilisation au cours de sa mission. D'autre part, les effets singuliers sont liés à une seule particule qui perturbe le fonctionnement du composant de façon temporaire ou permanente.

Les effets cumulatifs sont classés en trois catégories : Les effets de dose ionisante (liés à la présence d'oxyde dans les composants), effets des déplacements atomiques (liés à la collision d'une particule avec un atome du réseau), et les effets de modifications structurelles (des particules lourdes modifient la structure de dimension nanométrique du composant [FLE-1983]).

Les effets singuliers (SEE) sont généralement déclenchés par la charge générée dans le semi-conducteur à partir d'une seule particule incidente, et peuvent également être classés en différentes catégories : erreurs logicielles (soft errors) et erreurs destructives. Les erreurs logicielles perturbent la fonctionnalité du composant de manière temporaire, le SET (*Single Event Transient*), mais également de manière plus durable, comme dans le cas d'une corruption de données dans une mémoire, SEU/SMU (*Single Event Upset, Single Multiple Upset*), ou un dysfonctionnement à l'échelle du système, SEFI (*Single Event Functional Interrupt*). Ces erreurs logicielles peuvent être résolues par une réinitialisation du système, une régénération d'un

cycle d'horloge ou réécriture de l'information initiale. Les erreurs destructives peuvent causer des dommages structurels par effet Joule qui induit une augmentation de courants au sein du composant électronique. Le Latchup (SEL) est peut-être l'évènement le plus connu parmi les erreurs destructives, car il est intrinsèquement lié à la technologie CMOS qui représente la majorité des composants électroniques [JOH-1996], [BRU-1996]. En effet, lors de la fabrication d'un circuit en technologie CMOS (Bulk, FinFET, ...), le circuit parasite Latchup est créé par une structure composée de quatre couches de silicium respectivement dopées PNPN et également appelée thyristor. Dans le cadre de cette thèse, la majorité de nos travaux vont se focaliser sur le phénomène Latchup et plus particulièrement à basses températures.

La première partie de ce manuscrit va être dédiée à une étude bibliographique. Dans un premier temps, il présentera le détecteur d'images infrarouges et ses composants, notamment le circuit de lecture. Ce dernier a été testé expérimentalement à basses températures pour pouvoir qualifier ses composants vis-à-vis des SEE. La cellule CMOS sera également présentée afin d'illustrer le mécanisme de déclenchement du phénomène Latchup. Dans un second temps, il sera présenté les différents milieux radiatifs naturels auxquels les composants électroniques sont susceptibles d'être soumis: l'environnement radiatif spatial et l'environnement radiatif atmosphérique (dans une moindre mesure pour les travaux de cette thèse) afin de pouvoir reproduire ces environnements au sol dans le cadre de notre étude. Nous verrons ensuite les effets induits par une particule radiative incidente lors de son interaction avec la matière notamment les mécanismes liés à l'occurrence des évènements singuliers. Ensuite, un état de l'art du phénomène Latchup (SEL) sera décrit afin de contextualiser les objectifs de cette thèse et d'étudier la sensibilité au Latchup de composants microélectroniques à basses températures dans le contexte des imageurs infrarouges. Enfin, une présentation des outils de simulations TCAD et MUSCA SEP3 sera faite.

1.1 Présentation des composants utilisés dans les détecteurs d'imageur Infrarouge de Sofradir

Comme déjà évoqué dans l'introduction, cette étude est focalisée sur la qualification des composants de détecteurs d'images infrarouges Sofradir pour les applications spatiales à températures cryogéniques. Pour cela, dans un premier temps, le fonctionnement général du détecteur d'images infrarouges sera présenté ainsi que le fonctionnement du circuit de lecture du détecteur. Une présentation de la cellule CMOS utilisée dans les détecteurs sera également réalisée afin de détailler le fonctionnement de la structure élémentaire identifiée comme sensible aux évènements singuliers de type SET/SEL.

1.1.1 Fonctionnement général du détecteur Infrarouge Sofradir

Par définition, un capteur d'images CMOS est un dispositif à semi-conducteurs ayant pour rôle de convertir des signaux lumineux en signaux électriques pouvant ensuite être traités de manière analogique ou numérique et sauvegardés dans une mémoire afin d'en assurer la conservation. La conversion de l'image observée en signaux électriques est effectuée par un regroupement de pixels qui sont disposés en une structure de forme rectangulaire appelée matrice. Le nombre de pixels que comprend une matrice dépend, entre autres, de la complexité et la qualité du capteur et varie de quelques milliers à plusieurs millions. La taille des détecteurs est essentiellement fixée par le nombre de pixels et par le pas, c'est à dire la distance entre deux pixels voisins.

Les produits SOFRADIR sont présents dans une gamme très variée avec plusieurs dizaines de références afin de répondre aux besoins dans les domaines militaire, spatial et civil. Afin que le circuit de détection (CD) puisse fonctionner de manière optimale, celui-ci doit être refroidi à des températures cryogéniques comprises classiquement entre 70 K et 110 K. Le choix du cryostat et du refroidisseur est dimensionnant par rapport à l'application et la performance visée. Le refroidisseur dépend en partie des contraintes d'utilisations. Les refroidisseurs qui permettent la mise en froid la plus rapide sont de type Joule-Thomson et offrent un encombrement minimum. Les refroidisseurs rotatif ou linéaire sont plus encombrants mais permettent une très bonne stabilité thermique. La variété des produits permet de réaliser un choix suivant des critères de consommation, de durée de vie ou de facilité d'intégration.

La Figure et le Tableau 1.1 ci-après décrivent les éléments d'un détecteur type de Sofradir et les fonctions associées.

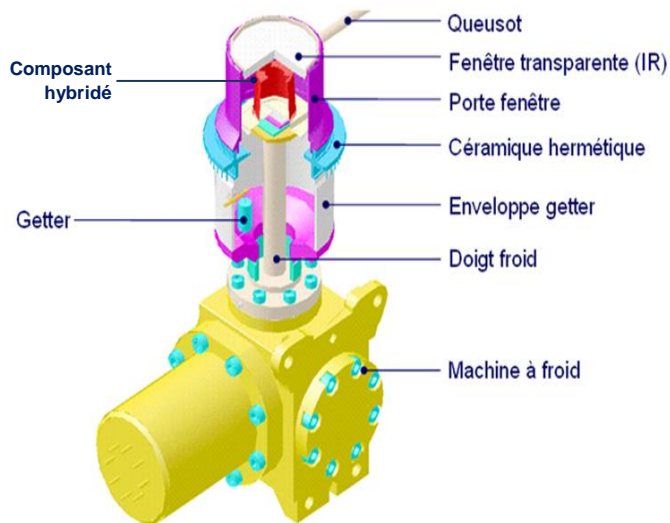


Figure 1.1 : Eléments des détecteurs Sofradir et photo d'un produit SCORPIO

Tableau 1.1 : Les éléments des produits Sofradir

ÉLÉMENT	FONCTION
Fenêtre	Ferme le cryostat et laisse passer certaines longueurs d'onde. Traitement antireflet
Filtre	Placé après la fenêtre : filtre supplémentaire pour recevoir les IR spécifiques à l'application
Écran froid	Limite l'angle de vue et absorbe les rayonnements parasites par l'intermédiaire d'une couche de peinture antireflet
Céramique cofrittés	Assure la connexion du signal électrique à l'électronique de traitement en limitant les pertes thermiques
Composant hybridé	Convertit le flux de photons incidents en signal électrique
Doigt froid	Conserve le vide autour du composant hybridé
Getter	Maintient le vide en absorbant les molécules résiduelles
Puits froid	Conduit recevant le piston de la machine à froid
Refroidisseur	Refroidit le composant
Cryostat	Maintient le vide autour du composant hybridé

1.1.2 Fonctionnement général du circuit de lecture dans un détecteur Infrarouge Sofradir

Comme évoqué précédemment, l'objet des travaux de cette thèse s'est focalisé sur la sensibilité des circuits de lecture dans un détecteur infrarouge Sofradir et plus particulièrement sur les inverseurs CMOS implémentés dans des bascules D. Celles-ci sont très largement implémentées dans différentes fonctions numériques au sein d'un circuit de lecture. Afin d'avoir une vue plus globale, voici un schéma de principe d'un circuit de lecture. La figure 1.2 illustre les différents blocs fonctionnels au sein d'un circuit de lecture. Pour avoir une vue plus globale, voici un schéma de principe d'un circuit de lecture. Afin de récupérer et traiter les signaux en provenance de ces pixels, on utilise un mécanisme de balayage qui permet de sélectionner un ou plusieurs pixels à la fois de façon séquentielle ou arbitraire. Cette tâche est confiée au décodeur synchronisé par une horloge, assurant le balayage vertical (des rangées). Les bascules D dont les inverseurs CMOS sont analysés dans cette thèse sont principalement utilisées dans ce décodeur vertical de la matrice de pixels qui permet la sélection des rangées de pixels. Ces bascules peuvent être également utilisées dans le séquenceur qui gère la gestion et la synchronisation des signaux de commandes du ROIC. Il est à noter que les pixels d'une même colonne partagent un bus de sortie des données afin de limiter le nombre de connexions à l'intérieur de la matrice.

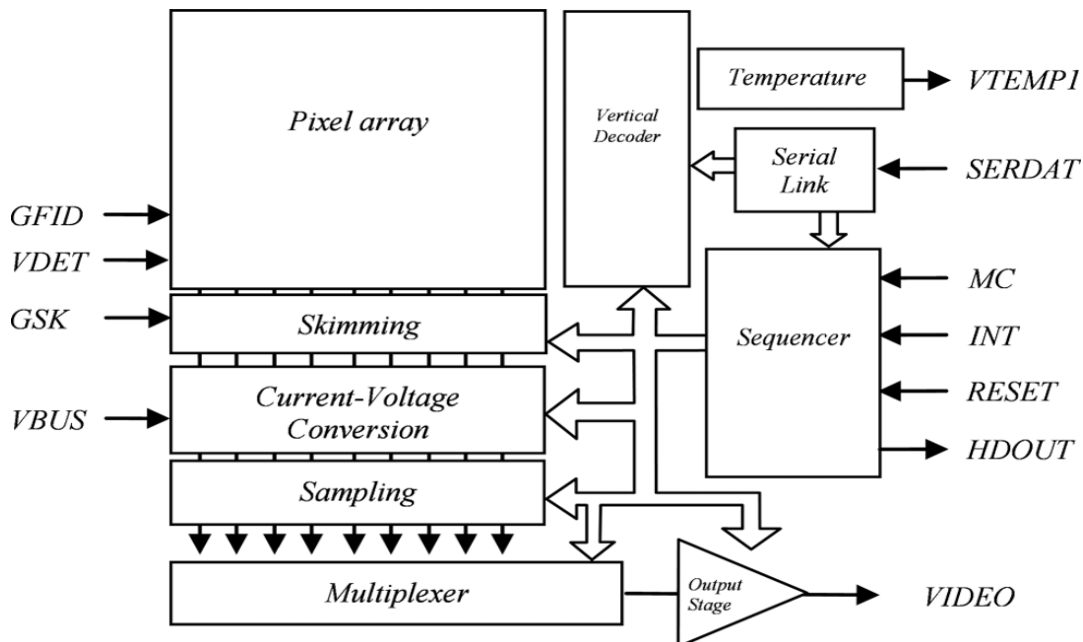


Figure 1.2 : Schéma de principe du ROIC [TIS-2011]

1.1.3 Structure de l'inverseur CMOS

Le but de cette section est de présenter l'inverseur CMOS qui est le composant électronique utilisé dans l'étude de la sensibilité Latchup d'une technologie donnée. La technologie CMOS (*Complementary Metal Oxide Semiconductor*) repose principalement sur la combinaison de portes logiques afin de réaliser la fonction souhaitée, tel que les additionneurs, ou les multiplexeurs. Afin de réaliser des fonctions logiques, la cellule élémentaire est l'inverseur CMOS.

Un inverseur est constitué de deux transistors MOS complémentaires (de type N et P). Son schéma et sa table de vérité sont représentés sur la figure 1.3



Figure 1.3: Schéma et table de vérité de l'inverseur CMOS

La structure de l'inverseur CMOS est composée d'un caisson dopé N et d'un substrat dopé P, cette structure est représentée par une vue 3D sur la figure 1.4. Les deux zones dopées P+ forment le transistor PMOS et les deux zones dopées N+ le transistor NMOS.

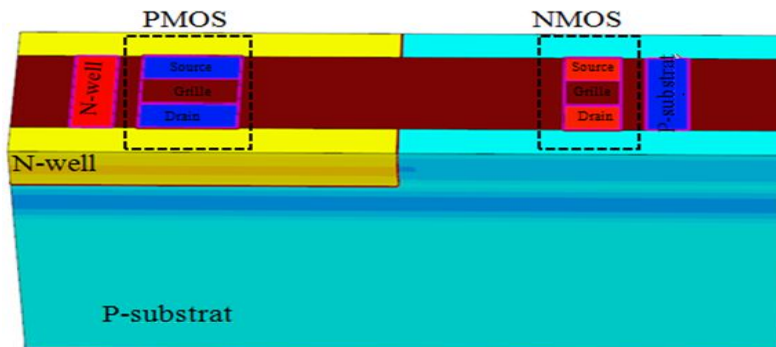


Figure 1.4: structure 3D de l'inverseur CMOS prise d'une simulation TCAD

A présent que le fonctionnement général d'un détecteur infrarouge Sofradir a été présenté, la problématique quant à leur utilisation pour des applications spatiales va être décrite. Afin de reproduire l'environnement spatial au sol pour tester ces composants, il est important de présenter les environnements radiatifs naturels et particulièrement l'environnement radiatif spatial dans lequel ils vont être utilisés en mission.

1.2 Présentation des environnements radiatifs naturels

La radiologie est née en 1895 suite à la découverte des rayons X par le physicien Wilhelm Conrad Röntgen [ROE-1895]. À cette époque, les physiciens ont découvert des radiations dans l'environnement. Ils ont supposé que ces radiations étaient d'origine terrestre. En 1912, Victor Franz Hess et ses collaborateurs ont montré que les radiations détectables dans l'atmosphère ne proviennent pas de la Terre mais sont d'origine cosmique [HES-1912]. Ces dernières ont été nommées rayons cosmiques et ont commencé à être étudiés par la communauté scientifique. Dans les années 1960, les données obtenues en vol lors de missions spatiales ont poussé l'analyse plus en avant de l'environnement radiatif spatial naturel. Depuis, différents réseaux de "météorologie spatiale" sont mis en place à l'échelle nationale et internationale. Leurs buts est d'étudier les différentes sources des radiations. Comme évoqué, l'environnement qui entoure la Terre est constitué d'un grand nombre de particules radiatives qui, représentent, lors de leur interaction avec les équipements électroniques embarqués, un risque non négligeable pour les missions spatiales. Il est communément évoqué, qu'un dysfonctionnement sur trois observé lors de missions spatiales peut être imputé à l'environnement radiatif naturel. Les principales composantes de cet environnement radiatif sont classées, suivant leur origine, en quatre catégories: le vent solaire, les éruptions solaires, les ceintures de radiations et le rayonnement cosmique.

Dans ce chapitre, nous commencerons par présenter les différents milieux radiatifs naturels dans lesquels les composants électroniques embarqués sont susceptibles d'être soumis.

1.2.1 Présentation de l'environnement radiatif spatial

Les rayonnements dans l'espace peuvent être qualifiés par leurs flux d'énergie. Ceux-ci peuvent être sous forme d'ondes telles que la lumière du soleil ou sous forme de particules telles que les électrons, les protons, les ions lourds, et autres éléments du tableau périodique. Les rayonnements de particules dans l'espace peuvent se déplacer à des vitesses très élevées.

L'une des contraintes est les particules solaires qui sont émises dans un éclat d'énergie de notre soleil appelé une éruption solaire ou une éjection coronale. Un autre type de contrainte de rayonnement sont les particules extrêmement énergétiques dont leur origine est attribuée au cosmos, donc en dehors de notre système solaire, et appelé rayons cosmiques galactiques. Pour résumer, les principales composantes de l'environnement radiatif spatial sont classées, suivant leur origine, en quatre catégories: le vent solaire, les éruptions solaires, les ceintures de radiations et le rayonnement cosmique.

1.2.1.1 Le vent et les éruptions solaires

Le vent solaire est un plasma peu dense, qui est composé des particules émises par l'évaporation de la couronne proche du soleil. Sa densité est de 10^{12} cm^{-3} au niveau du soleil, et tombe à 10 particules/ cm^{-3} au niveau de l'orbite terrestre. Ce plasma est essentiellement constitué d'électrons, de protons et de particules alpha (Cf. Tableau 1.2).

Les éruptions solaires («flares» en anglais) ont été découvertes par Galilée en 1610. Elles se produisent lorsque l'énergie piégée dans les champs magnétiques associés aux taches solaires est brutalement libérée. Les éruptions solaires sont des événements périodiques. La variation du nombre d'éruptions solaires permet de définir un cycle solaire dont la période varie entre 9 et 13 ans. La figure 1.5 présente la courbe du cycle solaire réalisée par la NASA en octobre 2016 [NAS-2016] au cours des trente dernières années.

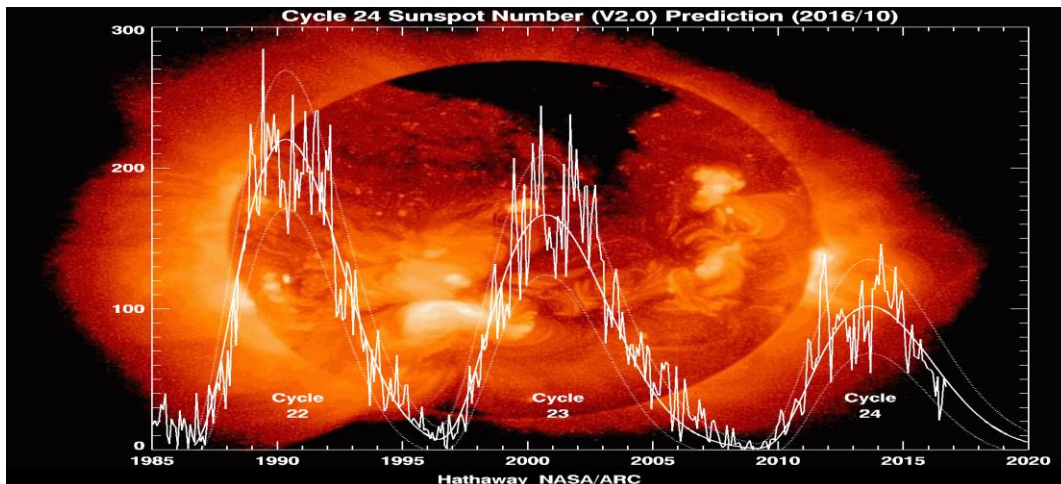


Figure 1.5: Cycle solaire numéro V2.0, prédiction d'octobre 2016, mesurée par NASA/ARC [NAS-2016].

Pendant les périodes d'activité maximale, les éruptions solaires sont classées en deux catégories, selon le type majoritaire de particules émises. Le premier type regroupe les éruptions solaires riches en protons, dont la durée varie de quelques heures à quelques jours, et dont l'énergie peut aller jusqu'à quelques centaines de MeV. Le deuxième type regroupe les éruptions solaires riches en ions lourds (1 à 3 par an). Les ions lourds émis atteignent des énergies de l'ordre de quelques centaines de MeV/A. La figure 1.6 montre une éruption solaire observée le 25 février 2014 par l'observatoire spatial solaire SDO (NASA). Cette éruption est considérée d'après la NASA comme une des plus violentes éruptions depuis plusieurs années.

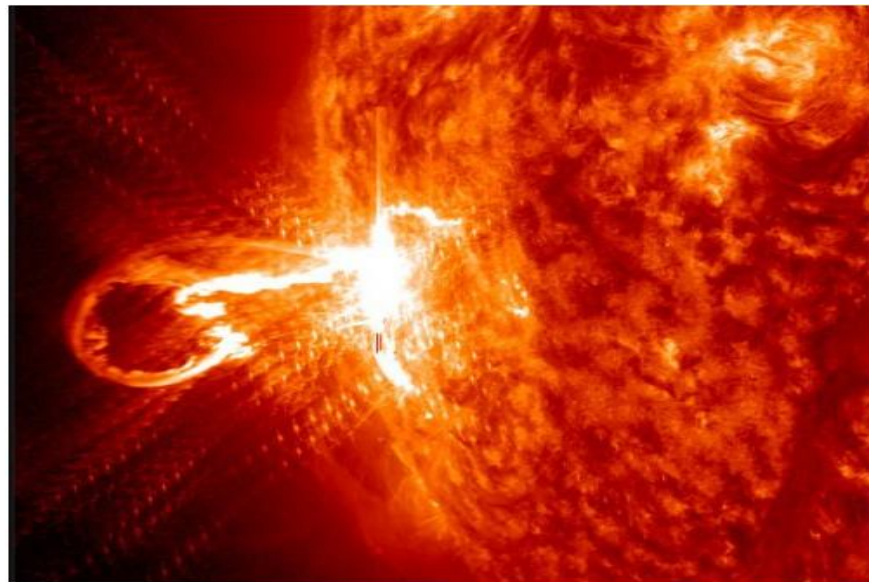


Figure 1.6: L'éruption solaire du 25 février 2014 observée par l'observatoire spatial solaire SDO (NASA) © NASA/SDO [NAS-2016].

1.2.1.2 Les ceintures de radiation

Fort heureusement, la Terre, grâce à son champ magnétique terrestre, est protégée en très grande partie des particules énergétiques spatiales; cette protection est due à la magnétosphère terrestre. Les particules émises par le soleil et les rayons cosmiques interagissent avec la magnétosphère et provoquent l'apparition de zones où une partie des particules sont piégées [LAN-2001]. Ces zones sont appelées les ceintures de radiations (voir illustration figure 1.7). Les ceintures de radiations sont appelées aussi "ceintures de Van Allen", nom du scientifique qui a développé le système de mesure "Geiger" à bord du satellite Explorer-1, qui a mis en évidence ces ceintures pour la première fois [ALL-1959].

Les ceintures de radiations sont constituées d'électrons, de protons et d'ions lourds. Ces énergies sont définies dans le tableau 1.2.

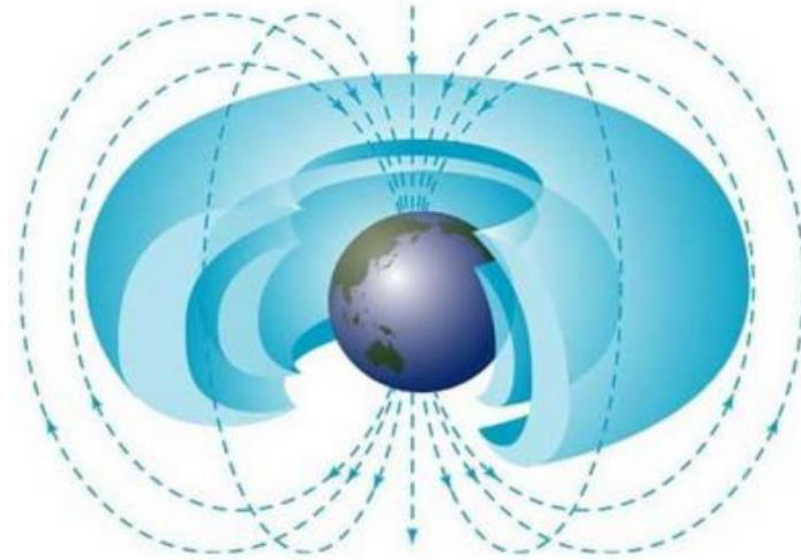


Figure 1.7 : Les ceintures de radiations de Van Allen [SCI-0N].

1.2.1.3 Le rayonnement cosmique

Le rayonnement cosmique a été découvert par Victor Hess au début du ~~xx~~^e siècle [HES-1912]. Comme évoqué précédemment, ce rayonnement est constitué de particules d'origine galactique et extragalactique. Deux flux sont distingués : le flux primaire provient des sources astrophysiques en dehors de notre galaxie. Le flux secondaire provient de l'interaction entre le flux primaire et les gaz intergalactiques [CAP-1984]. Le rayonnement cosmique est composé de particules très diverses. Il regroupe des protons et des ions lourds avec des flux très élevés et des énergies pouvant aller jusqu'à TeV. Le tableau 1.2 illustre les énergies et les flux des particules qui constituent le rayonnement cosmique.

1.2.2 L'environnement radiatif terrestre

L'environnement radiatif atmosphérique est beaucoup moins agressif que l'environnement spatial mais n'en reste pas moins potentiellement dangereux pour les électroniques

embarquées. Au voisinage de la Terre, la plupart des particules issues du rayonnement cosmique et des événements solaires sont, soit déviées par la magnétosphère, soit piégées dans les ceintures de Van Allen. Mais les particules hautement énergétiques ne sont pas piégées par le champ magnétique terrestre; elles entrent alors en collision avec les atomes d'azote et d'oxygène présents dans l'atmosphère terrestre et interagissent de deux manières différentes. Dans la première, elles perdent une partie de leur énergie en ionisant directement les éléments de l'atmosphère. Dans la deuxième, elles déclenchent sur ces éléments des réactions nucléaires formant ainsi une « pluie » de particules secondaires (neutrons, protons, pions et muons), appelées « douche cosmique » [ZIE-1996]. La figure 1.8 est une vue d'artiste illustrant cette douche cosmique.

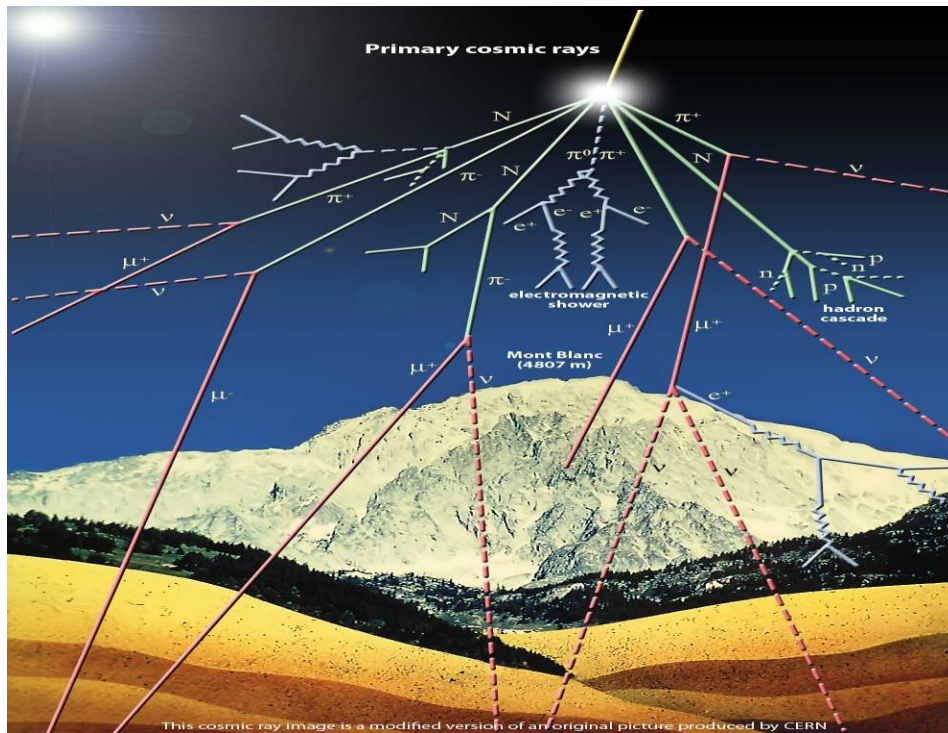


Figure 1.8: Vue d'artiste de la douche cosmique [SCI-ON].

Parmi ces particules secondaires, les neutrons, mais aussi les muons sont capables d'induire des erreurs logicielles dans les composants électroniques [JED-2001].

Le tableau suivant résume les sources et les types de particules radiatives spatiales et terrestres ainsi que leurs énergies et les flux dans la magnétosphère [ROC-1995] [BOU-1995]. Ce tableau permet d'avoir une vue d'ensemble des rayonnements ionisants qui sont susceptibles de

perturber le fonctionnement d'un composant électronique embarqué lors d'une mission spatiale, ou avionique.

Tableau 1.2: Environnement radiatif naturel adapté de [Bou-1995]

Source de radiations	Type de particules	Energies (MeV)	Flux ($cm^{-2}s^{-1}$)
Rayonnement cosmique	Protons (87%)	10^2 à 10^6 MeV	$1 cm^{-2}s^{-1}$ (à 100 MeV)
	Particules α (12%)	Fortes énergies	$10^{-14} cm^{-2}s^{-1}$ (à 10^6 MeV)
	Ions lourds (1%)	1MeV à 10^{14} MeV	$10^{-4} cm^{-2}s^{-1}$ (à 10^6 MeV)
Vent solaire	Protons	< 100 KeV	10^8 à $10^{10} cm^{-2}s^{-1}$
	Electrons	< qq. KeV	10^8 à $10^{10} cm^{-2}s^{-1}$
	Particule α (7 à 8 %)	0.5 → 2 keV/A	10^8 à $10^{10} cm^{-2}s^{-1}$
Eruptions solaires	Protons	10MeV à 1GeV	$10^{10} cm^{-2}s^{-1}$
	Particules α	10MeV à qq. 100MeV	$\sim 10^2$ à $10^3 cm^{-2}s^{-1}$
	Ions lourds	10MeV à qq. 100MeV	Jusqu'à $2 \times 10^5 cm^{-2}s^{-1}$
Ceintures de radiations	Protons	< qq. 100MeV (dont 99% < 10MeV)	10 à $10^6 cm^{-2}s^{-1}$
	Electrons	< 7MeV (dont 99% < 2MeV)	10^{-2} à $10^7 cm^{-2}s^{-1}$
Environnement terrestre	Neutrons	keV -> qq. 100MeV	Fonction de l'altitude et de la latitude
	Protons		
	Pions		
	Muons		

Les particules de l'environnement radiatif naturel interagissent avec la matière (ici principalement le silicium) qui constitue les composants à semi-conducteurs. Dans la suite de ce chapitre, les modes d'interaction particule-matière sont présentés et plus particulièrement l'effet d'ionisation directe dans le matériau de semiconducteur.

1.3 Interaction particule radiatif-matière

Il existe différents modes d'interaction d'une particule avec la matière, plus ou moins probables selon la nature et l'énergie de la particule. Nous ne détaillerons pas ici toutes les interactions possibles; Dans le cadre de cette thèse, seuls les modes d'interactions impliquant des ions lourds et des protons sont présentés.

1.3.1 Types d'interaction ion/proton-matière

Deux cas sont à considérer selon si l'ion lourd (ou le proton) interagit directement avec la matière ou s'il est le produit secondaire d'une réaction préalable. Les différents modes d'interactions à prendre en compte sont, par ordre de probabilité :

- **L'ionisation et l'excitation**

L'interaction d'une particule avec le cortège électronique d'un atome de silicium peut conduire à une ionisation du substrat si l'énergie apportée par la particule est suffisante. Pour le Silicium l'énergie moyenne à la création des paires électron-trou est de 3.6 eV [DUS-2004]. C'est la génération de ces paires électron-trou qui va potentiellement conduire à un évènement singulier.

Si l'énergie n'est pas suffisante pour arracher un électron du cortège électronique de l'atome, alors l'atome peut être excité ce qui l'amène à un état énergétique supérieur. Cette excitation conduira à un transfert thermique ou un faible rayonnement électromagnétique.

- **Les réactions nucléaires**

Dans ce cas, la particule incidente interagit directement avec le noyau de l'atome cible, avec lequel elle entre en collision. Une telle réaction produit des particules secondaires différentes des particules incidentes (dites primaires). Dans le cas de particules incidentes chargées positivement (cas de proton), elles doivent être suffisamment énergétiques pour surmonter la barrière coulombienne induite par le noyau. Ce type de réaction produit des ions lourds

secondaires qui interagiront ensuite avec la matière par ionisation. On parle alors d'ionisation indirecte.

On distingue ainsi ionisation directe ou indirecte selon si la particule chargée pénètre directement dans la matière ou si elle est issue d'une réaction préalable (réaction nucléaire ou déplacement atomique) dont elle constitue un produit secondaire. Les deux premiers types d'interactions (ionisation et déplacement atomique) correspondent à des pertes d'énergie de la particule incidente par interaction coulombienne, respectivement avec les électrons ou le noyau; la particule primaire continue son parcours après interaction. Les pertes d'énergie ainsi induites sont caractérisées par le transfert linéique d'énergie ou LET (*Linear Energy Transfer*), appelé aussi « pouvoir d'arrêt total ». On définit le pouvoir d'arrêt de la particule comme étant la perte d'énergie dE par unité de longueur dX aux matériaux; dans le cas de ces travaux de thèse, le silicium. Le LET s'exprime selon la formule suivante :

$$\left(\frac{dE}{dX}\right) \text{ En } \text{MeV.cm}^2.\text{mg}^{-1} \quad (1)$$

Le LET s'exprime en général en MeV/ μm ou en MeV.cm²/mg, lorsque la masse volumique du silicium est prise en compte.

La quantité d'énergie perdue est liée à deux phénomènes: la perte d'énergie électronique (ionisation) et la perte d'énergie nucléaire; le pouvoir d'arrêt total est donc la somme de ces deux pertes.

$$\frac{dE}{dX} = \left(\frac{dE_e}{dX}\right) + \left(\frac{dE_n}{dX}\right) \quad (2)$$

La perte d'énergie nucléaire est appelée perte d'énergie non ionisante (en anglais NIEL, *Non Ionising Energy Loss*).

On utilisera souvent la notion $\text{LET}_{\text{seuil}}$, qui correspond au LET minimum suffisant à déclencher un événement singulier dans le composant cible. Le $\text{LET}_{\text{seuil}}$ sera utilisé pour caractériser la sensibilité d'un système aux événements singuliers, SET, SEU, ou SEL dans le cas de ces travaux de thèse.

1.3.2 Notions de Range et de section efficace

Le parcours ou *range* en anglais est la longueur de trajectoire propre d'un ion résultant de ses interactions avec le matériau cible. On peut calculer sa valeur moyenne à partir de la perte d'énergie de l'ion par unité de longueur comme le montre l'équation en dessous. En effet, les lois statistiques qui définissent le comportement d'un faisceau de particules, ne permettent pas de calculer sa valeur absolue.

$$r(E) = \int_E^0 \frac{dE}{\left(\frac{dE}{dx}\right)_{Total}} \quad (3)$$

Avec:

- $r(E)$: range,

- E : Energie de l'ion incident

Les notions de LET et de range seront utilisées dans le cadre de ces travaux de thèse. Elles permettent de mieux analyser le comportement et la sensibilité des composants semi-conducteurs face aux événements singuliers que nous allons définir dans la suite de ce chapitre.

Notion de section efficace:

La sensibilité SEE d'un composant exposé à des radiations ionisantes est caractérisée par la section efficace σ (en anglais Cross Section). Cette grandeur correspond à une probabilité d'occurrence d'un événement singulier, c'est-à-dire au nombre d'erreurs comptabilisé pour une fluence de particules donnée. La fluence, exprimée en particules/cm², est le nombre total de particules envoyées sur le composant irradié, par unité de surface. La section efficace est donc calculée selon la formule:

$$\text{Section efficace} = \frac{\text{Nombre d'évènement}}{\text{Fluence}}, \text{ exprimée en cm}^2 \quad (4)$$

A partir d'un certain transfert linéique d'énergie ou LET (Linear Energy Transfer), la sensibilité du composant sature et la section efficace n'augmente plus. On parle alors de section efficace à saturation σ_{sat} . Le σ_{sat} et le LET seuil sont les deux paramètres ou «metrics» qui sont communément utilisés pour caractériser la sensibilité des composants aux SEE. Pour rappel, le LET seuil correspond au LET minimum requis pour observer un évènement singulier.

1.4 Présentation des effets singuliers sur les composants électroniques

De la même manière qu'il existe de nombreux types de rayonnements auxquels les dispositifs semi-conducteurs sont exposés, il existe une large gamme de mécanismes physiques conduisant à l'occurrence d'un dysfonctionnement dans un dispositif électronique. Ces mécanismes peuvent se manifester dans un dispositif à travers un ensemble de modes de défaillance, qui sont classés en trois catégories: les effets de dose (*Total Dose Effects*), les effets de dommage de déplacement (*Displacement Damage Effects*) et les événements singuliers (SEE, *Single Event Effect*). Nous ne détaillerons pas ici tous les effets possibles, dans le cadre de cette thèse, seuls les événements singuliers sont étudiés et présentés ici.

1.4.1 Mécanismes généraux du déclenchement d'un évènement singulier

Un évènement singulier ou plus communément *Single Event Effect* (SEE) est une erreur de fonctionnement liée à l'interaction d'une seule et unique particule incidente avec les matériaux semi-conducteurs (le silicium dans notre cas). Un effet singulier peut être le résultat soit d'une ionisation directe du matériau dans le cas des ions lourds et, dans une moindre mesure, des protons (ou muons), soit le résultat d'une ionisation indirecte dans le cas des neutrons et des protons.

On détaillera ici l'effet d'une ionisation directe du matériau, on prendra donc le cas du passage d'un ion lourd dans un composant. Lors du passage d'un ion dans la zone sensible d'un transistor, des paires électron-trou créées par ionisation le long de la trace de l'ion sont ainsi transportées selon les mécanismes de dérive, *drift* (dans la zone soumise à un champ électrique) et de diffusion (dans les zones de non champ électrique) [ART-2010] [ART-2011] [MAT-2009]. Les jonctions PN polarisées en inverse (comme la jonction entre le puits N et le substrat P d'un transistor n-MOS) présentent une large zone de déplétion et une région de champ électrique

important; elles sont les plus susceptibles de collecter la charge [MAT-2009]. Les paires électron-trou sont séparées par le champ électrique au niveau de la jonction de la zone de déplétion, puis collectées au niveau de l'électrode du composant irradié. Des particules générées dans le substrat ou sous le canal vont diffuser et être finalement collectées par les zones de fort champ électrique. On peut ainsi distinguer trois phases dans le processus de collection de charges, comme illustré sur la figure 1.9.

- 1) Génération des paires électron-trou le long du chemin d'une particule ionisante dans une zone de fort champ électrique tel que le Drain ou la zone de déplétion d'une jonction (figure 1.9 (a)). Le champ électrique subit alors des distorsions et s'étend le long de la trace de l'ion. On observe alors une très forte diminution du champ électrique dans la zone de déplétion.
- 2) Sous la présence de champ électrique, un phénomène de dérive (drift) des porteurs est mis en place sur plusieurs micros autour la trace de l'ion (figure 1.9 (b)). Cet effet est appelé "funneling" [HSI-1981]. C'est un phénomène rapide, au maximum quelques dixièmes de nanosecondes.
- 3) Après que le phénomène de dérive se termine, le champ perturbé se relaxe vers sa position d'origine et la densité de porteurs redevient proche du dopage du substrat [ART-2010]. La collecte de charges se poursuit par le phénomène de diffusion des porteurs, vers les zones les moins concentrées (figure 1.9 (c)).

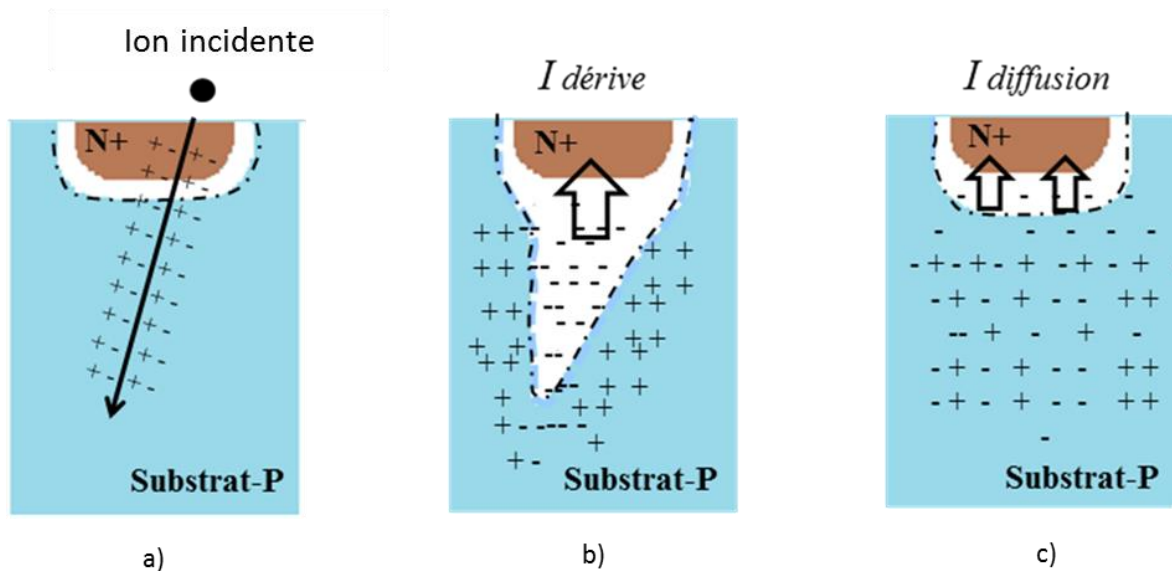


Figure 1.9 : Mécanisme de collection de charges dans une jonction PN polarisée en inverse : (a) génération de paires électron-trou le long de trace de l'ion, (b) création d'un tunnel par distorsion des lignes de champ électrique et dérive des porteurs, (c) diffusion des porteurs et collection des porteurs par les électrodes (adaptée de [BAU-2005]).

Le mécanisme de collection de charges par dérive et diffusion se traduit par la génération d'un courant parasite transitoire dans la zone sensible du transistor (figure 1.10). La composante dite « prompte » du courant est dû au phénomène de dérive des porteurs, tandis que la composante secondaire du courant, plus lente, est due au phénomène de diffusion [ART-2010].

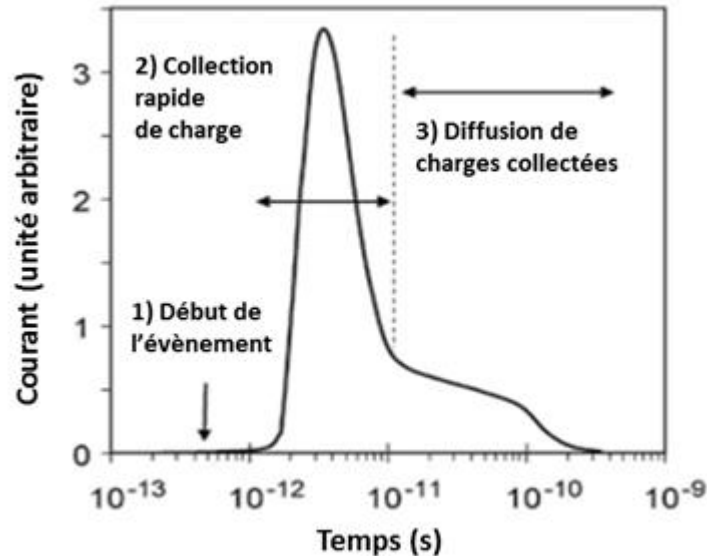


Figure 1.10: Exemple de Courant transitoire [BAU-2005]

L'effet du courant parasite transitoire sur le composant dépend de plusieurs paramètres : le type de composant, les paramètres technologiques de la structure, le point d'impact de l'ion par rapport à la zone sensible du transistor, la tension d'alimentation, et également la température. Pour que ce courant perturbe un circuit, il est nécessaire que ses caractéristiques, durée et amplitude, soient suffisantes.

Comme il a été mentionné précédemment, cet évènement parasite en courant transitoire peut engendrer une perturbation qui peut avoir des conséquences sur les composants électroniques ou le circuit. Les effets sont classés en deux catégories: les évènements non destructifs et les évènements destructifs. On parle de SEE non destructif, lorsque l'état du composant est modifié temporairement ou de façon permanente mais que son intégrité physique n'est pas affecté. Les évènements singuliers destructifs correspondent à la génération de manière directe ou indirecte d'un courant de fuite suivie d'un emballement thermique. Cet emballement thermique peut conduire à un dommage physique permanent du composant, jusqu'à la destruction de celui-ci, si l'alimentation n'est pas interrompue.

Il existe principalement deux types d'effets parmi les évènements non destructifs et trois parmi les destructifs.

Les principales défaillances liées aux évènements singuliers non destructifs sont :

Le SET : Single Event Transient. Il est provoqué par la collection des charges créées par le passage d'une particule ionisante dans le composant, comme cela est détaillé physiquement un peu plus haut. Les conséquences de ce type d'effet sont principalement la génération d'impulsions indésirables qui peuvent perturber le fonctionnement des systèmes numériques et analogiques. En effet, on considère le courant transitoire comme une faute transitoire. Quand cette faute est activée dans le circuit, elle provoque une erreur soft ou bien une erreur de délai. Elle peut également rester latente si elle se trouve dans une partie non utilisée du circuit. Une erreur peut provoquer une défaillance si elle se propage et devient observable de l'extérieur comme illustrée dans la figure 1.11. Dans le contexte de cette thèse, la qualification des composants de circuits de lecture dans les détecteurs infrarouges de Sofradir est évaluée à basses températures pour répondre aux besoins des applications spatiales cryogéniques. Des données expérimentales SET à basses températures seront présentées dans le chapitre 2. La section 1.4.2 va présenter une étude bibliographique pour faire le point de ce qui existe des tendances de sensibilité SET en fonction de la température.

Le SEU : Single Event Upset. Le courant transitoire indésirable (initialement un SET) crée un changement d'état dans une structure de type « bascule » ou mémoire (SRAM, ...). Ce phénomène se produit lorsque la charge induite par la particule dépasse la quantité nécessaire au changement d'état durant un laps de temps spécifique. Ce phénomène est donc directement dépendant de l'allure (amplitude et durée) des courants transitoires SET initiaux dans la structure visée (bascule, SRAM...).

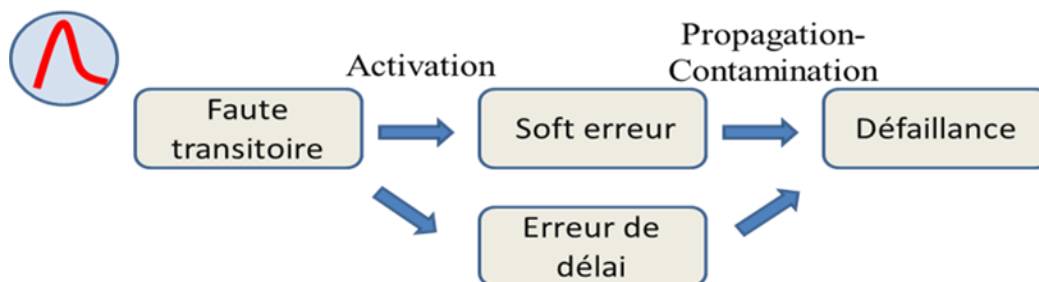


Figure 1.11: Passage d'une faute transitoire dans un circuit numérique (SEU)

Principales défaillances liées aux évènements singuliers destructifs:

- **Le SEB: Single Event Burnout.** Le SEB peut conduire à la destruction d'un composant de puissance suite à l'emballement thermique résultant de la combinaison du déclenchement d'un transistor bipolaire parasite et du mécanisme d'avalanche.

Le SEGR: Single Event Gate Rupture. Le SEGR peut conduire à la destruction d'un composant à grille isolée due au claquage de l'oxyde de grille induit par le passage d'une unique particule (ion lourd, proton, neutron).

Le SEL: Single Event Latchup. Ce phénomène se caractérise par le déclenchement du thyristor parasite (PNPN parasite) inhérent à la structure CMOS. L'état de l'art du Latchup va être détaillé dans la section 1.5. Ce phénomène est l'un des objets de thèse et les mécanismes de déclenchement seront détaillés dans le chapitre 2 de ce manuscrit de thèse.

1.4.2 Effet de la température sur la sensibilité SET/SEU

Les événements singuliers induits par les environnements radiatifs dans les circuits intégrés à des températures élevées (en particulier sur les orbites terrestres), de 200K à 420K, ont été très largement étudiés [TRU-2007] [ART-2014*] [MAT-2009*] [CHE-2008]. La dépendance de la température sur le SET numérique a été étudiée par [CHE-2008] sur une gamme de température allant 218K à 423K pour la technologie SOI (Silicon On Insulator) de 180 nm et de 123K à 423K dans [MAT-2009*] pour une technologie SOI de 130 nm. Dans ces deux travaux, l'impact de la température a été identifié comme étant significatif. En effet, la température impacte la largeur d'impulsion du SET numérique. En revanche, il a été démontré un impact relativement limité en termes de section efficace comme présenté dans la figure 1.12. Cependant, pour les applications à très basses températures (<100K), comme le cas des capteurs infrarouges, très peu d'études ont été réalisées [ART-2015]. Les mesures expérimentales sous ions lourds présentées par L. Artola et al, [ART-2015] mettent en évidence une dépendance en température relativement limitée de la sensibilité SEU sur une cellule D-Flip-Flop utilisée dans un détecteur infrarouge Sofradir sous ion lourd à deux valeurs de LET différentes, $32.2 \text{ MeV.cm}^2.\text{mg}^{-1}$ et $67.7 \text{ MeV.cm}^2.\text{mg}^{-1}$ comme présenté dans la figure 1.13. C'est dans ce contexte que s'inscrivent ces travaux de thèse, afin de poursuivre l'étude pour

une application sur un circuit de lecture complet, mais également pour analyser d'autres types d'effets tels que le phénomène de Latchup.

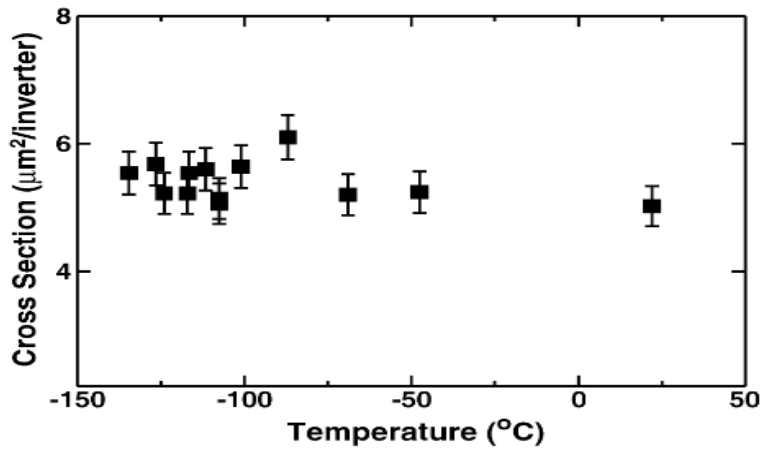


Figure 1.12: Section efficace de SET en fonction de la température [MAT-2009*]

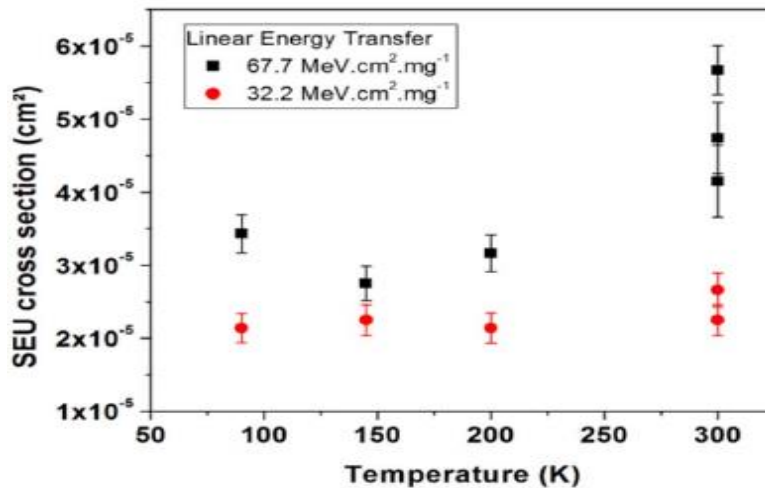


Figure 1.13: Section efficace de SEU en fonction de la température [ART-2015]

1.5 Etat de l'art du phénomène Latchup

1.5.1 Définition - Contexte

Le Latchup est un des événements singuliers le plus connu et le plus critique pour les composants électroniques [KOL-1979]. En 1967, *Leavy et Poll* ont démontré pour la première

fois que le rayonnement peut induire du Latchup [LEA-1969]. Des données de test Latchup au sol obtenues sous accélérateur d'ions lourds ont validé ces observations en 1979 par *Kolasinski et al* [KOL-1979]. Le déclenchement du Latchup par un ion lourd dans l'espace a été confirmé par *Goka et al* en 1991 [GOK-1991]. *Nichols et al* ont confirmé que les protons induisent du Latchup à partir des données de test au sol effectuées en 1992 [NIC-1992]. Dans la même année, *Adams et al* ont vérifié que les protons induisent du Latchup dans l'espace [ADA-1992].

Ce phénomène consiste en la mise en conduction d'une structure parasite composée de 2 thyristors et inhérente à la technologie CMOS (figure 1.14). Lors du fonctionnement nominal du composant, cette structure est à l'état bloqué. Si le composant est soumis à un stress électrique ou au passage d'une particule ionisante d'énergie suffisante, cette structure parasite peut devenir passante et ainsi créer un chemin de faible impédance entre l'alimentation et la masse du circuit. Le verrouillage de la structure thyristor à l'état passant entraîne une augmentation exponentielle du courant suivi d'un emballement thermique qui peut dans de nombreux cas conduire à la destruction du composant si l'alimentation n'est pas coupée.

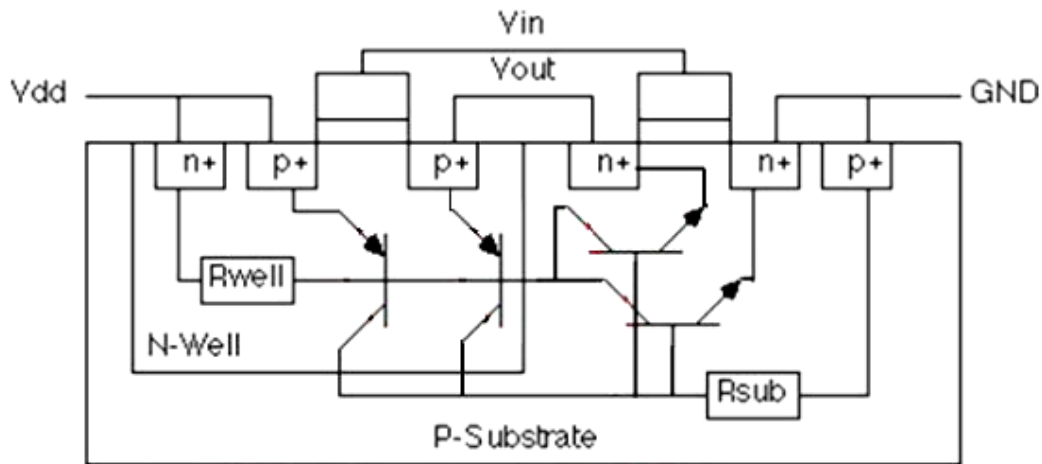


Figure 1.14: Structure parasite complète avec double thyristors

Avec la diminution du nœud technologique des composants, liée à la loi de Moore [MOO-1965], la susceptibilité au Latchup est devenue de plus en plus importante [JOH-1996] [HUS-2007]. Elle dépend aussi du type de composants électroniques irradiés, et de la tension d'alimentation. Ces effets ont été vérifiés par Johnston en 1996 [JOH-1996].

Jusqu'à présent, différentes études dédiées à l'analyse des effets liés à la technologie et à la température sur la sensibilité Latchup de composants ont été réalisées; Cependant très peu d'études sont faites sur les effets à très basse température (température cryogénique) [IWA-

1995] [DIN-2011]. Ainsi, il est nécessaire pour Sofradir et la communauté des imageurs IR de pouvoir estimer et comprendre les mécanismes relatifs à l'occurrence du phénomène de Latchup à ces températures cryogéniques. Dans ce chapitre, nous présenterons dans un premier temps le principe de déclenchement du Latchup ainsi que les caractéristiques électriques qui y sont associées. Nous verrons ensuite les effets des différents paramètres technologiques sur la sensibilité SEL. Dans un deuxième temps, nous présenterons les mécanismes physiques spécifiques qui conduisent au déclenchement du Latchup à basses températures.

1.5.2 Single Event Latchup (SEL)

Comme présenté précédemment, les particules ionisantes peuvent produire un courant transitoire dans les dispositifs CMOS analogiques et numériques. Ce courant peut être amplifié par des structures composées de plusieurs zones de silicium respectivement dopées PNP parasites inhérentes à la topologie CMOS. Cette origine du phénomène Latchup est appelé "Single Event Latchup" ou SEL. La figure 1.15 montre l'une de ces structures parasites qui a été représentée par une coupe 2D le long des sources de transistors P-mos et N-mos (voir partie 1.1.3). Cette structure de thyristor parasite est composée de deux transistors bipolaires, un PNP vertical qui est formé par la source P+/puits N/substrat-P et un transistor NPN latéral qui est formé par la source N+/substrat-P/puits N. Ainsi la sortie (collecteur) de chaque transistor est connectée à l'entrée (base) de l'autre transistor bipolaire, comme le montre le circuit équivalent superposé figure 1.15 (b). Le Latchup peut se déclencher si un courant transitoire est observé sur l'électrode «Source p-MOS » qui est connectée à l'alimentation de ce dispositif. Cette perturbation en courant peut être générée soit par stress électrique, on parle alors de stress statique, soit par passage d'une particule fortement énergétique ; on parle alors de stress dynamique ou transitoire. La structure parasite va alors amplifier ce courant parasite et créer un chemin de faible impédance entre l'alimentation et la masse du circuit. Cet état, appelé Latchup, persiste jusqu'à ce que l'alimentation soit coupée ou jusqu'à ce que l'appareil soit détruit par la forte densité de courant [BEC-2002] [MIY-2001]. Les résistances R-well et R-sub du « circuit Latchup » sont les résistances équivalentes respectivement du puits N et du substrat.

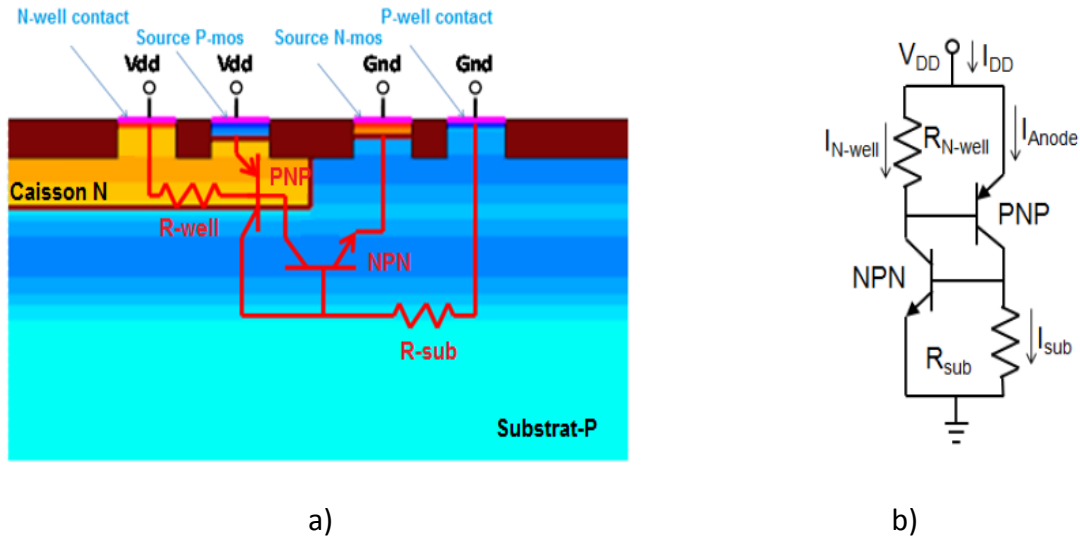


Figure 1.15: Définition du Latchup, (a) Structure parasite avec un seul thyristor, (b) Structure simplifiée du thyristor PNPN.

1.5.3 Déclenchement du Latchup par stress électrique

Comme évoqué précédemment, le Latchup peut être déclenché électriquement, il est alors appelé Latchup électrique. Ce stress électrique peut avoir pour origine une décharge électrostatique [LEA-1969]. Le phénomène de Latchup est défini par deux points caractéristiques qui déterminent son déclenchement et son maintien [BUR-1996]. Le point de déclenchement (V_{trig} , I_{trig}) et le point de maintien (V_{hold} , I_{hold}) sont illustrés sur la figure 1.16. La tension V_{hold} est une caractéristique clé du Latchup, elle permet notamment de définir une condition d'immunité au Latchup. En effet, si $V_{hold} > V_{dd}$ la structure CMOS est immunisée au phénomène de Latchup quelque soit l'intensité des perturbations subies. La courbe de caractérisation courant-tension du Latchup lorsqu'il est déclenché électriquement, peut être séquencée en 4 zones/régimes de fonctionnement. On passe du régime linéaire des transistors vers le régime saturé, au régime de maintien du Latchup où le courant parasite est amplifié exponentiellement, pour finalement créer un chemin faible impédance entre la tension d'alimentation et la masse du circuit.

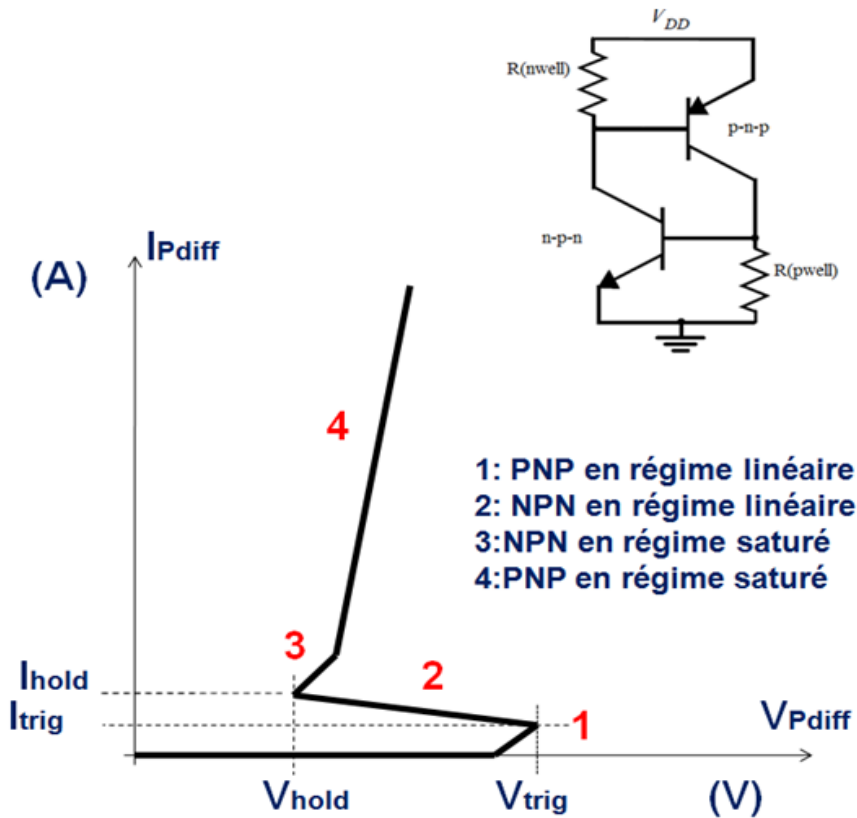


Figure 1.16: Caractéristique Courant-tension du déclenchement par stress électrique du Latchup

1.5.4 Effets Roadmap/design sur la sensibilité SEL

Avec la miniaturisation des technologies, les transistors ont vu leurs dimensions et leur espacement de plus en plus réduit ce qui implique une augmentation de sensibilité au Latchup, de par le rapprochement physique des zones de déclenchement et de maintien [BOS-2005]. Comme évoqué précédemment, la condition d'immunité au Latchup est liée à la différence entre la tension de maintien et la tension d'alimentation. Il est impossible de caractériser toutes les technologies à une même tension d'alimentation, car cela modifie le gain du transistor PNP vertical par rapport à la tension nominale d'alimentation, et par conséquent, la relation courant-tension de déclenchement [BOS-2005] [HUT-2007]. Par conséquent, la différence entre la tension de maintien et la tension d'alimentation est certainement une mesure plus significative. La tendance illustrée dans la figure 1.17 indique que les nouvelles technologies ne sont pas immunisées au Latchup à partir de 130 nm.

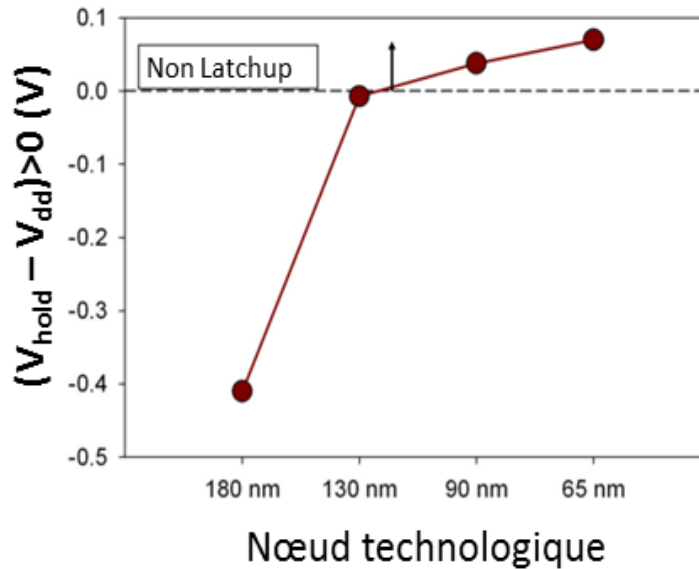


Figure 1.17: $(V_{\text{hold}} - V_{\text{dd}})$ en fonction des nœuds technologiques, la tension de maintien augmente en fonction des nœuds technologiques [BOS-2005].

Pour comprendre cette augmentation de sensibilité au Latchup avec la diminution de dimensions, il est nécessaire de se pencher sur le design de la structure CMOS étudiée. Une des conséquences directes liée à la miniaturisation des composants est la diminution de la distance entre les transistors. L'impact de la diminution de la largeur entre le transistor p-MOS et le transistor n-MOS (SAC) dans la structure d'un inverseur CMOS a été décrit par [TRU-2014], comme illustré en figure 1.18. Les résultats montrent la tendance suivante : V_{hold} qui augmente en fonction de la largeur SAC. Cette tendance montre que l'augmentation de la largeur SAC est mieux adaptée pour optimiser l'immunité au Latchup puisque la tension de maintien augmente avec la largeur SAC. Mais il y a toujours des limites technologiques à respecter.

Un autre paramètre extrêmement important dans la caractérisation de la sensibilité Latchup d'un dispositif CMOS est la nature du volume de silicium caractérisant la structure thyristor. En effet, les paramètres technologiques tels que les profils de dopage, les profondeurs d'implantation, les profondeurs de STI sont autant d'éléments à prendre en considération. La figure 1.18 illustre également l'impact de deux éléments technologiques : l'épaisseur de la couche d'épitaxie et la largeur d'espacement entre l'anode et la cathode de la structure parasite Latchup [TRU-2014]. Cette figure montre la variation de la tension de maintien (V_{hold}) en fonction de l'espacement entre l'anode et la cathode (SAC) pour trois différentes valeurs de la couche d'épitaxie. La tendance de V_{hold} montre un effet significatif de la largeur SAC pour une couche d'épitaxie mince à une épaisseur de $1\mu\text{m}$ comme présenté dans la figure 1.18. Cela

indique que si la couche d'épitaxie est plus mince, la robustesse du design est plus grande. L'effet de la couche d'épitaxie sera étudié par simulation TCAD pour la technologie de Sofradir dans le chapitre 4.

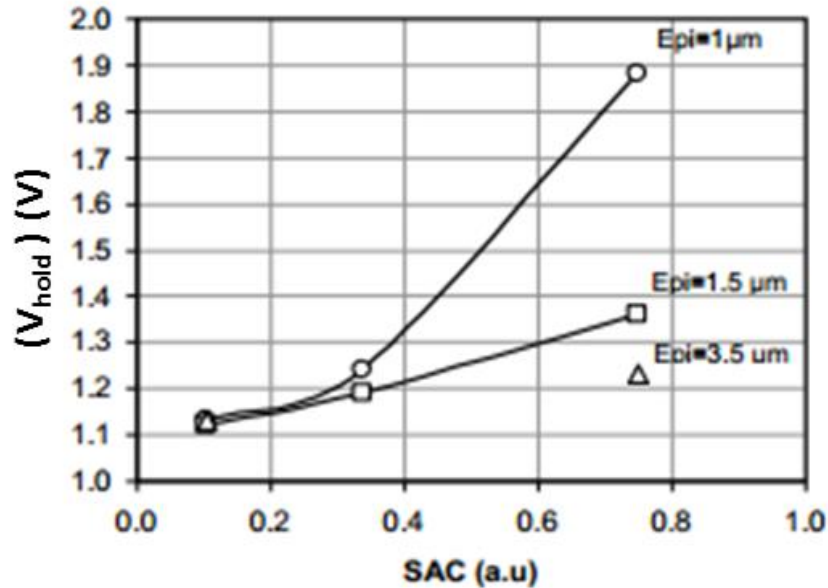


Figure 1.18: La tension de maintien en fonction de la largeur du SAC entre le transistor P-mos et N-mos d'un inverseur CMOS [TRU-2014].

1.5.5 Techniques classiques de durcissement Latchup par design

Afin de tenir compte des considérations liées au phénomène de Latchup, des règles de design élémentaires ont été mises en place lors du développement d'un composant semi-conducteur. Ces règles peuvent être résumées de la manière suivante :

- Découplage des transistors parasites par éloignement : afin d'éviter l'interaction entre les transistors bipolaires PNP et NPN, un éloignement des transistors parasites augmente intrinsèquement la robustesse Latchup.
- Découplage des transistors parasites par isolation (Triple Well) : afin d'éviter l'interaction entre les deux transistors bipolaires, une isolation totale peut être réalisée par une séparation physique en utilisant d'autres structures entre les transistors (figure

1.19). Le triple well permet d'isoler entièrement les jonctions des transistors NPN et PNP.

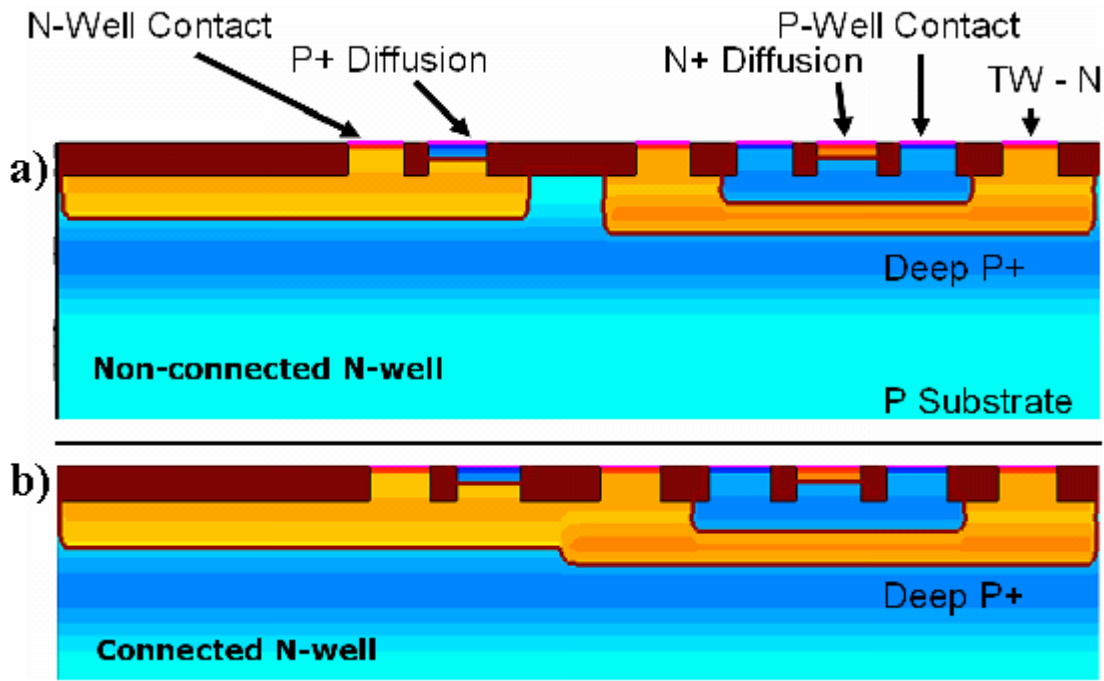


Figure 1.19 : Exemple de structure CMOS utilisant un découplage par Triple Well. (a) Le caisson de Nwell est séparé ; (b) le caisson de Nwell est unique et contient les 3 contacts de Nwell.

- Le découplage des transistors parasites par isolation (Structure d'isolant) : afin de minimiser l'interaction entre les transistors parasites, un isolant peut être placé entre les deux (figure 1.19 a)). Dans ce cas précis, l'isolant permet un découplage des parasites, quand la profondeur de l'isolant est suffisante, et/ou quand l'isolant est positionné aussi bien sur les côtés que sous la structure parasite.
- La détérioration du gain bipolaire parasite par placement de centres de recombinaison et états de piège (Beta spoiling) : afin de minimiser l'interaction entre les transistors NPN et PNP, des centres de recombinaison et des états de piège peuvent être implantés dans la région équivalente à la base des transistors bipolaires parasites. Ces centres de recombinaisons et états de piège peuvent être générés par l'implantation d'impuretés ou l'implantation ionique induisant des défauts en surface et/ou dans le volume du composant. Les centres de recombinaisons peuvent être neutres ou chargés. Ce placement de défaut induit une réduction du gain bipolaire parasite.

- L'ajout d'implants de dopage à haute concentration (figure 1.20) : afin de réduire le gain en courant du transistor bipolaire parasite, l'ajout d'implants dans le substrat permet une réduction de la longueur de diffusion des porteurs minoritaires. Ceci est induit à la fois par la réduction du temps de recombinaison et de la mobilité des porteurs minoritaires.

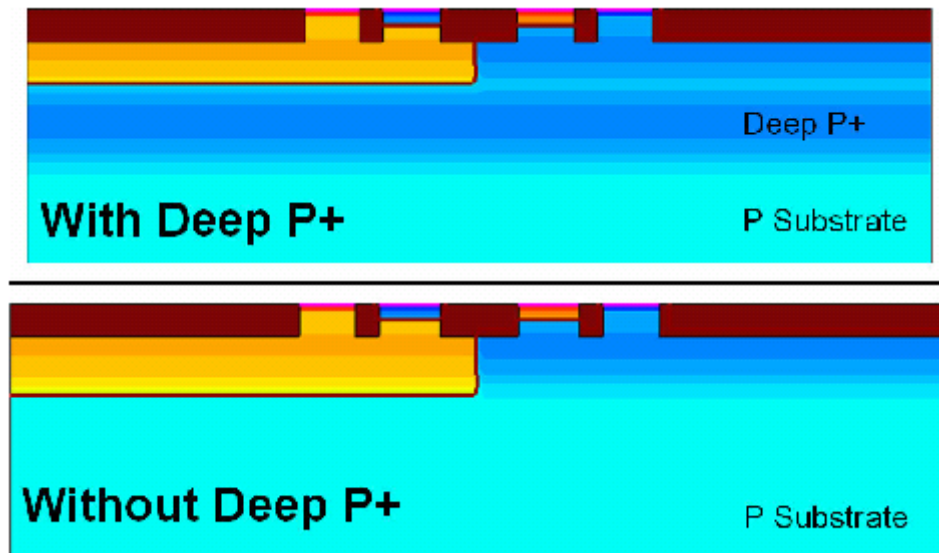


Figure 1.20 : Exemple de structure CMOS utilisant un dopage P+ enterré dans le substrat.

- Le design de contacts siliciures : le design en siliciure est employé afin d'introduire une résistance dans la région « Emetteur ». Les résistances d'émetteur conduisent à une réduction de l'auto-entretien par le circuit du Latchup. L'introduction de résistances d'« Emetteur » est très largement employée afin d'augmenter la robustesse des composants vis-à-vis du phénomène de Latchup.
- Le design de structures isolantes (STI) : le design de structures isolantes semi-conducteur peut être optimisé afin d'améliorer la robustesse au Latchup de la technologie CMOS. On retrouve cette optimisation dans des structures isolantes telles que les STI (Shallow Trench Isolation), les dual-depth (DD) STI, les TI ou les DT.
- Le découplage des transistors bipolaires par ajout de zones de « collecteur » virtuel : en rajoutant une zone dite de « collection virtuelle », les porteurs minoritaires sont susceptibles d'être collectés, affaiblissant ainsi l'auto-entretien du circuit entre les bases des transistors bipolaires parasites. En effet, cet ajout induit une diminution du gain en courant des bipolaires parasites, ce qui augmente la robustesse du circuit au Latchup.

Ces structures de « collecteur virtuel » peuvent être verticales (dans le Nwell) ou latérales (dans le substrat P). L'une des techniques pour l'utilisation de « collecteur virtuel » est le design de Guard diffusion ou Guard Ring (figure 1.21). Les Guard Ring peuvent être intégrés ou séparés selon les designs, afin de réduire l'auto-entretien circuit. Dans le cas précis de Guard Ring séparés, c'est une perte du courant de la structure qui induit un affaiblissement du gain bipolaire en courant [TRO-83].

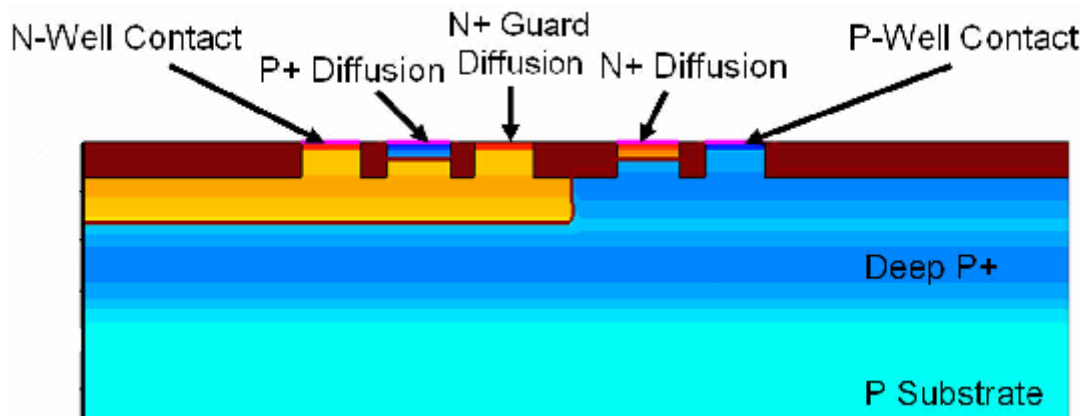


Figure 1.21 : Exemple de structure utilisant un implant Guard diffusion.

- La technique de design circuit : des méthodes de design circuit peuvent être employées pour se prémunir du phénomène de Latchup. Ces techniques peuvent se matérialiser sous la forme de limiteur de courant, d'un découplage design du substrat et des connections d'alimentations ou enfin de l'emploi de circuits d'alimentation indépendants.

Ces travaux de thèse s'intéresseront à l'évaluation de variation de design et procès spécifiques à la technologie Sofradir par le biais d'une étude par simulation TCAD.

Parallèlement, nous compléterons cette étude bibliographique par l'investigation de l'effet des basses températures (jusqu'à 50K) sur la sensibilité Latchup.

1.5.6 Effets de la température sur le déclenchement du Latchup

La température est un paramètre clé de la fiabilité des systèmes électroniques. Un échauffement excessif peut introduire des défaillances catastrophiques dans le dispositif. Il n'est d'ailleurs pas anodin que des cyclages thermiques soient faits pour réaliser des tests de

vieillessement accélérés afin d'évaluer la fiabilité des composants et systèmes électroniques. D'après plusieurs travaux [NIC-1992] [HUT-2007], l'élévation de la température et de la tension d'alimentation augmente la sensibilité au Latchup. L'augmentation de la résistance du substrat et de puits N réduit le courant nécessaire pour mettre en conduction les diodes composées par le substrat et le puits N, et par conséquent augmente la vulnérabilité au Latchup. Pour comprendre cet effet, la figure 1.22 montre des résultats de simulations TCAD effectuées sur une structure 2D d'un inverseur CMOS. Les figures 1.22 (a) et (c) montrent respectivement la variation du courant en fonction de la tension émetteur-base V_{EB} du transistor bipolaire PNP vertical, et la tension base émetteur V_{BE} du transistor NPN latéral comme illustrée sur la figure 1.22 (b), sur une gamme de température [300k-400k]. Les tensions V_{BE} et V_{EB} diminuent avec l'augmentation de la température [ART-2014]. De ce fait, les tensions nécessaires pour mettre en conduction les deux transistors bipolaires diminuent avec l'augmentation de la température. Par conséquent, la tension nécessaire pour créer un chemin de faible impédance entre la cathode et l'anode diminue avec l'augmentation de la température. Cette tension correspond au paramètre critique qu'est la tension de maintien au Latchup (holding Voltage). La figure 1.22 (d) montre que la tension de maintien diminue avec l'augmentation de la température, toujours d'après les travaux de [HUS-2007].

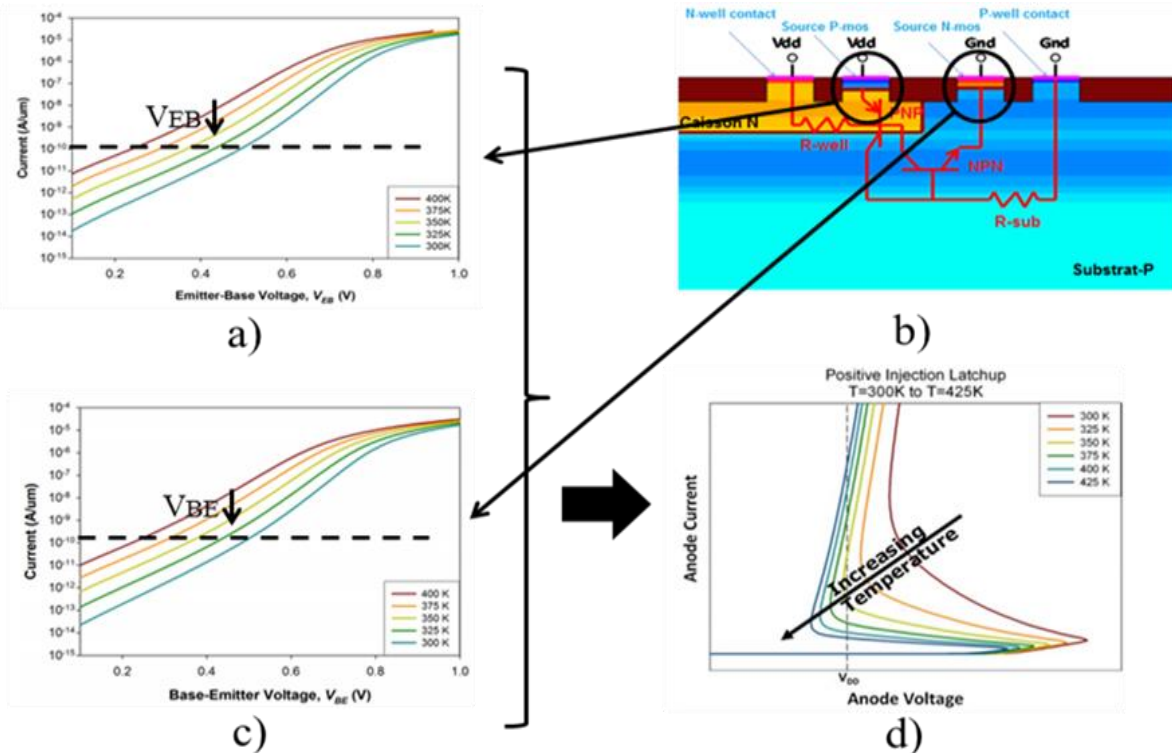


Figure 1.22: Effet de température sur la sensibilité SEL, (a) Courant en fonction la tension émetteur-base du transistor Pmos, (b) Vue en 2D d'un inverseur CMOS, (c) Courant en fonction la tension base-émetteur du transistor Nmos, (d) Tension de maintien en fonction e la température [HUS-2007].

Une autre étude présente l'effet de la haute température sur la sensibilité au Latchup, cette fois en mesurant la section efficace Latchup en fonction de la température (figure 1.23) [JOH-1991]. Le premier élément à prendre en considération est la section efficace Latchup à saturation qui augmente avec l'augmentation de la température. Le LET seuil quant à lui diminue avec l'augmentation de la température, ce qui signifie qu'un ion d'un LET plus faible sera tout de même capable de déclencher un Latchup si la température est plus élevée. De manière plus générale, ces résultats montrent donc que la vulnérabilité au Latchup augmente avec l'augmentation de la température.

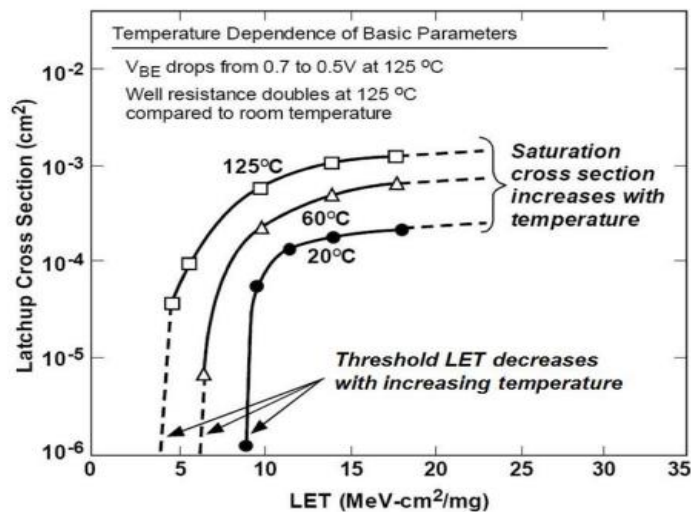


Figure 1.23: Section efficace en fonction du LET en trois valeurs de températures: 20, 60, 125C [JOH-1991].

Plusieurs études [KOL-1979] [JOH-1996] se sont intéressées aux effets de haute température sur la sensibilité au Latchup. En revanche, très peu d'études [DEF-1990] [MAR-2010] ont investigué l'effet des basses températures, partant du postulat que seul à haute température le composant était sensible au Latchup. Cependant, des études expérimentales ont révélé qu'à des températures cryogéniques certains composants CMOS pouvaient redevenir sensibles au

Latchup. Nous présenterons dans la partie suivante les mécanismes du déclenchement du Latchup en basse température.

1.5.6.1 Déclenchement du Latchup à basses températures

La susceptibilité de déclenchement du Latchup par stress électrique ou par une particule ionisante à basses températures est réduite à cause de la diminution des résistances du substrat et des puits due à l'augmentation de la mobilité et la concentration de porteurs "freeze-out"; le produit de gain diminue exponentiellement avec la température :

$$\beta_{npn} * \beta_{pnp} < 1 \text{ à } T < 100\text{k}; \quad (5)$$

A basse température, le V_{BE} augmente pour soutenir l'augmentation du courant. La diminution de température a souvent peu d'effet sur les caractéristiques quantitatives du Latchup [DEF-1990] [SAN-1986].

Cependant, d'après les travaux de Deferm en 1991 [DEF-1990], un pic du courant de maintien a été observé à très basses températures entre 40k et 100k (figure 1.24). Ce pic de courant I_{hold} pourrait être à l'origine de l'augmentation de la sensibilité Latchup aux températures cryogéniques.

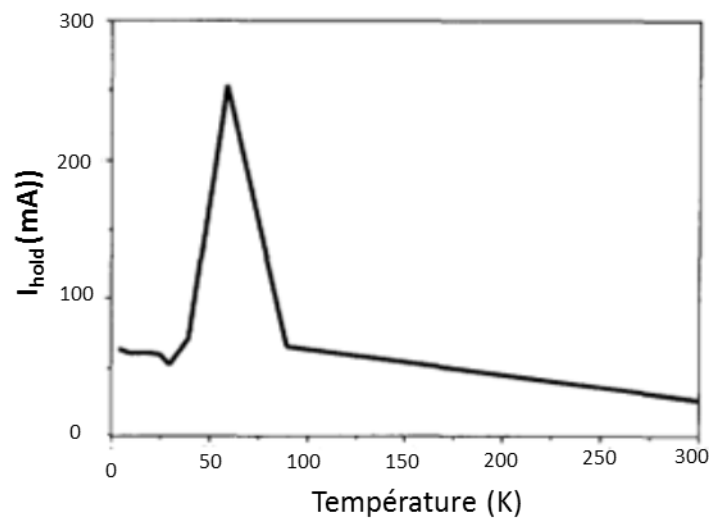


Figure 1.24: Courant de maintien en fonction de la température [DEF-1990].

En 2010, Marshall *et al* ont montré expérimentalement [MAR-2010] la même allure du courant en fonction de la température (voir figure 1.25 (a)), mais cette fois sur une technologie différente de celle utilisée par Deferm en 1990 [DEF-1990]. Ces seconds travaux confirment les observations réalisées par Deferm et permettent de déduire que le phénomène n'est pas dû à une spécificité technologique du composant testé par Deferm et al. On remarque tout de même que le pic en courant n'est pas obtenu à la même température: 60K lors des mesures de Deferm et 100K lors des mesures de Marshall. Ce décalage pourrait être lié aux différences des profils de dopage des composants mesurés. Dans le cadre de cette thèse ces différents points seront investigués.

D'autres résultats expérimentaux de Marshall *et al*, ont montré une augmentation de la section efficace SEL lors de mesures à très basses températures (10-30K), ce qui implique une augmentation de la sensibilité au Latchup en très basses températures (voir figure 1.25 (b)) comme le laissaient penser les mesures de courant et tension de maintien lors des tests en stress électrique statique.

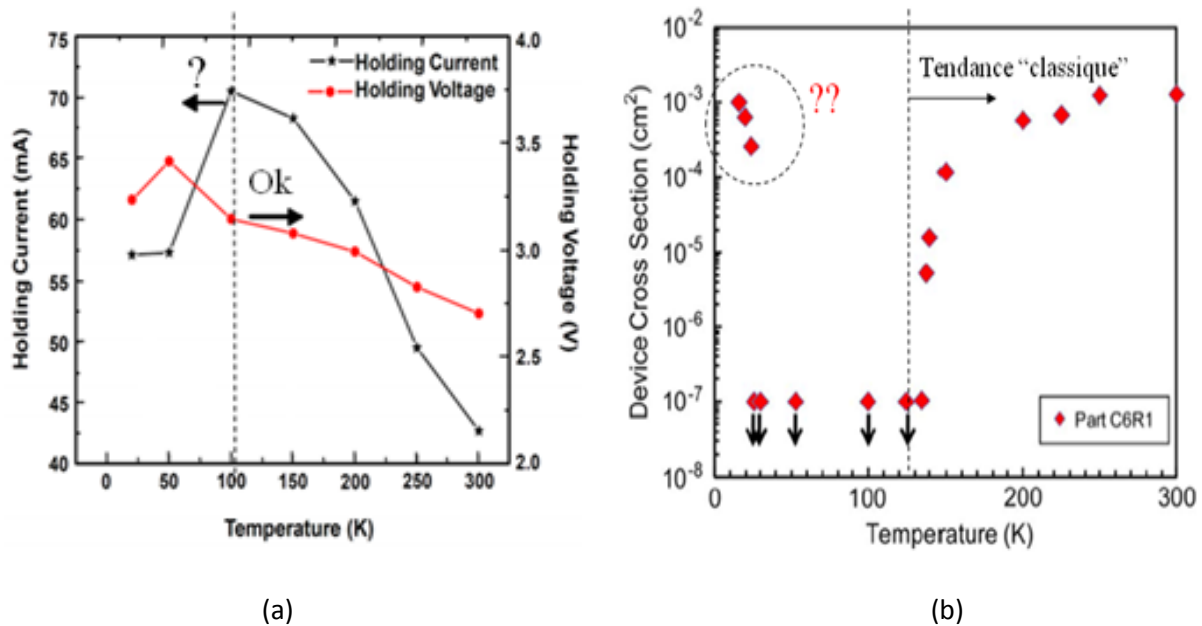


Figure 1.25: Résultats expérimentaux par Marshall *et al*. (a) Courant en fonction de la température (b) Section efficace en fonction de la température [MAR-2010]

Afin de mieux comprendre les observations expérimentales réalisées par Deferm et al et Marshall et al, voici une analyse théorique qui sera par la suite complétée par une étude par simulation TCAD.

A basses températures, l'énergie thermique dans un semiconducteur n'est pas assez élevée pour activer complètement tous les atomes donneurs et accepteurs d'impuretés. En conséquence, les concentrations de porteurs ne seront pas égales à la concentration d'atomes dopants [38]. La figure 1.26 montre la variation de la concentration d'électrons à l'équilibre en fonction de la température pour un semi-conducteur silicium de type n dopée avec $10^{16}/\text{cm}^3$. On distingue d'après l'allure globale des concentrations de porteurs illustrée dans la figure 1.26, trois régimes différents en fonction de la température. On observe que la concentration des porteurs libres varie en fonction de la température, cette variation des concentrations des porteurs libres est due à la variation d'énergie thermique suffisante pour ioniser les atomes dopants.

En dessous de 100K il n'y a pas suffisamment d'énergie thermique au sein du silicium pour ioniser totalement les atomes d'impuretés. Cette région de l'opération est connue sous le nom de régime "Freeze-out". Il est considéré que des températures comprises entre 100K et 550K permettent une énergie thermique suffisante pour ioniser totalement les atomes d'impuretés. Cette région de fonctionnement est le régime extrinsèque du semi-conducteur. Lorsque la température augmente au-delà de 550K, la concentration de porteurs intrinsèques augmente et dépasse la concentration d'impuretés. Cette région de l'opération est connue par le régime intrinsèque du semiconducteur [SILVACO].

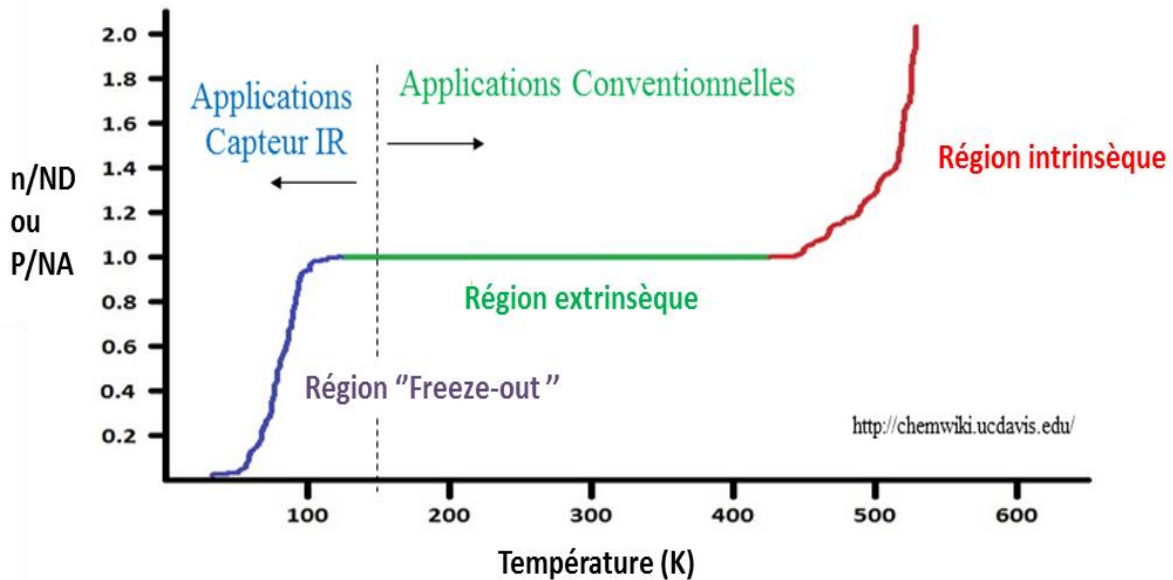


Figure 1.26: Concentration d'électrons en fonction de la température dans silicium de type n [SILVACO].

La figure 1.27 illustre cette différence d'ionisation au niveau des atomes dopants en fonction de la température. Dans la région de température faible ($T < 150\text{K}$) telle que le régime "freeze-out", la concentration des porteurs est plus petite que la concentration N_d des atomes dopants. On peut observer dans cette région une ionisation incomplète des atomes dopants mais la concentration des porteurs passant à la bande de conduction reste dominante par rapport à la concentration d'électrons qui viennent de la bande de valence. Dans le régime extrinsèque ($150\text{K} < T < 550\text{K}$), les concentrations de porteurs sont égales à la concentration N_d . Dans le régime intrinsèque pour lequel la température dépasse 550K, les atomes dopants sont totalement dopés, et le passage direct des électrons de bande de valence à la bande de conduction est dominant.

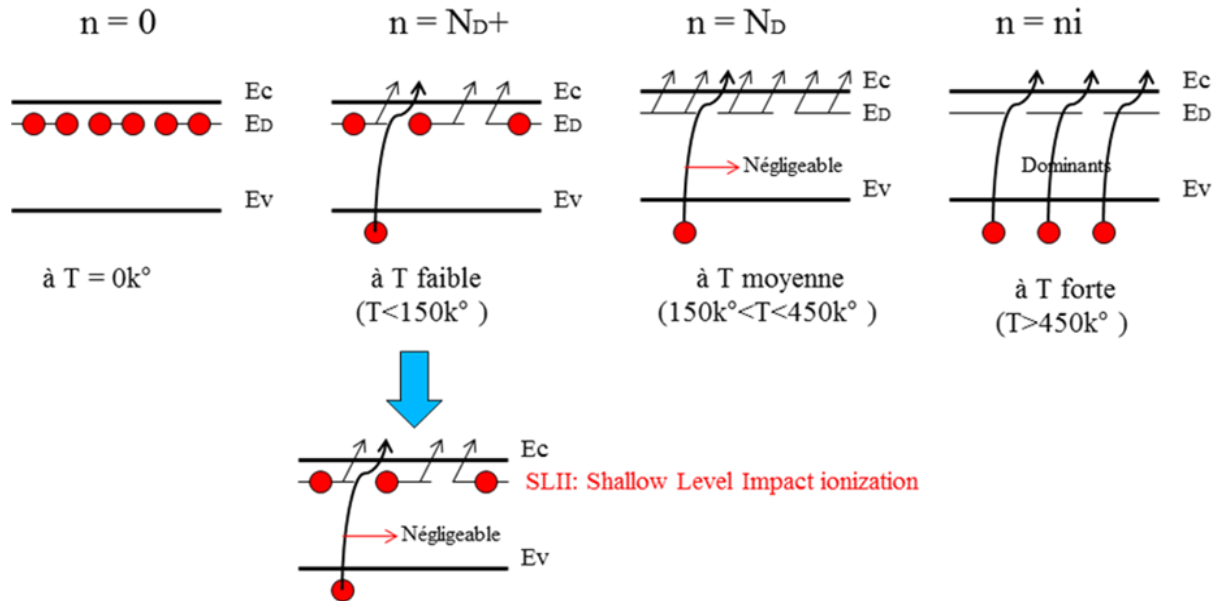


Figure 1.27 : Illustration de la variation de concentration de porteurs libres en fonction de la température (adaptée de [CHE-on]).

Notons que:

n : Densité des électrons libres

N_d : Densité des atomes donneurs.

N_d^+ : Densité des atomes donneurs ionisés.

n_i : Densité des électrons intrinsèques

Afin de comprendre le mécanisme physique à l'origine du déclenchement du Latchup à basses températures, le paragraphe suivant sera consacré à une étude bibliographique sur l'effet lié aux basses températures (<150k).

1.5.6.2 Principe du régime de "Freeze-out"

Le processus de diffusion le plus caractéristique lors d'un fonctionnement à des températures cryogéniques, dans lequel les porteurs "freeze-out" des atomes dopants se produisent, est appelé "Shallow Level Impact Ionization" ou SLII. L'effet de SLII est illustré dans la figure 1.28 et peut être décrit de la manière suivante: l'impact non élastique de porteurs actifs avec les atomes d'impuretés conduit à un transfert d'énergie par ionisation des atomes dopants et peut libérer les électrons (ou trous) dans la bande de conduction (ou valence). Dans ce cas, les

atomes dopants sont ionisés et est chacun une charge fixe [CHE-on] ; le niveau "Shallow" d'impuretés est alors devenu neutre à très basses températures [NOB-on].

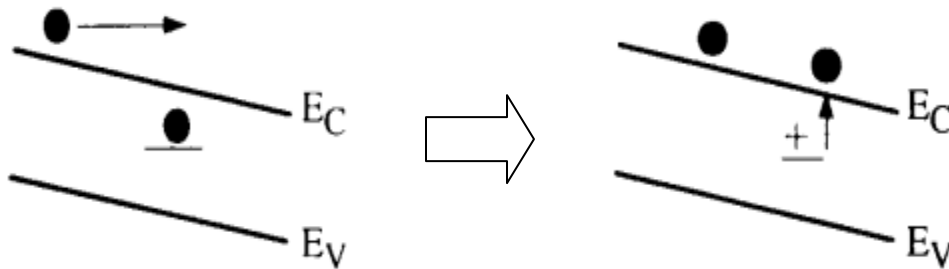


Figure 1.28: Mécanisme de "Shallow Level impact ionization"

A température inférieure à 50K, Deferm et al. [DEF-1990] évoque l'hypothèse que le mécanisme de SLII est la source de l'augmentation exponentielle de porteurs libres. Une fois que le champ électrique atteint sa valeur seuil dans les régions n et p internes de la structure PNPN parasite, la structure ne reste plus à l'état bloqué (état haute impédance). Lors d'un stress électrique ou du passage d'une particule chargée, un transfert d'énergie se fait au niveau SLII. Ce mécanisme peut alors augmenter exponentiellement le courant de porteurs "freeze-out" conduisant à la génération d'un chemin de faible impédance entre l'anode et la cathode (état Structure PNPN 'ON'). Le Latchup est alors déclenché. Les travaux de Deferm montrent que le Latchup est déclenché en basse température (<50K) même si le produit de gain de deux transistors parasites est inférieure à 1 [DEF-1990] (voir figure 1.29), cette condition est devenue:

$$\beta_{npn} * \beta_{pnp} > (M_n * M_p)^{-1} \quad (6)$$

M_n , M_p sont les coefficients de "Shallow Level Impact Ionization" pour les électrons et les trous.

Un paramètre important à analyser est la mobilité. Afin de permettre une analyse détaillée par simulation TCAD dans la suite de ce manuscrit, voici certaines spécificités des effets de la température sur la mobilité des porteurs.

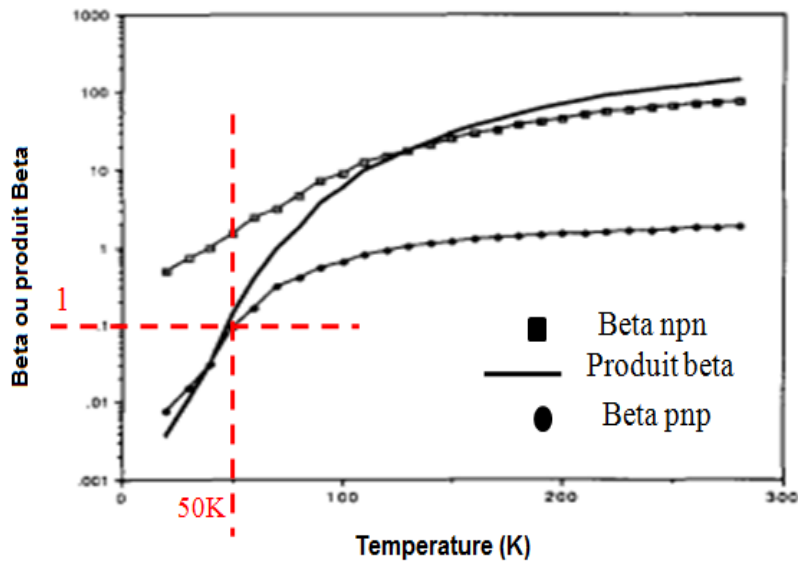


Figure 1.29: Le coefficient Beta P-mos, Beta N-mos et le produit Betas en fonction de la température [DEF-1990].

Tout d'abord, il est important de préciser que la génération des porteurs libres à basses températures n'est pas la seule raison pour diminuer la mobilité de porteurs. Plusieurs mécanismes importants de diffusion (*scattering*) peuvent impacter la mobilité de porteurs et particulièrement pour le cas des températures cryogéniques. Ces mécanismes de diffusion (*scattering*) tels que le phonon acoustique "Acoustical phonon", la diffusion d'impuretés ionisées et la diffusion d'impuretés neutres, qui jouent un rôle clé dans la détermination des mobilités des porteurs dans un semiconducteur, seront considérés.

Revenant à l'équation analytique de la mobilité d'électrons " μ_n ", elle s'écrit [LI-1993]:

$$\mu_n = \frac{q(\tau)}{m_c^*} \quad (7)$$

Q : est la charge électronique, (τ) est le temps moyen de relaxation, et m_c^* est la masse effective de la conductivité. La mobilité d'électrons " μ_n " est directement proportionnelle au temps moyen de relaxation (τ) de porteur au cours de son déplacement dans la matière. En effet, le temps moyen de relaxation est directement lié aux mécanismes de diffusion et il est en fonction de l'énergie et de la température [chap7].

Dans le cas d'un transistor MOS, la mobilité de porteur a une dépendance complexe à la température. Elle est définie par l'interaction des quatre paramètres de diffusion suivants:

diffusion de phonons μ_{ph} , diffusion de rugosité de surface μ_{sr} , la diffusion coulombienne de charge de masse μ_{cb} , et la diffusion coulombienne de charge d'interface μ_{int} [CHA-1997]. Chacun de ces paramètres de diffusion est lié à la température du matériau, T, et au champ électrique transversal efficace dans le canal, μ_{eff} , qui est approximé comme [CHE-1996] [SAB-1979].

$$\frac{1}{\mu_{eff}(T, E_{eff})} \propto \frac{1}{\mu_{ph}(T, E_{eff})} + \frac{1}{\mu_{sr}(T, E_{eff})} + \frac{1}{\mu_{cb}(T, E_{eff})} + \frac{1}{\mu_{int}(T, E_{eff})} \quad (8)$$

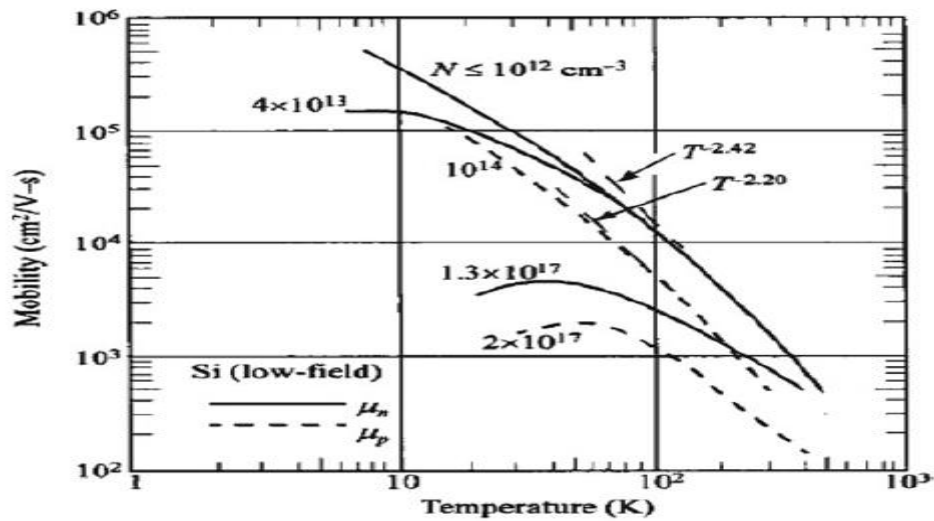


Figure 1.30 : l'effet de la température sur la mobilité d'électron et de trou dans le cas d'un matériau semiconducteur de type silicium pour différentes concentrations de dopage [LI-1993].

La diffusion de phonons se réfère à la possibilité qu'un électron soit dispersé par des vibrations cristallines. Quand la température augmente, les vibrations du réseau des atomes de silicium augmentent et la probabilité qu'un électron soit dispersé par le réseau augmente; Ainsi, les mobilités à haute température sont limitées par la diffusion du phonon, ce qui entraîne une diminution de la mobilité à mesure que la température augmente, comme le montre la figure 1.30. La diffusion de rugosité de surface devient dominante lorsque des champs électriques élevés rapprochent les électrons de la surface Si /SiO2. À basse température, les électrons se déplacent plus lentement, et les vibrations cristallines sont aussi petites (effet de diffusion de phonon très faible); Ainsi, La diffusion d'électrons par les atomes d'impuretés ionisés au niveau SLII est dominante. Cette diffusion est un exemple classique de diffusion élastique coulombienne dans un semi-conducteur où le changement d'énergie de l'électron pendant un

tel événement de diffusion est négligeable par rapport à l'énergie de l'électron avant la diffusion. Dans ce régime, la température décroissante prolonge le temps nécessaire pour que les électrons passent un ion d'impureté, ce qui entraîne une diminution du temps de relaxation des électrons et par conséquent une diminution de la mobilité quand la température diminue ($\mu_{cb} \propto T$) (voir l'équation 8). Cet effet est souligné dans les courbes de concentration élevée de dopants montrées dans la figure 1.30, où la mobilité forme un pic à basse température comme par exemple, le cas du dopage de $1,3 \cdot 10^{17} \text{ cm}^{-3}$ [GRA-2000].

Dans les parties suivantes de ce manuscrit de thèse, nous présenterons l'outil de simulation TCAD Sentaurus de la suite logiciel SYNOPSIS qui a été utilisé pour étudier par simulations les différents effets liés à la technologie et à la température sur le déclenchement du Latchup.

1.6 Présentation des outils de simulation utilisés

Dans le cadre de cette thèse, nous avons utilisé l'outil de simulation TCAD commercial de Sentaurus pour étudier les mécanismes physiques conduisant à l'occurrence du phénomène de Latchup dans un inverseur CMOS. Cet outil de simulation nous permet d'étudier le comportement physique et d'extraire les caractéristiques électriques du phénomène de Latchup. Dans un second temps et afin d'estimer la sensibilité Latchup (calcul section efficace) pour une technologie donnée, nous avons utilisé un outil de prédiction des événements singuliers développé à l'ONERA, MUSCA SEP3. Cette partie a pour but de présenter en détail le fonctionnement de ces deux outils utilisés au cours de cette thèse.

1.6.1 Outil de simulation TCAD Sentaurus

Le terme TCAD est l'acronyme anglo-saxon de (*Technology Computer Aided Design*). Cet outil de conception est une branche de la CAO (Conception assistée par ordinateur) électronique. Sentaurus est une suite commerciale d'outils TCAD qui simule la fabrication, l'exploitation et la fiabilité des dispositifs semi-conducteurs. Les simulateurs Sentaurus utilisent des modèles physiques pour représenter les étapes de fabrication des substrats (étape "*process*") et le fonctionnement du dispositif, ce qui permet d'explorer et d'optimiser de nouveaux dispositifs semi-conducteurs. Les outils Sentaurus TCAD fonctionnent de manière transparente et peuvent être combinés en flux de simulation complets en 2-D et 3-D. Sentaurus TCAD prend en charge les technologies semi-conductrices de silicium et de composés, couvrant une large gamme d'applications semi-conductrices [SYN-on]. Dans notre cas, l'outil TCAD nous permet de simuler

le comportement physique/électrique d'un composant électronique en tenant compte de la construction de sa structure (profils de dopages, nature de matériaux, géométries, etc). La simulation dite "process" n'a pas été prise en compte lors de cette thèse.

Dans le cadre de cette thèse, l'outil Synopsys TCAD a été utilisé pour étudier les mécanismes physiques conduisant à l'occurrence d'événements singuliers au sein d'un composant semi-conducteur de type silicium à une technologie 0.25 μ m utilisée par Sofradir. Pour cela, le logiciel va résoudre de façon auto-cohérente les équations physiques (continuité, de Poisson ...), selon les modèles implémentés en tout point de la structure simulée. Puis les équations des différents modèles physiques souhaités (modèles de mobilité, recombinaison, génération, ionisation par impact, etc) seront résolues en s'appuyant sur les effets du domaine d'application du composant tel que la température.

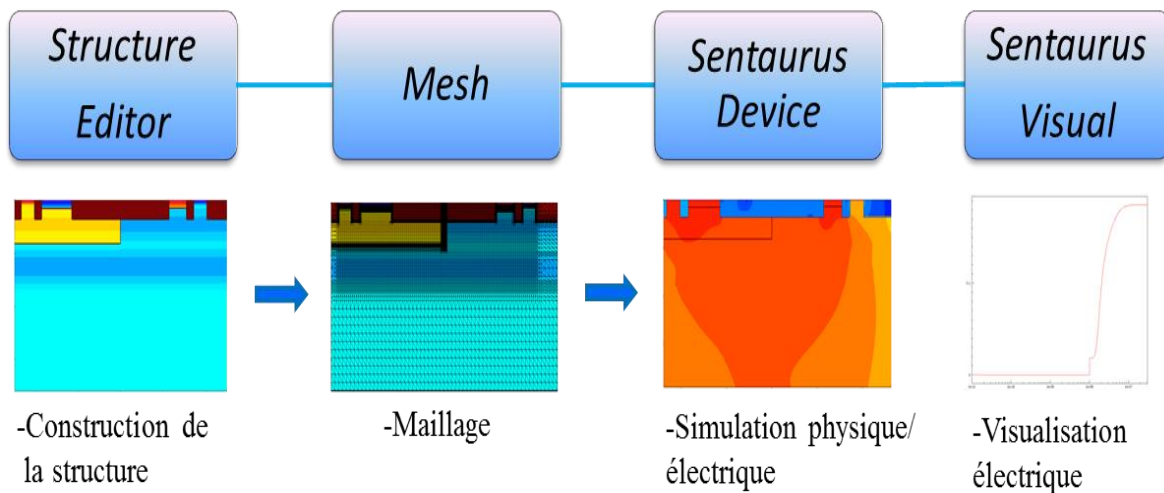


Figure 1.31: Schéma de principe d'une simulation TCAD, Construction de la structure par l'outil structure Editor, maillage par l'outil Santaurus Mesh, simulation par l'outil Sentaurus Device.

La figure 1.31 montre le schéma de principe d'un "flow" de simulations TCAD. La construction de la structure en 2-D ou 3-D, est réalisée par l'outil "Structure Editor". Dans le fichier d'entrée de cet outil est défini la géométrie de la structure, la nature des matériaux utilisés, les différents profils de dopage de substrats et des implants. C'est également dans ce fichier que sont définies les différentes zones de maillage associées à cette géométrie, à l'aide de l'outil "SentaurusMesh".

La précision quantitative des simulations dépend de la finesse du maillage que l'on applique à la structure: plus celui-ci est fin, meilleure est la précision. Cependant le temps de calcul de ces simulations est proportionnel au nombre de nœuds du maillage de la structure étudiée. Plus le

maillage est dense, plus la solution globale est précise. Comme la résolution des équations aux dérivées partielles est effectuée par la méthode de Newton qui se repose sur la méthode des éléments finis, la convergence se complique grandement avec un élargissement du maillage. Il s'agit donc de trouver un juste milieu entre précision, temps de calcul et convergence. De manière générale, il convient de définir un maillage relativement lâche dans les zones les moins sensibles électriquement et de le raffiner dans les zones actives du composant. De plus, afin de faciliter la définition du maillage, il est possible de définir un maillage automatique qui s'adapte en fonction d'un paramètre physique (par exemple en fonction de la densité de dopant) comme illustré dans la figure 1.32 afin d'obtenir une bonne résolution des équations.

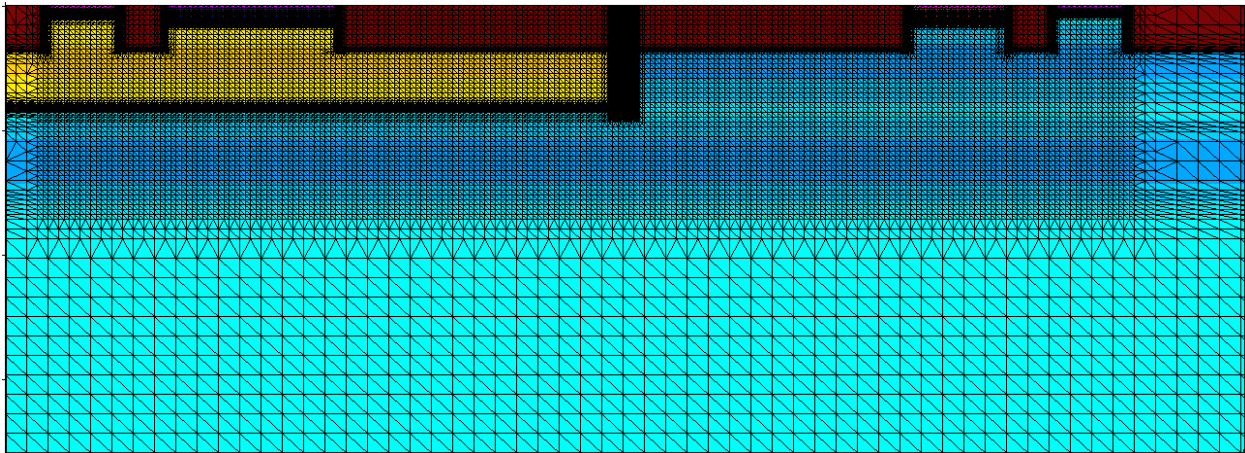


Figure 1.32: Extrait d'un maillage en fonction de la densité de dopage par l'outil Sentaurus Mesh. Maillage compact au niveau de jonctions et aux interfaces Semi-conducteurs-oxyde.

Dans l'outil "Sentaurus Device", un fichier de commande permet de définir les modèles physiques à prendre en compte lors de la simulation "électrique", de choisir les grandeurs à extraire de la simulation, de choisir le type de simulation dynamique ou statique, et enfin de lister les équations à résoudre.

Dans le cadre de ces travaux de thèse, les différents modèles utilisés sont les suivants:

- le modèle de dépendance de la mobilité en fonction de la concentration en impuretés, de champ électrique, et de la température.
- le modèle permettant de tenir compte du rétrécissement de la largeur du gap du silicium dans les régions de fort dopage ("*bandgap narrowing*")
- le modèle de recombinaison "*Shockley-Read-Hall*" avec une dépendance des durées de vie des porteurs en fonction de la concentration en impuretés
- le modèle de recombinaison "*Auger*"

- La statistique utilisée est une celle de "Fermi".
- Pour les simulations à très basse température, en ajoutant la dépendance des modèles en fonction de la température. Les détails de ses modèles ont fait l'objet d'une étude dédiée et sont présentés dans le chapitre résultats en basse température.

L'outil de visualisation "*Sentaurus Visual*" permet de visualiser en 2D et 3D les paramètres physiques (mobilité, champ électrique, densité de courant, etc) en chaque point du maillage à un instant donné, et de suivre l'évolution temporelle des paramètres électriques (courant, tension) aux contacts définis lors de la construction de la structure du composant.

Dans le cadre spécifique de ces travaux de thèse, les outils de simulation TCAD ont permis d'extraire les caractéristiques électriques du Latchup, de simuler la sensibilité SEL par passage d'une particule radiative.

Afin d'aller plus loin dans l'étude de la sensibilité SEE, via le calcul de sections efficaces, des simulations basées sur l'outil de prédiction MUSCA SEP3 ont été également utilisées.

1.6.2 Outil de prédiction SEE - MUSCA SEP3

L'ONERA DESP développe depuis 2007 une plateforme prédictive de SEEs nommé MUSCA SEP3 dont le principe général consiste à modéliser de manière séquentielle et parfois combinée les différents mécanismes physiques conduisant à l'apparition d'un SEE. Dans la méthodologie MUSCA SEP3, l'objectif est de modéliser un système global composé d'une part du semi-conducteur dans lequel les mécanismes de collection vont conduire à l'apparition des SEEs. La figure 1.33 représente les différentes étapes du « flow » de simulation détaillées depuis son environnement matériau, c'est-à-dire le boîtier, les blindages, les structures, en passant par les détails du design du composant, la modélisation de la génération des charges, leur diffusion et collection pour enfin terminer par la simulation électrique de la réponse du composant étudié à la perturbation en courant induite par l'environnement radiatif étudié.

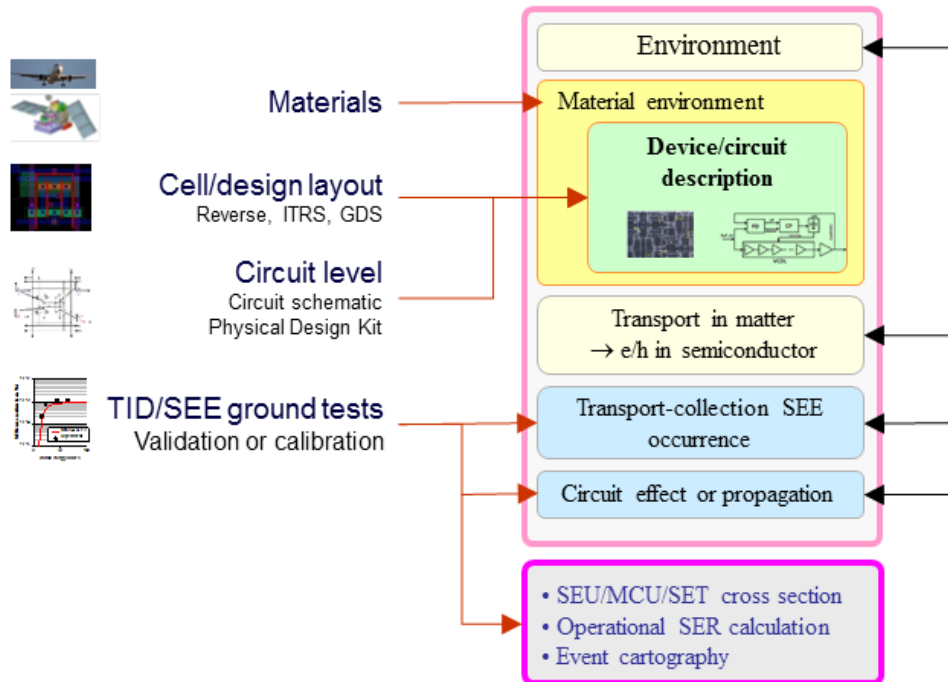


Figure 1.33:Présentation générale de l’outil de prédiction MUSCA SEP3 proposant le flow de modélisation depuis l’environnement jusqu’à l’occurrence du SEE au niveau circuit

L’approche de modélisation repose sur une description étape par étape, multi-physique et multi-échelle. La description des interactions particule-matière reposent sur des bases de données nucléaires (issues de GEANT4 et SRIM) à partir desquelles sont réalisées des simulations Monte Carlo. Afin d’être compatible avec cette approche Monte Carlo, les modèles de diffusion et collection de charges reposent sur une description analytique 3D. Il est important de noter que la description technologique dans l’outil de prédiction MUSCA SEP3 peut être variable selon le degré de connaissance du composant étudié. En effet, dans le cadre de cette thèse, l’accès au fichier de design de Sofradir (fichiers GDS) a été possible. En revanche les paramètres technologiques n’étaient que peu détaillés. A défaut, les hypothèses technologiques sont réalisées en se basant sur les roadmaps ITRS. Dans le cadre de cette thèse, ces hypothèses technologiques ont été validées par simulation TCAD.

L’ensemble de ses étapes permet de générer une base de données de courants parasites aussi bien représentatifs des contraintes environnementales (radiation, température) que des caractéristiques technologiques. Cette base de données est injectée sur les nœuds correspondant du circuit pour une simulation électrique transitoire afin d’évaluer la réponse du circuit étudié vis-à-vis de la perturbation transitoire SET.

1.7 Conclusion

Nous avons présenté dans ce chapitre les composants du détecteur infrarouge Sofradir utilisé dans cette étude de la sensibilité aux SEE dans un environnement radiatif ainsi que les différentes sources de particules radiatives auxquels des composants électroniques embarqués sont susceptibles d'être soumis: l'environnement spatial et l'environnement terrestre. L'interaction de ces particules avec les composants électroniques peut provoquer des perturbations du fonctionnement de ces composants et peut même être destructif dans certains cas. En effet, le passage d'un ion ou d'un proton dans la zone sensible d'un composant, en créant une colonne de paires électron-trou par ionisation des atomes du milieu, peut induire un courant transitoire parasite qui va perturber le comportement du système électronique. L'ensemble des effets induits par le passage d'une particule unique dans un composant est ainsi regroupé sous l'appellation « effets singuliers » ou *Single Event Effects*. L'effet le plus dangereux est la création d'un chemin faible impédance entre l'alimentation et la masse du circuit, et conduit par conséquent à la destruction du composant par emballement thermique. Ce phénomène s'appelle Latchup. Ensuite, un état de l'art sur le phénomène Latchup a été présenté dans le but d'introduire les effets technologiques et température sur le déclenchement du Latchup dans les conditions cryogéniques. Des données expérimentales montrent la haute sensibilité au Latchup à basses températures. Dans un premier temps il sera présenté une étude du comportement physique du semiconducteur (le silicium) à basses températures. Un pic de mobilité a été observé à basses températures. Ce pic peut introduire un pic du courant dans le silicium à basses températures.

La première étape de ces travaux de thèse a consisté en l'analyse des données expérimentales, SEE à basses températures sur deux circuits de lecture complets de détecteurs infrarouges destinés à des applications spatiales. L'analyse spécifique de l'immunité de ces détecteurs au phénomène de latchup sera abordée dans le chapitre 3, afin d'évaluer les mécanismes sous-jacent au déclenchement du Latchup à basses températures.

Chapitre 2 : Analyse des données expérimentales de la sensibilité SEE à basses températures de circuit de lecture de détecteur infrarouge

L'objectif de ce chapitre est d'analyser des données expérimentales dans le but d'évaluer l'impact des températures cryogéniques sur la sensibilité SEE de deux circuits de lecture d'un capteur d'images infrarouges (ROIC) conçu par Sofradir. La campagne de mesure SEE a eu lieu à l'université Catholique de Louvain (UCL) en Belgique sous un faisceau d'ions lourds. La première section de ce chapitre est consacrée à présenter les dispositifs ROIC testés lors de la campagne SEE. Deux ROIC sont développés par Sofradir, les circuits de lecture (A) et les circuits de lecture (B) pour cette campagne. Le setup d'irradiation des ions lourds sera également présenté dans cette section. La deuxième section est consacrée à une analyse des données expérimentales au cours de cette campagne de test SEE. Enfin, la dernière section sera consacrée à une étude par simulations dans le but de confirmer les hypothèses présentées lors de la discussion des résultats expérimentaux. Le travail de simulation repose sur l'utilisation de l'outil MUSCA SEP3 développé à l'ONERA qui permet de fournir des estimations SEE.

2.1 Description de la campagne SEE d'irradiation d'ion lourds

2.1.1 Présentation des circuits de lecture testés

Le véhicule de test pour ces mesures expérimentales SEE a été développé par Sofradir et contient deux types de circuit de lecture (ROIC), de designs différents et dont le schéma de principe a été présenté précédemment (Cf. figure 1.10). Les différences de designs ne seront pas présentées en

détails dans ce manuscrit de thèse pour des raisons de confidentialité. Cependant, il est important de noter que la différence majeure d'un point de vue du design de ces deux ROIC est la répartition des matrices de pixels, en termes de lignes et colonnes. Une synthèse de ces éléments est présentée dans le tableau 2.1. Le premier ROIC est identifié comme étant le ROIC "A". Trois échantillons ("A1", "A2", "A3") de ce ROIC "A" ont été testés. Le test de plusieurs échantillons est nécessaire afin de quantifier la variabilité potentiellement observée lors des mesures. Les échantillons "A" sont constitués de trois matrices de pixels correspondant aux différentes bandes spectrales. Les dimensions du premier tableau sont 224 x 4 (ligne x colonne). Le deuxième tableau est basé sur 224 x 4 pixels. Le troisième tableau est basé sur 448 x 4 pixels. Le deuxième ROIC s'appelle "B". Deux échantillons ("B1", "B2") ont été testés. Ce ROIC contrôle également trois matrices de pixels. Chaque matrice correspond à une bande spectrale. Les dimensions du premier tableau de pixels sont 224 x 8 (ligne x colonne). Les deuxième et troisième tableaux sont basés sur des dimensions de 112 x 4 pixels. Les circuits de lecture ont été développés par Sofradir et fonctionnent à 5V. Pendant tous les tests SEE, le ROIC et ses tables de pixels sont sous le faisceau d'ions lourds.

Tableau 2.1: Description de ROICs testés

Circuit de lecture	Numéro d'échantillon	Tension d'alimentation
ROIC "A"	Echantillon "A1", Echantillon "A2", Echantillon "A3"	5V
ROIC "B"	Echantillon "B1", Echantillon "B2"	5V

2.1.2 Présentation du setup d'irradiation d'ions lourds

La campagne de test SEE a été réalisée à l'UCL en Belgique (Université Catholique de la Neuve) avec un moyen d'essai d'ions lourds. Le CYCotron de LOuvain la NEuve (CYCLONE) propose différentes espèces d'ions lourds qui sont divisées en deux cocktails d'ions, nommés M/Q5 et M/Q3.3 [ART-2015]. Les espèces et caractéristiques des deux cocktails d'ions lourds sont résumées dans le tableau 2.2 et le tableau 2.3.

Tableau 2.2: Cocktail d'ions au UCL M/Q =5

Ion	Energie (MeV)	Range ($\mu\text{m}(\text{Si})$)	LET ($\text{MeV}\cdot\text{cm}^2\cdot\text{mg}^{-1}$)
$^{15}\text{N}^{3+}$	60	59	3.3
$^{20}\text{Ne}^{4+}$	78	45	6.4
$^{40}\text{Ar}^{8+}$	151	40	15.9
$^{84}\text{Kr}^{17+}$	305	39	40.4
$^{124}\text{Xe}^{25+}$	420	37	67.7

Tableau 2.3: Cocktail d'ions au UCL M/Q =3.3

Ion	Energie (MeV)	Range ($\mu\text{m}(\text{Si})$)	LET ($\text{MeV}\cdot\text{cm}^2\cdot\text{mg}^{-1}$)
$^{13}\text{C}^{4+}$	131	292	1.1
$^{22}\text{Ne}^{7+}$	235	216	3
$^{40}\text{Ar}^{12+}$	372	117	10.2
$^{58}\text{Ni}^{18+}$	567	100	20.4
$^{83}\text{Kr}^{25+}$	756	92	32.6

La figure 2.1 présente la configuration expérimentale utilisée lors de cette campagne de test SEE à l'UCL. Lors de toutes les mesures d'essai (effectuées par Sofradir), la température de la puce a été surveillée et régulée au moyen d'un équipement développé par Sofradir. Cet équipement de refroidissement permet de réguler la température du composant testé (DUT) à une plage de température allant de 50K à 293K. Les occurrences de SET et de SEFI ont été détectées et enregistrées pendant les campagnes de test.

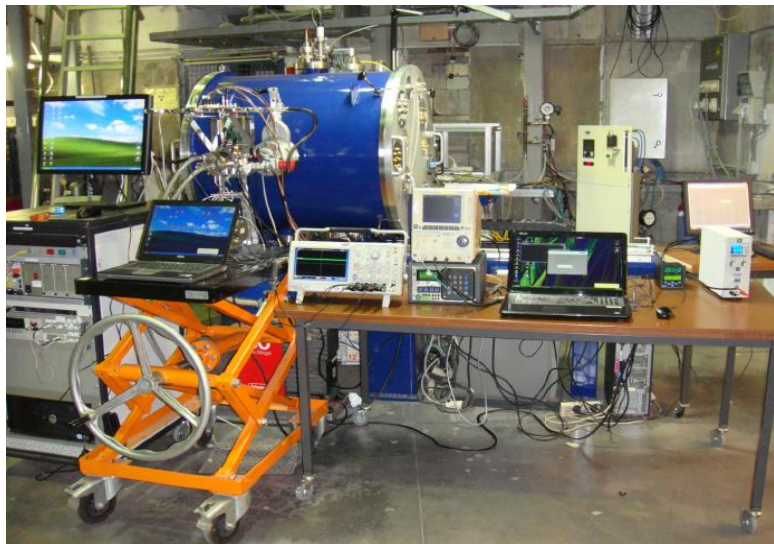


Figure 2.1: Vue globale de la configuration expérimentale dans l'installation d'ion lourd à Louvain La Neuve, en Belgique.

Détection de SETs (Single Event Transient) :

Dans ce chapitre, seules les sections efficaces de SETs seront présentées. Après l'analyse des données de cette campagne, deux types de SET ont été identifiés : un SET court (Short SET) et un SET long (Large SET), comme présenté dans le Tableau 2.4. Le SET court correspond à une perturbation d'un pixel durant une seule trame de vidéo, alors qu'un SET long correspond à une perturbation d'un pixel durant deux trames de vidéo ou plus. Pour chaque type de SET, deux catégories ont été identifiées, un SET simple (Single SET) ou un SET multiple (Multiple SET). Cette multiplicité correspond au nombre de pixels impactés par la perturbation transitoire induite par un ion lourd. Afin de déterminer et de classifier les différentes catégories d'événements, le protocole suivant a été réalisé : on effectue une comparaison entre les trames N-2, N-1 et N. Si le pixel a la même valeur à la trame N-2 et N et pas à la trame N-1, alors on comptabilise un SET court. Si le pixel est identique à la trame N et N-1 et différent à la trame N-2, alors on comptabilise un SET long. SET court et SET long sont comptabilisés chacun dans un registre 30 bits lors de chaque « run » de test.

Tableau 2.4: Description de catégories de SETs

type de SET	Durée d'évènement	Catégorie de SET	
		Singulier	Multiple
SET court	Une seule trame	Seulement un pixel impacté	Deux à quatre pixels impactés
SET long	Deux ou plusieurs trames	Seulement un pixel impacté	Deux à quatre pixels impactés

Après cette description du setup expérimental et des caractéristiques des composants testés (DUT), les résultats expérimentaux SETs lors des irradiations ions lourds seront présentés et analysés dans la section suivante.

2.2 Mesures SEE induits par ions lourds sur deux ROICs

Les capteurs infrarouges de Sofradir fonctionnent dans une gamme de températures très large qui peut descendre à de très basses températures (<60K). En effet, afin d'optimiser les performances des détecteurs IR, le système est maintenu à des températures pouvant être cryogéniques. C'est dans cette gamme de températures que le courant d'obscurité (ou bruit) est

le plus faible. De ce fait, il a été nécessaire lors de cette campagne de mesures d'évaluer l'impact des températures cryogéniques sur la sensibilité SEE des échantillons de Sofradir. Ainsi dans la suite de ce chapitre, des sections efficaces sont tracées en fonction de la température. Durant la campagne de mesure SEE, les événements singuliers SET, SEFI, SEL ont été monitorés pour l'ensemble des échantillons des ROIC "A" et "B".

Détection du Latchup (SEL) :

Pendant chaque opération d'irradiation, un système GUARD (Graphical Universal Auto Range Delatcher) a été utilisé sur le système de gestion d'alimentation du DUT afin de pouvoir détecter un événement de type SEL. Lors d'une détection de SEL, un registre est incrémenté et l'alimentation du système est coupé afin éviter sa destruction [ART-2015]. Lors de l'ensemble des tests de cette campagne, aucun SEL n'a été mesuré. Les deux circuits de lecture "A" et "B" sont totalement immunes au Latchup dans une gamme de températures de 50K à 293K. Cette immunité au phénomène de Latchup de la technologie Sofradir sera investiguée dans les chapitres suivants afin d'identifier les mécanismes spécifiques aux températures cryogéniques mais également d'en déterminer les raisons de designs et technologiques. Ces éléments permettront de proposer de nouvelles recommandations dans l'optique d'étendre cette immunité pour une plus large gamme de températures.

Par la suite, les sections efficaces expérimentales de SET seront présentées en fonction du LET et pour une large gamme de température. Deux catégories SET sont décrites dans le tableau 2.4: (a) les SETs singuliers détectés correspondent à un événement sur un pixel pendant au moins une trame d'image vidéo dans la table des pixels. (B) les SETs multiples correspondent de deux à quatre SET détectés (suivant le nombre des pixels impactés) pendant au moins une trame d'image vidéo dans la table des pixels. Les sections efficaces totales de SETs ont également été estimées. La section efficace totale de SET correspond à la somme de non seulement les deux catégories SET mentionnées mais aussi aux événements SET dont le nombre d'événements est supérieur à 4 mais inférieur à la taille de la colonne de table des pixels irradiées.

2.2.1 Impact des températures cryogéniques sur la sensibilité de SETs

Comme déjà évoqué, il est nécessaire de mesurer la sensibilité SEE à basses températures afin d'être le plus représentatif des conditions de fonctionnement des ROIC refroidis à températures cryogéniques. Pour cela nous avons commencé par étudier la dépendance en température de la sensibilité SETs. Les figures 2.2 (a) et (b) présentent les sections efficaces de SET long mesurés sur l'échantillon "A1" et l'échantillon "B1" des ROIC "A" et "B" respectivement. Les figure 2.2 (c, d) présentent les sections efficaces de SET court mesurés sur l'échantillon "A1" et l'échantillon "B1". Pour l'ensemble des résultats présenté dans ces figures les valeurs de section efficace totale SET (triangles noirs), les valeurs de section efficace de multiple SET (carrés rouges) et les valeurs de section efficace de SET singulier (diamants bleus) sont mesurées pour un faisceau d'ion lourds d'un LET de $32 \text{ MeV.cm}^2.\text{mg}^{-1}$ et pour une gamme de températures allant de 50K à 293K. Les barres d'erreurs ont été calculées et tracées pour chaque valeur de section efficace. Ces barres

d'erreurs correspondent à une erreur statistique ici calculée comme étant l'écart type. On peut constater une très bonne statistique de mesure : les barres d'erreurs sont très faibles. Les sections efficaces du SET large multiple sont inférieures d'une décade aux courbes de sections efficaces du SET simple dans les deux ROIC. Cependant, les sections efficaces SET court multiple sont nulles sauf dans le cas du ROIC à "A" à 55K. Notons que très peu de tests durant cette campagne ont été réalisés à 55K. Les résultats mettent en évidence une dépendance de température limitée à la sensibilité SET pour les deux ROIC A et B. Cette tendance est en accord avec un travail antérieur réalisé sur d'autres véhicules de test dédié CMOS reposant sur le test de bascule D pour des températures allant jusqu'à 80K et également tests sous faisceau d'ions lourds à l'UCL [ART-2015].

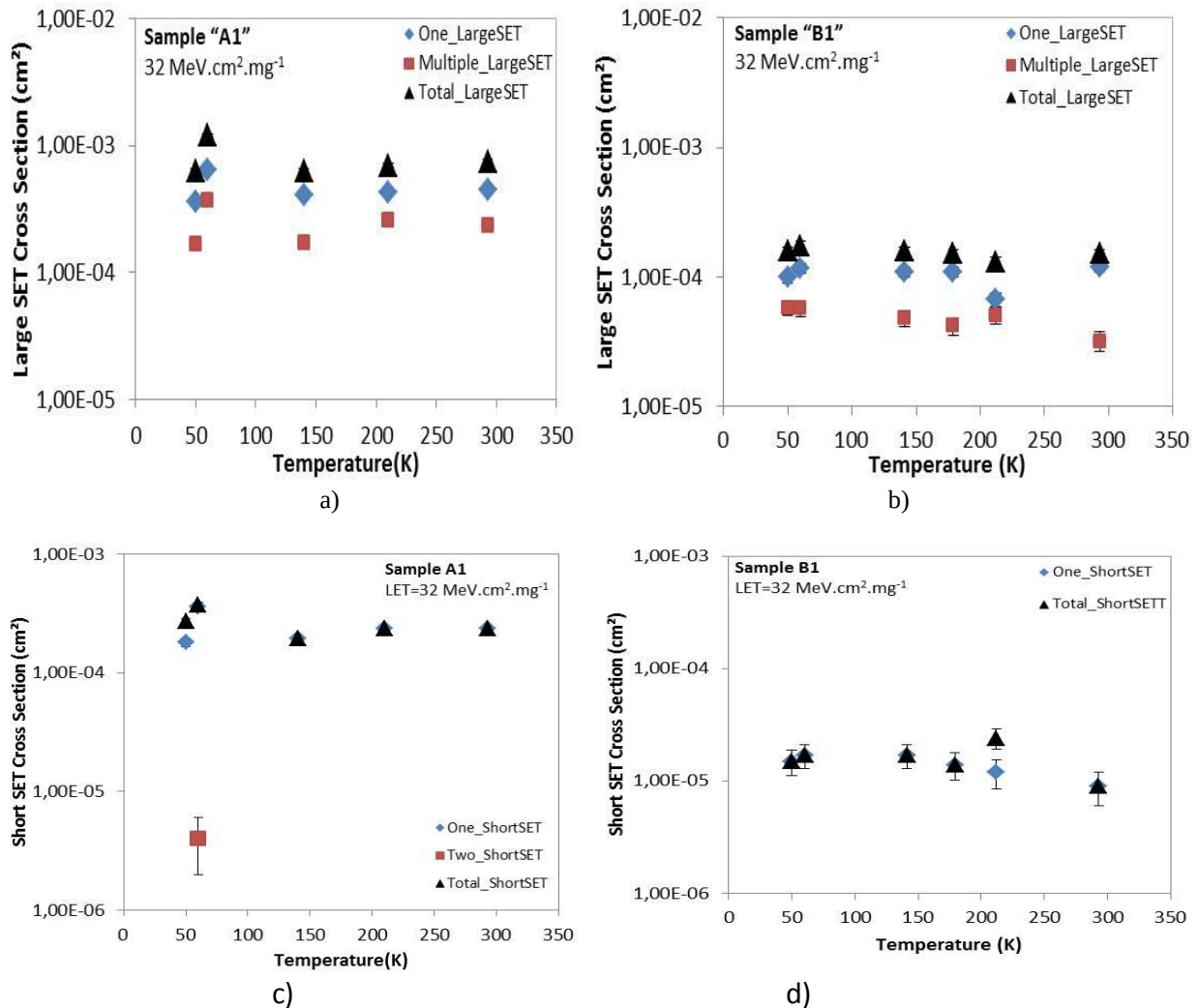


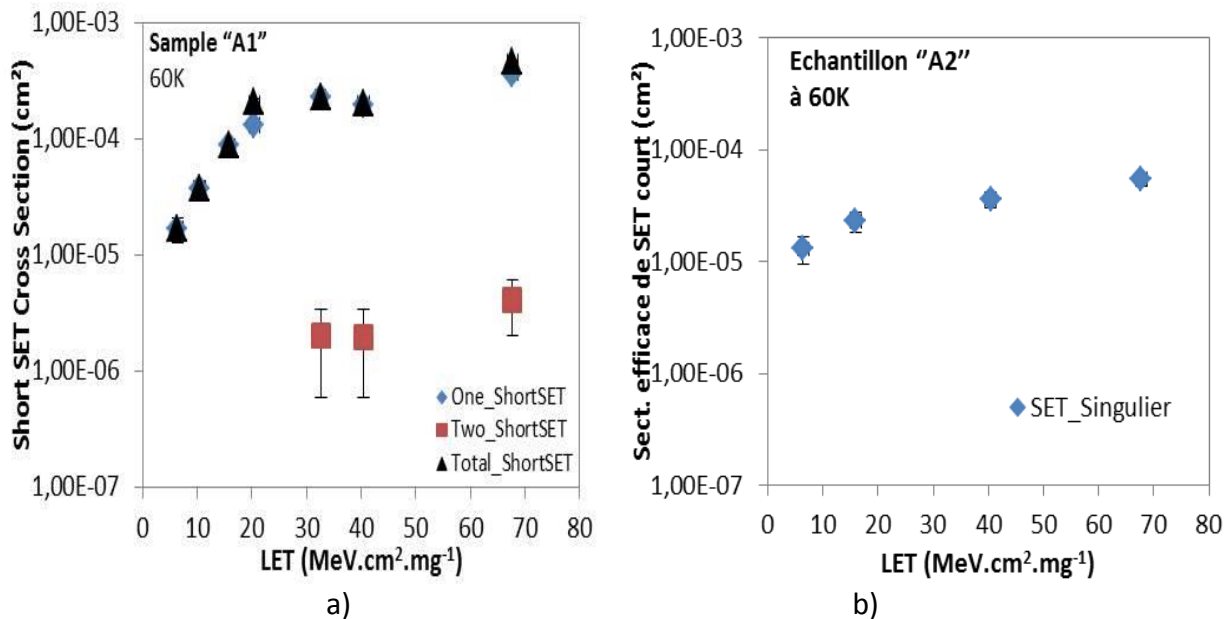
Figure 2.2 : sections efficaces expérimentales de SET en fonction de la température pendant la campagne de test sous l'ion lourd ($32 \text{ MeV.cm}^2.\text{mg}^{-1}$), en fonction de la température de 50K à 293K. (a) Sections efficaces de SET long mesurées sur l'échantillon "A1" (b) Sections efficaces de SET long mesurées sur l'échantillon "B1" (c) Sections efficaces de SET court mesurées sur l'échantillon "A1" (d) Sections efficaces de SET court mesurées sur l'échantillon "B1".

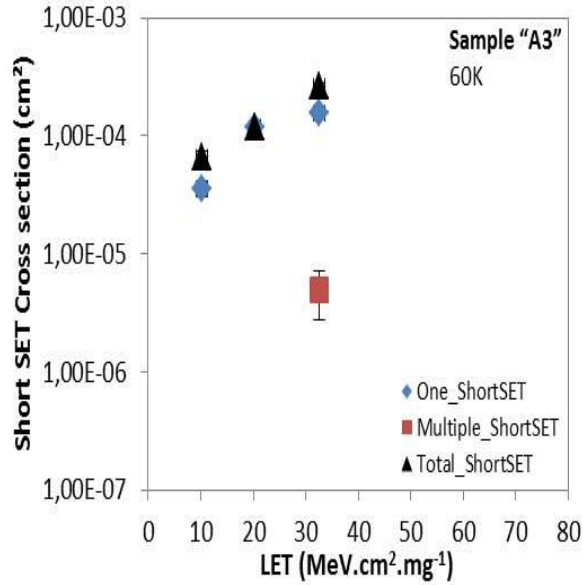
2.2.2 Mesures de SETs courts sous irradiation des ions lourds à 60K

Comme présenté dans la section 2.1.2, les SETs courts ont été détectés lorsqu'un changement d'état d'un pixel se produit pendant une seule image vidéo. La figure 2.3 présente les sections efficaces des SET courts mesurés sur les échantillons "A1", "A2", "A3", et "B1", "B2" des deux ROIC "A" et "B" respectivement. La courbe de la section efficace totale de SET court (triangles noirs), la courbe de la section efficace de multiple SET court (carrés rouges) et la courbe de la section efficace de SET singulier (diamants bleus) sont mesurées à une température de 60K et pour différents ions dont le LET varie de $3.3 \text{ MeV.cm}^2.\text{mg}^{-1}$ jusqu'à $67 \text{ MeV.cm}^2.\text{mg}^{-1}$. Comme précédemment, les barres d'erreurs ont été calculées et tracées pour chaque valeur de section efficace.

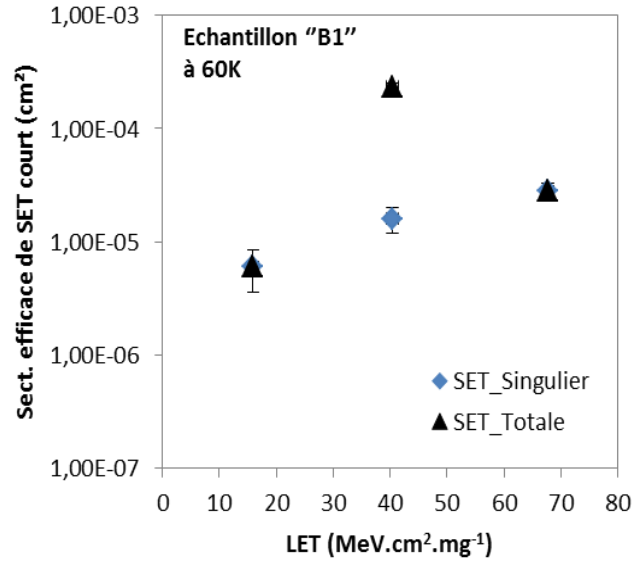
Comme attendu et conformément aux données de la littérature (pour d'autres types de composant), les sections efficaces du SET court mesurées sur tous les échantillons augmentent en fonction du LET et saturent. Il est intéressant de noter que ce plateau de saturant est atteint à partir de $32 \text{ MeV.cm}^2.\text{mg}^{-1}$ dans la plupart des échantillons.

Dans le cas des échantillons "A1" et "A3" (Figures 2.3 a) et c)), les sections efficaces des SET multiples sont inférieures de deux décades aux courbes de sections efficaces des SET simples. Les résultats mettent aussi l'accent sur l'impact limité de la variabilité des échantillons sur la sensibilité des SET court à 60K. Cette observation semble être cohérente avec les résultats présentés dans la section 2.2.1.

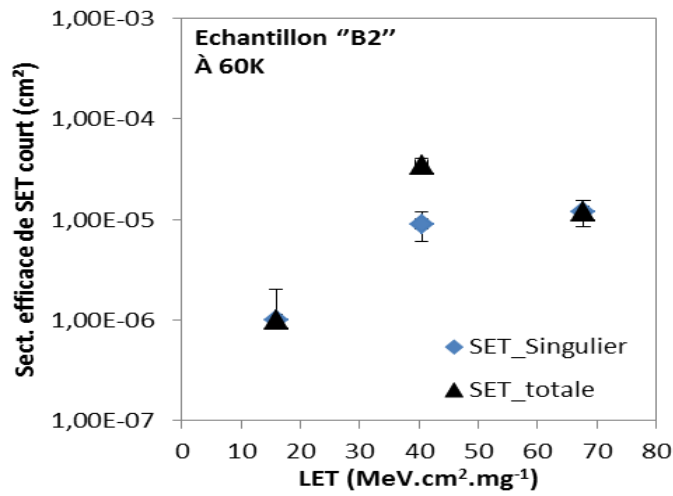




c)



d)



e)

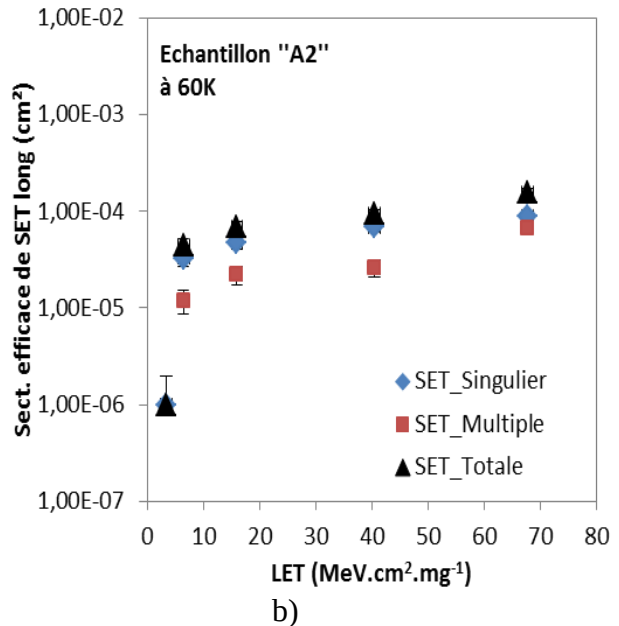
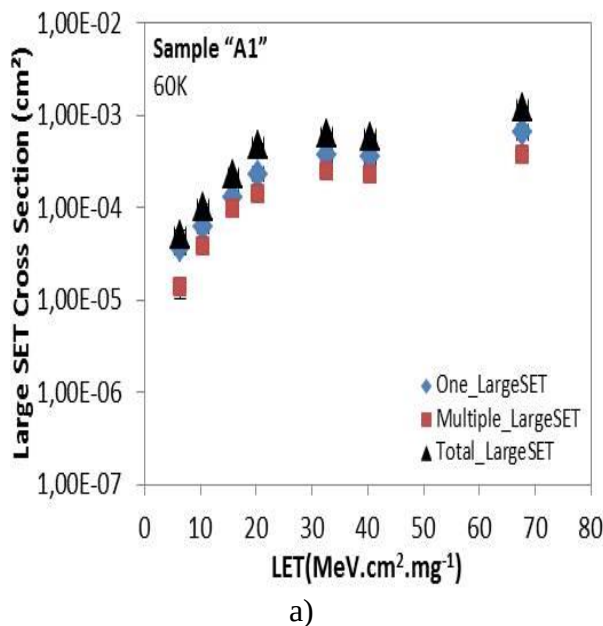
Figure 2.3 : sections efficaces expérimentales de SET court en fonction du LET pendant la campagne de test sous l'irradiation des ions lourds à 60K. (a) Sections efficaces de SET court mesurées sur l'échantillon "A1" (b) Sections efficaces de SET court mesurées sur l'échantillon "A2" (c) Sections efficaces de SET court mesurées sur l'échantillon "A3" (d) Sections efficaces de SET court mesurées sur l'échantillon "B1" (e) Sections efficaces de SET court mesurées sur l'échantillon "B2".

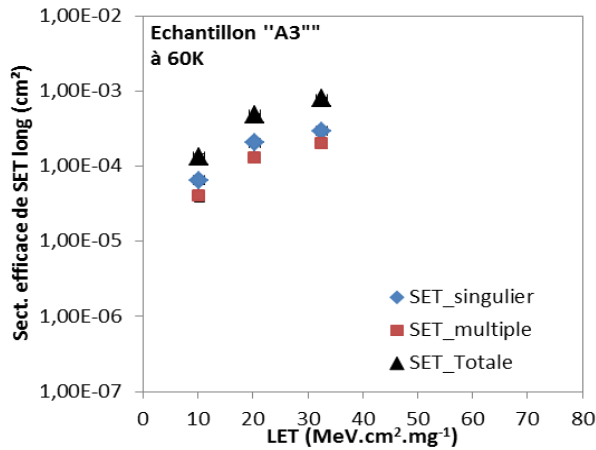
2.2.3 Mesures de SETs longs sous irradiation des ions lourds à 60K

Comme évoqué dans la section 2.1.2, les SETs longs ont été détectés et comptabilisés lorsqu'un changement d'état d'un pixel se produit durant deux trames de vidéo ou plus. La figure 2.4 présente les sections efficaces des SET longs mesurés sur les échantillons "A1", "A2", "A3", "B1"

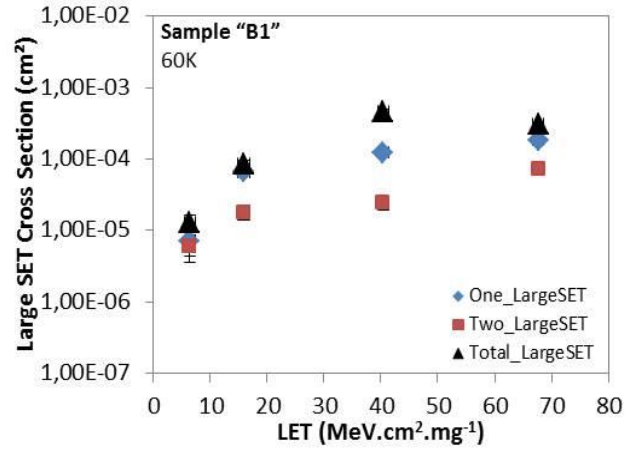
et "B2" de deux ROIC "A" et "B". La courbe de la section efficace totale des SET longs (triangles noirs), la courbe de la section efficace des multiples SET longs (carrés rouges) et la courbe de la section efficace de SET singulier (diamants bleus) ont été mesurées pour une température de 60K pour des ions lourds dont le LET varie $3.3 \text{ MeV.cm}^2.\text{mg}^{-1}$ à $67 \text{ MeV.cm}^2.\text{mg}^{-1}$. Comme précédemment, les barres d'erreurs ont été calculées et tracées pour chaque valeur de section efficace. Comme pour les SET courts, et comme conformément aux données de la littérature (pour d'autres type de composants), les sections efficaces du SET long mesurées sur tous les échantillons augmentent en fonction du LET. Le plateau de saturation de la section efficace est également atteint à partir d'un LET de $32 \text{ MeV.cm}^2.\text{mg}^{-1}$ pour la plupart des échantillons. Dans le cas de l'échantillon "A1" (Figure 2.4 a)), très peu de différence est constaté entre la sensibilité du ROIC aux SET multiple et simple. En effet, moins de 45% d'écart est constaté alors qu'un écart de deux décades avait été mesuré pour des SET courts. En revanche, l'échantillon "B1", l'écart de sensibilité en SET simple et multiple et de l'ordre de 80% comme présenté dans la figure 2.4 d). Cette différence semble signifier que le ROIC B serait moins sensible au SET long que le ROIC "A". De plus, les résultats mettent l'accent sur l'impact limité de la variabilité des échantillons sur la sensibilité SET long à 60K. Cette observation semble être cohérente avec les résultats présentés dans la section 2.2.1.

La comparaison entre les tendances de sections efficaces des SET longs et courts montre que la multiplicité dans les SET courts est plus faible de deux décades que dans les SET longs. Cet écart va être analysé plus en détails à partir d'histogrammes dans la section suivante afin d'analyser la multiplicité des évènements sur les deux ROIC "A" et "B".

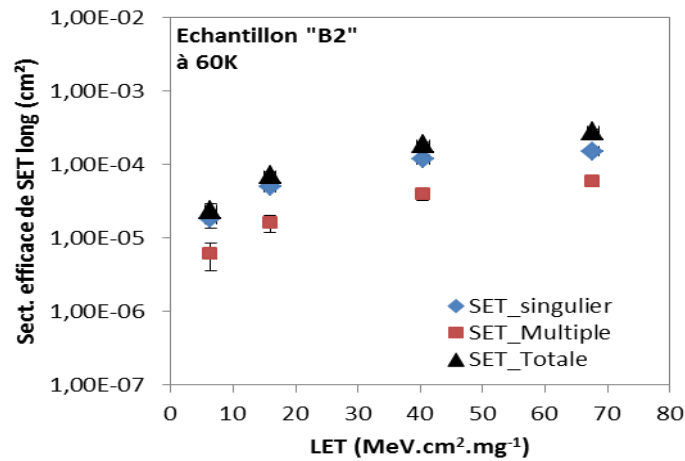




c)



d)



e)

Figure 2.4 : Sections efficaces de SET long en fonction du LET pendant la campagne de test sous l'irradiation des ions lourds à 60K. (a) Sections efficaces de SET long mesurées sur l'échantillon "A1" (b) Sections efficaces de SET long mesurées sur l'échantillon "A2" (c) Sections efficaces de SET long mesurées sur l'échantillon "A3" (d) Sections efficaces de SET long mesurées sur l'échantillon "B1" (e) Sections efficaces de SET long mesurées sur l'échantillon "B2".

2.3 Analyse des tendances de sensibilité SET

Comme évoqué précédemment, les évènements SETs mesurés ont été regroupés en trois catégories suivant la multiplicité de pixels affectés suite au passage de l'ion lourd dans les tables de pixels. Ces catégories sont des évènements simples, multiples (jusqu'à 4 pixels affectés) et complexes (plus que 4 pixels affectés). Un résumé de la sensibilité SET a été synthétisé au travers du tableau 2.5. Afin d'analyser des écarts de sensibilités mesurés selon le type d'évènement, des histogrammes ont été réalisés.

Les figures 2.5 et 2.6 présentent deux histogrammes qui regroupent les événements du SET long et court en fonction de leur multiplicité. Dans la figure 2.5, chaque barre de l'histogramme représente le nombre d'événements SET long de l'échantillon "A1" obtenu pour une température de 60K alors qu'il été irradié à une fluence de $1.10^6.cm^{-2}$ et par un faisceau d'ions d'un LET de $32.6 MeV.cm^2.mg^{-1}$. Pour rappel, l'échantillon "A" contient trois tableaux de pixels. Les dimensions du premier tableau sont 224 x 4 (ligne x colonne). Le deuxième tableau est basé sur 224 x 4 pixels. Le troisième tableau est basé sur 448 x 4 pixels. Dans cet histogramme, les SETs simple sont les principaux événements observés. Le nombre de double SET est inférieur d'un facteur trois à celui des nombres de SET simples. La figure 2.5 montre la faible probabilité d'observer plus de deux événements sur les pixels voisins. Mais l'événement avec la multiplicité de sept au cours d'une trame d'image vidéo semble ne pas être dû à la collision d'un ion lourd avec les réseaux de pixels. Cette hypothèse va devoir être confirmée par simulation à partir de l'outil de prédiction MUSCA SEP3.

En revanche, on peut constater l'occurrence de certains événements SET dont la multiplicité est très largement supérieure, ici 224. Dans cet histogramme, la catégorie d'événements supérieurs à 224 (la taille minimale des colonnes des tables de pixels) est considérée comme un événement SEFI. Une analyse des caractéristiques et de l'origine de ces événements a été présentée et discutée dans des travaux complémentaires [ART-2017]. Un ensemble des histogrammes d'analyse sur le SET long est présenté dans l'annexe 1.

Tableau 2.5: Définition des catégories de SETs

Catégorie de SET	simple	multiple	complexe
Nombre de pixels affectés	Un pixel	Jusqu'à 4 pixels	entre 5 pixels et la taille minimale des colonnes des tables de pixels

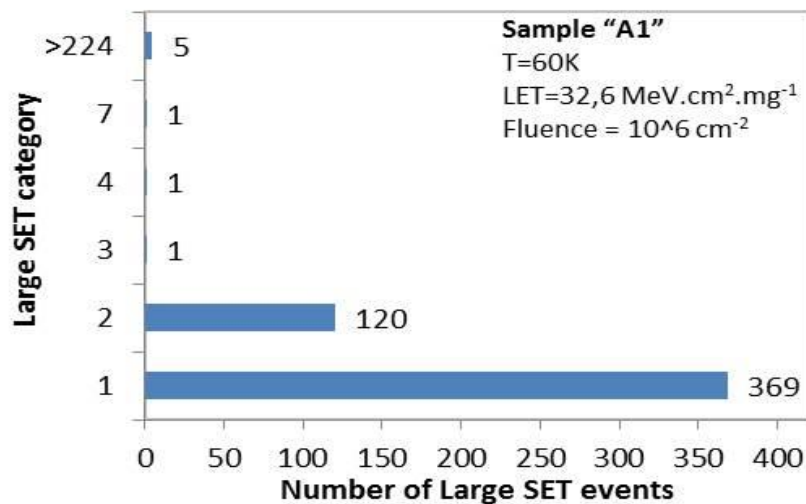


Figure 2.5 : Ensemble du SET long dans chaque catégorie mesurée sur l'échantillon "A1" pendant la campagne d'essai à 60K sous un faisceau d'ions lourds, fluence = $10^6.cm^{-2}$, LET = $32.6 MeV.cm^2.mg^{-1}$.

Dans les mêmes conditions d'irradiation que celles de l'échantillon 'A1', l'échantillon 'A3' a été irradié à une fluence de $1.10^6.cm^{-2}$ et pour un faisceau d'ions lourds d'un LET de $32.6 MeV.cm^2.mg^{-1}$ et à la température de 60K. Dans la figure 2.6, on peut remarquer qu'un seul SET double est détecté de même que pour un SET triple. On constate que la probabilité d'occurrence de ces SET multiples est très inférieure à celle des nombres de SET simples. La figure 2.6 montre la faible probabilité d'observer plus qu'un événement SET court sur l'ensemble de pixels. La catégorie d'évènements entre quatre et moins de 224 est considérée comme des événements complexes qui ne viennent probablement pas d'une collision d'ions dans le tableau de pixels. La catégorie d'évènements supérieurs à 224 (la taille minimale des colonnes des tables de pixels) est considérée comme un dysfonctionnement opérationnel du dispositif (SEFI) et est aussi discuté dans [ART-2017]. Pendant le test sur l'échantillon 'A3' (Figure 2.6), un seul évènement SEFI est détecté.

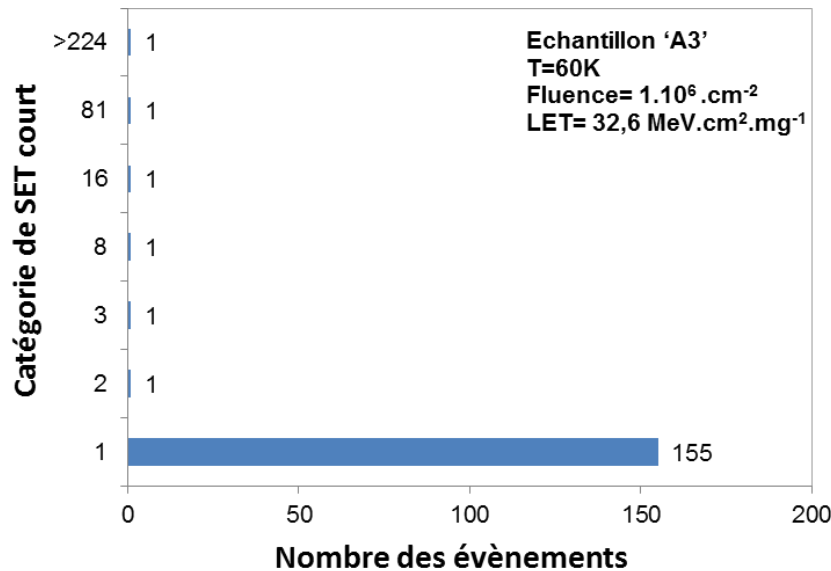


Figure 2.6 : Ensemble du SET court dans chaque catégorie mesurée sur l'échantillon "A3" pendant la campagne d'essai à 60K sous un faisceau d'ions lourds, fluence = $10^6 .cm^{-2}$, LET = $32.6 MeV.cm^2.mg^{-1}$.

La figure 2.7 présente un autre histogramme d'analyse qui regroupe les événements SET court en fonction de leur multiplicité. Chaque barre de l'histogramme représente le nombre d'événements du SET court de l'échantillon "B1" mesuré lors de la campagne d'essai à 60K sous un faisceau d'ions lourds d'un LET de $6.4 MeV.cm^2.mg^{-1}$ et pour une fluence de $1.10^6.cm^{-2}$. Comme évoqué précédemment, le ROIC B contient trois tableaux de pixels travaillant pour chaque bande spectrale. Les dimensions du premier tableau sont 224×8 (ligne x colonne). Les deuxième et troisième tableaux sont basés sur 112×4 pixels chacun. Dans cet histogramme, les SETs simples sont les principaux événements observés comme dans le cas de SET long présenté précédemment. Il n'existe pas de SET multiple compté sur cet échantillon. Ce point peut être expliqué par un écart plus important entre chaque pixel de la matrice. Ce point est

particulièrement intéressant dans l'optique de minimiser la sensibilité de la matrice du détecteur aux événements transitoires multiples. Au vu des informations designs et des données mesurées, il est possible d'établir les hypothèses suivantes : les événements avec la forte complexité au cours d'une trame d'image vidéo (plus que 4 SET court détectés) semblent ne pas être dus à la collision d'un ion lourd avec les réseaux de pixels mais avec les circuits électroniques périphériques de tableaux de pixels. Ces éléments (portes logique, bascules ...) conduiraient alors au déclenchement du changement d'état d'un ensemble de pixels de la matrice sans toucher une ligne ou une colonne complète. Comme précédemment, la catégorie d'événements supérieurs à 112 (la taille minimale des colonnes des tables de pixels) est considérée comme un événement SEFI et est présentée et discutée dans des travaux complémentaires [5]. Le reste des histogrammes d'analyse sur le SET court vient corroborer les tendances observées et les hypothèses formulées. Ces histogrammes sont présentés dans l'annexe 1.

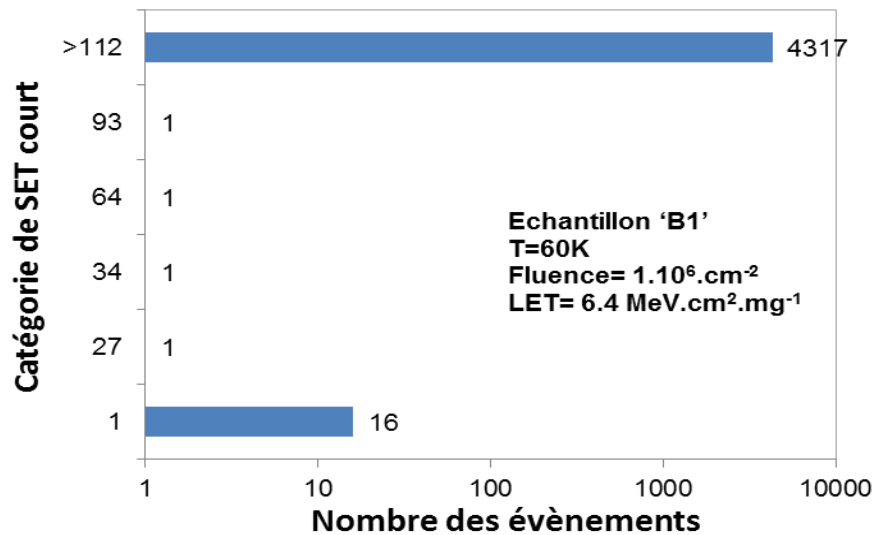


Figure 2.7 : Ensemble du SET court dans chaque catégorie mesurée sur l'échantillon "B1" pendant la campagne d'essai à 60K sous un faisceau d'ions lourds, fluence = 10^6 cm^{-2} , LET = $6.4 \text{ MeV.cm}^2.\text{mg}^{-1}$.

Afin de comprendre en particulier les événements multiples et complexes, l'analyse est complétée par des simulations avec un outil de prévision SEE. Cette analyse a également pour objectif de valider les hypothèses formulées précédemment et relatives aux origines des différents types d'événements mesurés.

Les outils de prédictions SEE sont vraiment intéressants pour analyser les données expérimentales et confirmer les hypothèses des tendances expérimentales de SEE. L'outil de prévision SEE utilisé dans ces travaux est MUSCA SEP3 développé à l'ONERA. L'outil MUSCA SEP3 est présenté dans le chapitre 1 et est un outil multi-physique et multi-échelle basé sur une

approche couplant un générateur d'évènements de type Monte-Carlo avec des modèles analytiques de transports et collection de charges afin de rendre compte des réponses de dispositifs CMOS sous contraintes radiatives. La pertinence de l'outil a été présentée dans plusieurs travaux, pour les mémoires, différentes portes logiques, multiplexeurs, logique séquentielle dispositifs photoniques [ART-2015] [HUB-2009] [HUB-2013].

Basée sur des paramètres de conception de la table des pixels fournis par Sofradir, la sensibilité SET du ROIC "A" a été étudiée par simulations. La figure 2.8 présente les sections efficaces SET calculées pour l'échantillon "A1" sous ions lourds. Une très bonne corrélation entre mesure et modélisation peut être constatée. La multiplicité des événements SET est mise en évidence et confirme que seuls deux SET pourraient être induits par une seule particule injectée dans la table des pixels pour cette technologie. Cela signifie que l'origine des événements supérieurs à quatre est due à des événements sur le circuit de lecture, tels que des bascules utilisés dans le décodeur vertical de ligne ou de colonne de la table de pixels.

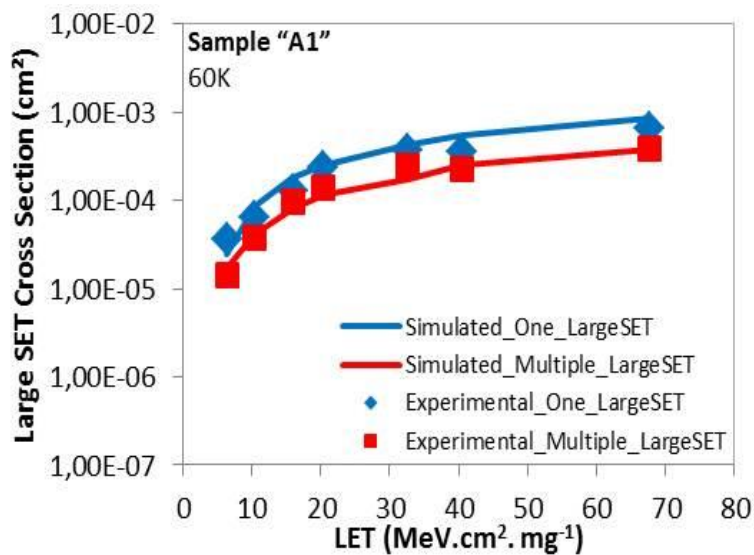


Figure 2.8 : Sections efficaces de SET long simulées et mesurées sur l'échantillon "A1", en fonction de LET à 60K.

2.4 Conclusion

La sensibilité SET de deux circuits de lecture d'un imageur infrarouge conçu par Sofradir a été étudiée dans ce chapitre. Des données expérimentales de SETs courts et longs obtenus pour une large gamme de température allant de 50K à 300K sous ions lourds ont été présentées. Ces

données ont été obtenues sous faisceaux sur les installations de l'UCL à Louvain-la-Neuve en Belgique. L'impact de la température sur les sections efficaces SET a été également présenté. Les mesures mettent en évidence une dépendance en température relativement limitée de la sensibilité SET des deux ROICs. Il est important de noter que les sensibilités SET globales des deux ROIC sont faibles et conformes aux exigences de Sofradir. La multiplicité dans les SET courts est plus faible que celle observée pour les longs SET (d'un facteur deux décades). La multiplicité des événements SETs longs a été étudiée et analysée au moyen d'histogrammes afin de mettre en lumière certains types d'évènements complexes dépendants de la multiplicité SET. Deux catégories de multiplicité ont été identifiées en fonction de l'emplacement de l'évènement: les évènements dont la multiplicité peut aller jusqu'à quatre SET ont pour origine un évènement intervenant dans le réseau de pixels. D'autre part, les évènements dont la multiplicité SET est plus élevée sont dus à une origine plus complexe et très probablement liée à l'occurrence d'un SET dans un élément du circuit de contrôle adjacent (bascule du décodeur vertical). Cette analyse a été confirmée par l'outil de simulation MUSCA SEP3 développé à l'ONERA.

Enfin, concernant la sensibilité Latchup de ces deux ROIC, lors de l'ensemble des tests de cette campagne de mesure, aucun SEL n'a été mesuré. Les deux circuits de lecture "A" et "B" sont totalement immunes au Latchup dans une gamme de températures de 50K à 293K. Cette immunité au phénomène de Latchup de la technologie Sofradir sera investiguée dans les chapitres suivants afin d'identifier les mécanismes spécifiques aux températures cryogéniques mais également pour déterminer les raisons designs et technologiques. Ces éléments permettront de proposer de nouvelles recommandations dans l'optique d'étendre cette immunité pour une plus large gamme de température.

Chapitre 3: Analyse par simulation TCAD du déclenchement du Latchup à basses températures

Le premier objectif de cette étude par simulation TCAD est d'identifier les spécificités des mécanismes liés à l'occurrence du Latchup à basses températures. Cette identification va permettre de développer un modèle de simulation TCAD capable de prendre en compte l'effet de la basse température dans un substrat silicium. Pour cela, dans un premier temps nous avons sélectionné de la littérature les modèles physiques qui prennent en compte les effets de la température sur les paramètres physiques du silicium. Pour chaque paramètre physique il existe différents modèles. Dans le cadre de cette thèse nous avons choisi les modèles les plus adaptés aux simulations TCAD aux températures cryogéniques. Ensuite, les simulations TCAD sont réalisées sur une technologie (IBM) identifiée préalablement comme sensible au Latchup à basses températures suite à des mesures expérimentales mentionnées dans la littérature. En parallèle de l'évaluation des mécanismes du déclenchement du Latchup à basses températures, les effets induits par les paramètres de design sur la sensibilité au Latchup seront investigués à la fin de ce chapitre.

3.1 Sélections des modèles physiques à basses températures

Comme il a été évoqué préalablement, la température est un paramètre environnemental critique pour le déclenchement du phénomène de Latchup. C'est pour cela que ce paramètre est étudié spécifiquement dans le cadre de cette thèse. Dans la section 1.5.6.2, il a été montré que le phénomène de «freeze-out» devrait être pris en considération pour les applications basses températures. Les modèles physiques à prendre en compte pour les simulations dans le régime "freeze out" sont différents de ceux pris dans les régimes extrinsèques et intrinsèques (voir Figure 1.26), à cause principalement du phénomène d'ionisation incomplète dans le régime "freeze-out". Pour cela, il est nécessaire d'utiliser un modèle de transport de charges spécifiques à haute précision qui prend en considération la génération de porteurs à basses températures. Dans la littérature il existe deux classes de modèles de transport de charges : les modèles classiques et les modèles quantiques. L'approche classique de modélisation considère les porteurs de charges comme des particules, alors que l'approche de modélisation quantique considère les porteurs de charges comme des fonctions d'ondes qui se propagent à travers une structure. L'approche quantique est particulièrement pertinente pour l'étude de système nanométrique, sub 28nm. Par pragmatisme, nous avons choisi d'utiliser un modèle classique pour simuler des composants à semi-conducteurs à basses températures. En effet, les technologies étudiées dans le cadre de cette thèse, repose sur des nœuds technologiques 250 nm et 180nm. Deux modèles classiques de transports de charges sont bien décrits par l'outil de simulation TCAD, Sentaurus : le modèle dérive-diffusion (drift-diffusion) et le modèle hydrodynamique (*Hydrodynamic model*). Dans la partie suivante, nous comparons ces deux modèles afin de déterminer lequel des deux est le plus représentatif pour la simulation de composants CMOS aux températures cryogéniques.

3.1.1 Modèles de transport de charges en fonction de la température des porteurs

L'équation de transport inventée par Boltzmann (ETB) en 1872 est considérée comme le point de départ de tous les modèles classiques [MAR-1989]. Pour résoudre l'ETB par l'approche classique il existe trois méthodes de résolution : compact, déterministe, et stochastique ou de Monte Carlo. Le modèle compact est une formulation analytique simple, l'avantage de ce modèle par rapport aux deux autres est la rapidité mais son principal inconvénient est le manque de précision lors de la simulation des phénomènes physiques à cause de l'introduction des hypothèses simplificatrices. L'approche Monte Carlo donne une solution plus exacte que les deux autres, mais son inconvénient est un temps de calcul élevé. Notre choix s'est donc porté sur une approche déterministe non compacte. L'avantage des approches déterministes par rapport à celle de Monte-Carlo réside dans les temps de calcul plus courts. En revanche, les approches déterministes peuvent donner une solution moins précise que l'approche Monte

Carlo et c'est toujours suivant l'implantation numérique proposée par l'approche déterministe. Il existe deux méthodes de résolution déterministe de l'ETB qui consistent à dériver des modèles simplifiés des équations de transport: la dérivation des modèles de dérive-diffusion et la méthode hydrodynamique. Les équations de dérive-diffusion (drift-diffusion) ont été utilisées avec succès au cours des années 1990 et 2000 pour les outils de simulation TCAD. Ce modèle constitue l'approche la plus simple dans le transport classique. Il tient compte de la dérive due au champ électrique et du transport causé par le gradient de concentration dans la structure simulée. La température ambiante est prise en considération et supposée constante dans la structure entière. Ce modèle ne tient pas compte des variations de température dans une structure. Le modèle dérive-diffusion néglige les effets de transport non-local tel que le dépassement de la vitesse, la diffusion associée à la température des porteurs et la dépendance des taux d'ionisation par impacts sur les distributions d'énergie des porteurs. Ces phénomènes peuvent avoir un effet significatif sur les caractéristiques électriques de dispositifs submicroniques [SYN-on]. Les lignes caractéristiques des composants électroniques avancés (sub 28 nm) sont bien en dehors de la portée de la validité de ce modèle [SEN-2016]. Par conséquent cette approche est limitante dans le cadre de cette thèse.

Des modèles de transports macroscopiques plus précis ont été dérivés en fonction des moments plus élevés de l'équation de transport de Boltzmann (BTE). Le modèle de transport d'énergie et le modèle hydrodynamique sont dérivés des quatre premiers moments de BTE. L'outil de simulation TCAD *Sentaurus* propose un modèle hydrodynamique avancé qui décrit les phénomènes physiques dans les dispositifs à semi-conducteurs et qui tient compte des variations de température à l'intérieur de la structure, ce qui n'est pas le cas de celui de dérive-diffusion. Le modèle hydrodynamique est donc devenu de plus en plus populaire pour simuler des dispositifs submicroniques.

Les deux modèles hydrodynamiques de densité de courant d'électrons et de trous sont respectivement présentés dans les équations analytiques suivantes:

$$J_n = \mu_n (n \nabla E_C + K T_n \nabla n - n k T_n \nabla \ln \gamma_n + \lambda_n f_n^{td} k n \nabla T_n - 1.5 n k T_n \nabla \ln m_n) \quad (9)$$

$$J_p = \mu_p (p \nabla E_V - K T_p \nabla p + p k T_p \nabla \ln \gamma_p - \lambda_p f_p^{td} k p \nabla T_p + 1.5 p k T_p \nabla \ln m_p) \quad (10)$$

J_n et J_p sont les densités de courant d'électrons et de trous respectivement, μ_n et μ_p sont les mobilités d'électrons et de trous respectivement, n et p sont les densités d'électrons et de trous respectivement, T_n et T_p sont les températures des électrons et des trous respectivement.

Dans les équations (9) et (10), le premier terme tient compte de la contribution due aux variations spatiales du potentiel électrostatique, de l'affinité électronique et de la bande interdite. Les termes restants de l'équation tiennent compte de la contribution due au gradient de concentration, aux gradients de la température de porteur, et à la variation spatiale des masses efficaces des électrons et trous, m_n et m_p respectivement. γ_n et γ_p sont les statistiques

de Fermi. f_n^{td} et f_p^{td} sont les constantes de diffusion thermique d'électrons et de trous respectivement.

Dans notre setup de simulation TCAD nous avons choisi d'utiliser le modèle hydrodynamique en prenant en compte le calcul des équations de température d'électrons et de trous. Les autres paramètres de la simulation TCAD sont liés ci-dessous:

- En ce qui concerne les modèles de la mobilité des porteurs, il existe dans Sentaurus-TCAD plusieurs modèles analytiques qui décrivent la mobilité de porteurs en fonction de la température, parmi ces modèles il y en a deux qui sont adaptés pour une simulation à basses températures : le modèle développé par Arora [ARO-1982], et le modèle "*Philips Unifield*" développé par Klaassen [KLA-1992]. Ces deux modèles modélisent l'effet de la température sur la mobilité de porteurs. Notre choix s'est porté sur le modèle d'Arora pour des raisons qui seront détaillées et argumentées dans la section 3.2.3.1. Ce modèle rend compte de la dépendance de concentration d'impuretés sur la mobilité, de la saturation de champ électrique en utilisant des équations en fonction de la température [SEN-2016].

- Le modèle permettant de tenir compte du rétrécissement de la largeur de bande interdite du silicium dans les régions de fort dopage "*bandgap narrowing*".

D'après les travaux de Slotboom en 1977 [SLO-1977], le rétrécissement de la largeur du gap du silicium est indispensable dans les régions où le dopage dépasse 10^{17}cm^{-3} . C'est également le cas dans les technologies étudiées dans le cadre de cette thèse.

- Le modèle de recombinaisons "*Shockley-Read-Hall*" avec une dépendance des durées de vie des porteurs en fonction de la concentration d'impuretés a été considéré.
- le modèle de recombinaison Auger a été considéré.
- La statistique utilisée est celle de Fermi.

Dans les régions de fort dopage, la statistique de Fermi est préférable à la statistique de Boltzmann [SEN-2016]. Dans le cadre de cette thèse, Ce sont ces régions à fort dopage qui jouent un rôle déterminant dans le déclenchement et le maintien du phénomène de Latchup :

- Pour les simulations à très basses températures, en ajoutant la dépendance des modèles en fonction de la température.
- A basses températures, le modèle d'ionisation incomplète des atomes dopants de type N et de type P (*incomplet Ionisation*) a été considéré [SEL-1989] [MAT-2001]).

Comme déjà évoqué dans la section 1.4, dans le régime "*freeze-out*" ($0\text{K} < T < 150\text{K}$) il est indispensable de prendre en compte l'effet d'ionisation incomplète des atomes dopants.

C'est pour cela que nous avons utilisé pour la simulation à basses températures ce modèle spécifique. L'utilisation de ce modèle nécessite un maillage très fin dans les zones critiques de génération du phénomène de Latchup. Ce maillage particulièrement fin conduit naturellement à un temps de simulation très élevé. L'effet sur les résultats en utilisant ce modèle est discuté dans la partie suivante de ce chapitre.

La définition de ces modèles physiques est primordiale dans la simulation TCAD. En effet, les résultats fournis par l'outil de simulation TCAD diffèrent réellement si les modèles physiques spécifiques aux applications basses températures ne sont pas pris en considération. Tous ces modèles sont détaillés plus précisément dans le manuel d'utilisateur de l'outil de simulation TCAD *Sentaurus* [SEN-2016].

3.1.2 Validation du modèle physique de simulation

Dans l'objectif de valider les modèles implémentés dans la simulation TCAD et afin de s'assurer de la pertinence des résultats de simulation à très basses température, nous avons comparé des données expérimentales (courbe noire) et deux simulations avec différents setup : le premier setup repose sur le modèle de dérive-diffusion (cercles rouges) et le deuxième sur le modèle hydrodynamique comme illustré dans la Figure 3.1 (carrés et diamants). L'exemple présenté ici repose sur l'effet de la température sur la sensibilité au Latchup. Les courbes représentent l'évolution du courant de maintien au Latchup en fonction de la température. Les résultats obtenus par la simulation de dérive-diffusion montrent une mauvaise description du phénomène SLII à basses températures comme décrit dans le précédent chapitre; Un plateau est observé en dessous de 100K. Alors que le modèle hydrodynamique montre un pic de courant de maintien qui est en bon accord avec les résultats expérimentaux présentés par la courbe noire pour la technologie d'IBM 7RF/SF [DIN-2011]. L'impact de l'ionisation incomplète est présenté par la courbe des diamants bleus. En dessous de 150K, les simulations hydrodynamiques avec prise en compte du modèle d'ionisation incomplète montrent une importante décroissance du courant de maintien en comparaison aux mêmes simulations sans la modélisation de l'ionisation incomplète (carrés bleues). Cette diminution plus marquée est due à la diminution des ratios de porteurs lorsque l'ionisation des atomes dopants est incomplète.

Dans cette partie on a sélectionné un modèle global de simulation qui fonctionne à très basses températures afin de prendre en compte l'effet de la température dans tous les modèles physiques qui décrivent le comportement physique d'un dispositif à semi-conducteur dans la gamme de température utilisée par Sofradir par ses capteurs d'images infrarouges. A présent nous sommes en mesure de proposer un modèle de simulation TCAD qui fonctionne à basses températures et qui est parfaitement adapté à une étude de la sensibilité du Latchup à basses températures pour une technologie donnée.

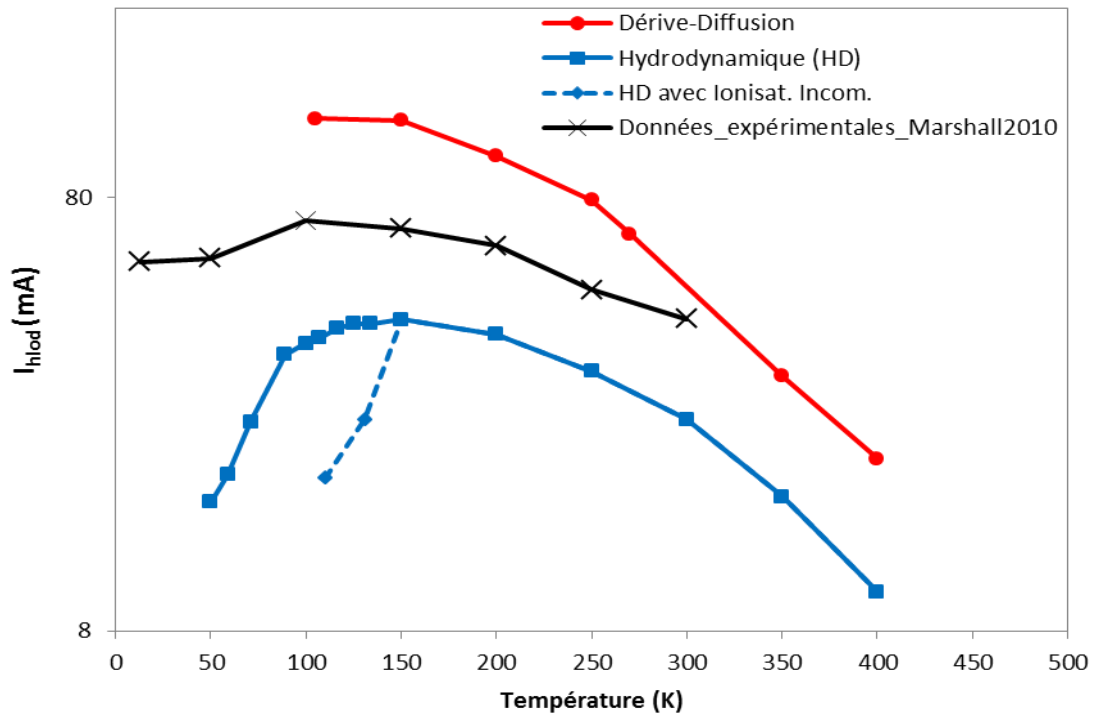


Figure 3.1 : Courants de maintien extraits de la simulation TCAD en fonction de la température (techno. IBM 180 nm 7RF / SF) avec trois types de modèles de simulation: dérivation-diffusion (ronds rouges), hydrodynamique (carrés rouges) et hydrodynamique avec modèle d'ionisation incomplète (diamants bleus). Les modèles hydrodynamiques fournissent une bonne description du phénomène SLII à basse température.

3.2 Analyse par simulation TCAD du déclenchement du Latchup à basses températures

L'objectif de la seconde partie de ce chapitre est de comprendre les mécanismes du déclenchement du Latchup à basses températures. Afin de se positionner dans un cas académique de recherche, une technologie identifiée comme sensible au Latchup mais également accessible a été sélectionnée. Cette technologie a été testée expérimentalement lors d'une campagne de mesure sous ions lourds [MAR-2010]. En parallèle de cette campagne d'irradiation, cette technologie a été testée par stress électrique afin de déterminer les caractéristiques électriques, à savoir le courant et la tension de maintien en fonction de la température. Ces données expérimentales ont été utilisées afin de comparer les résultats de simulations TCAD obtenues dans le cadre de cette étude. Fort heureusement, pour cette technologie dite académique, nous avons accès aux paramètres design et aux profils de dopage complet de l'inverseur CMOS : IBM 180 nm 7RF/SF.

La structure en 2-D que nous avons utilisée dans notre étude par simulation TCAD est détaillée dans le paragraphe suivant. Faisant suite à cette présentation une étude par simulation sur les effets designs au déclenchement du Latchup est présentée. Deux paramètres de design préliminairement identifiés comme critiques pour le phénomène de Latchup sont étudiés : le premier est la distance entre les transistors n-MOS et p-MOS: SAC (Self-Align Contact) et le deuxième est la profondeur du SAC (SAC_{depth}).

3.2.1 Structure académique utilisée dans la simulation TCAD

La structure utilisée par simulation TCAD est une coupe en 2-D d'un inverseur CMOS. Comme détaillé précédemment, l'inverseur CMOS est constitué de deux transistors MOS complémentaires (de type N et P). Son schéma électrique est présenté par la figure 3.2 (a). La figure 3.2 (b) présente le *layout* de l'inverseur, où l'on peut distinguer les zones actives et les différentes interconnexions. En haut du *layout* on observe la structure du transistor p-MOS, et sur le bas le transistor n-MOS, au centre on a les connexions input/output de l'inverseur. La source du transistor p-MOS est reliée à l'alimentation (VDD) et la source du transistor n-MOS est connectée à la masse (GND). Une coupe de côté source p-MOS /source n-MOS donne la coupe 2D de notre structure TCAD, et peut être observée dans la figure 3.2 (c).

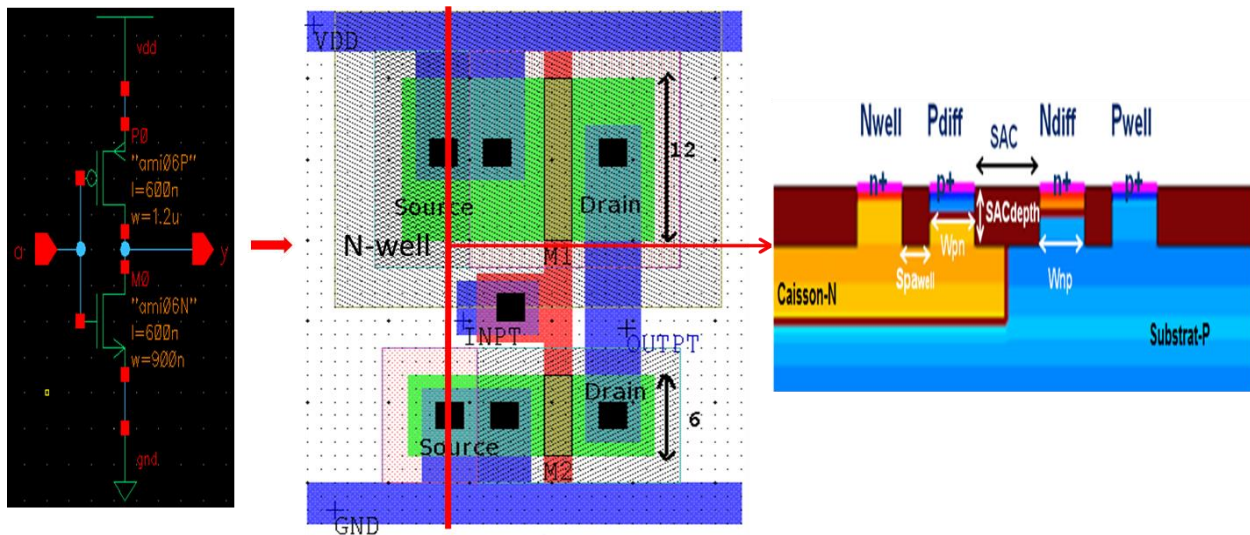


Figure 3.2: (a) Structure électrique d'un inverseur CMOS, (b) Schéma représentatif du layout, (c) Coupe en 2d de côté Sources p-MOS/source n-MOS

Les dimensions de l'inverseur CMOS utilisé sont basées sur les dimensions du design et les niveaux de dopages utilisés par les nœuds technologiques 0.18 μm . Cette technologie Bulk, dont le *process* a été maîtrisé en 1999, a été choisie car elle est assez mature pour présenter un intérêt pour l'aérospatial.

Afin de gagner en temps de simulation lors de cette première phase de l'étude, toutes les simulations de cette étude seront réalisées en 2-D. En effet, une simulation 3-D dure en moyenne plusieurs heures alors qu'une dizaine de minutes sont nécessaires pour une simulation 2-D. Pour présenter des valeurs quantitatives réalistes de courant et de tension, le simulateur extrapole une 3^{ème} dimension normalisée à 1 μm . Cette approximation a pu être faite étant donné que seul les tendances sont visées dans cette étude académique. La structure servant de base à cette étude est présentée par la figure 3.3. On peut distinguer les différents paramètres designs de cette structure qui sont étudiés lors de cette première phase de l'étude:

Dimensions des puits et contacts Pdiff, Ndiff: **W_{np} , W_{pn}**

Distance entre les transistors n-MOS et p-MOS: **SAC** (Self-Align Contact)

La profondeur du SAC: **SACdepth**

L'espacement entre les contacts Pdiff-Nwell et Ndiff-Pwell: **Spawell**

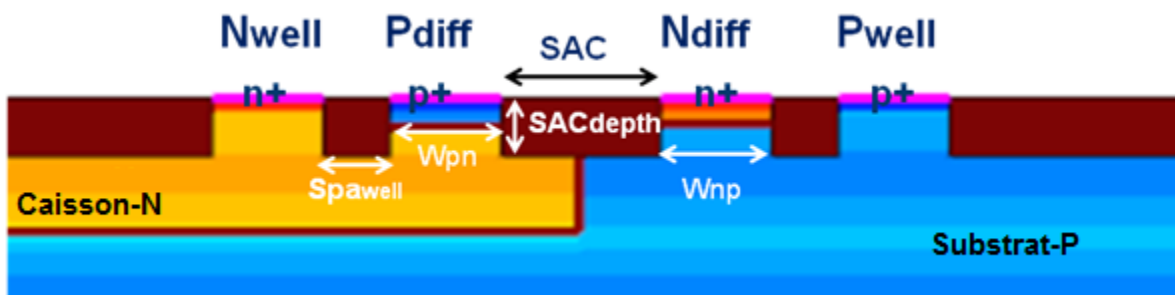


Figure 3.3: les éléments design de la structure d'un inverseur CMOS

3.2.2 Simulations TCAD à basses températures

3.2.2.1 Setup de simulation TCAD

L'étude par simulation TCAD a été réalisée en deux étapes, correspondant à deux types de simulations : la simulation statique et la simulation dynamique. Pour les simulations 2-D, afin de présenter des valeurs quantitatives réalistes de différentes grandeurs électriques (courant,

champ électrique, différence de potentiel, ...), la troisième dimension est simulée par une translation perpendiculaire au plan 2-D d'une valeur normalisée à 1 μm par défaut.

- **Simulation statique**

La simulation statique consiste à tracer la caractéristique électrique $I(V)$ de la structure PNP induite par stress électrique appliqué sur l'anode de la structure PNP (voir Figure 1.15). Cette courbe caractérise les deux points clés du déclenchement du Latchup comme illustré dans la figure 3.4: le point de déclenchement du Latchup (V_{trig} , I_{trig}) et le point de maintien au Latchup (V_{hold} , I_{hold}). Ces points de fonctionnement déterminent les mises en conduction et les régimes de fonctionnement des transistors bipolaires parasites (voir section 1.5.3).

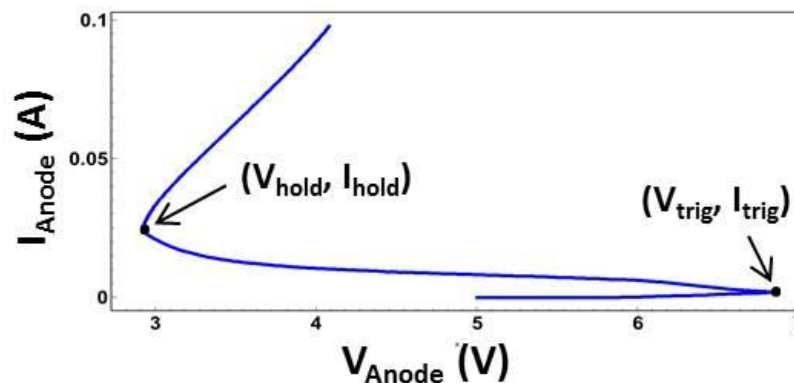


Figure 3.4 : Caractéristique électrique du Latchup obtenu par un stress électrique effectué sur l'anode de la structure

- **Simulation dynamique**

La caractérisation électrique transitoire du phénomène de Latchup peut être simulée par simulation TCAD. La simulation dynamique dans notre cas consiste à simuler le passage d'un ion lourd dans la structure de l'inverseur. Comme il est présenté dans la section 1.5.2, un ion lourd génère des paires électrons-trou dans les matériaux semi-conducteurs le long de son parcours dans le substrat. La notion du LET est la notion couramment utilisée pour caractériser le comportement d'ionisation directe. Dans la simulation TCAD il existe un modèle numérique d'un ion lourd qui consiste à générer des paires électrons-trous dans une région de la structure. Les facteurs qui jouent sur cette génération de porteurs libres sont les suivantes : l'énergie et le type de l'ion, l'angle de pénétration de l'ion dans le dispositif et la relation entre la perte d'énergie ou le transfert d'énergie linéaire (LET) et le nombre de paires électron-trous créés. La figure 3.5 montre la pénétration d'un ion lourd dans un semi-conducteur modélisée par TCAD *Sentaurus*. La trace de l'ion est définie par une longueur, mais également par sa dimension

radiale. Dans le cas de ces travaux, elle est supposée symétrique à l'axe de trace. W est un rayon défini comme la distance perpendiculaire à la trace et il est en fonction de la longueur de trace. La longueur maximale de trace L_{max} est la longueur de la trace à partir de laquelle la génération de paires électrons-trous est comptée [SEN-2016].

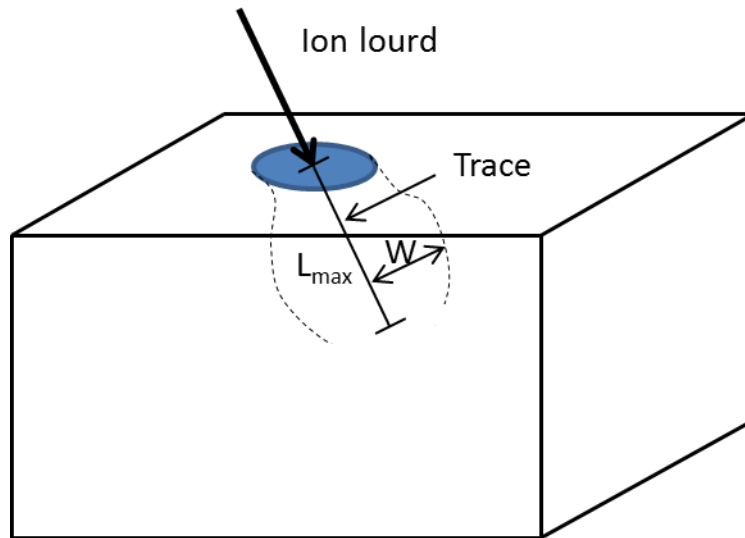


Figure 3.5 : La pénétration d'un ion lourd dans un semiconducteur modélisée par Synopsys Sentaurus

La figure 3.6 représente le maillage de la coupe en 2-D de l'inverseur simulé avec un resserrement du maillage au niveau de la trace d'ion lourd. Le but de cette simulation est de tracer la réponse en courant au niveau de l'alimentation à l'anode Pdiff. Les réponses en courant de l'inverseur induites par un ion lourd de deux valeurs de LET dans la figure 3.7 illustrent la manière dont le Latchup est déclenché électriquement en fonction du temps. Dans le cas où le LET d'ion simulé est suffisant pour déclencher et maintenir le Latchup tels que le $LET > LET_{seuil}$ (courbe rouge), on constate que le courant, après un plateau, croît de manière exponentielle, verrouillant définitivement le Latchup de l'inverseur CMOS. En revanche, pour un $LET < LET_{seuil}$ (courbe bleue), le Latchup est déclenché mais n'est pas maintenu du fait de la non mise en conduction du transistor latéral NPN.

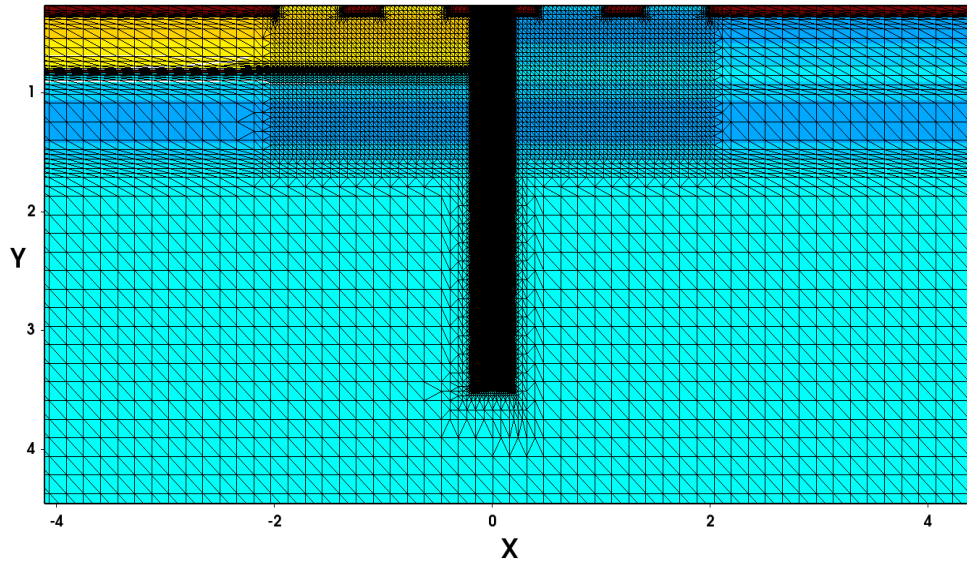


Figure 3.6 : Structure maillée lors d'une simulation transitoire

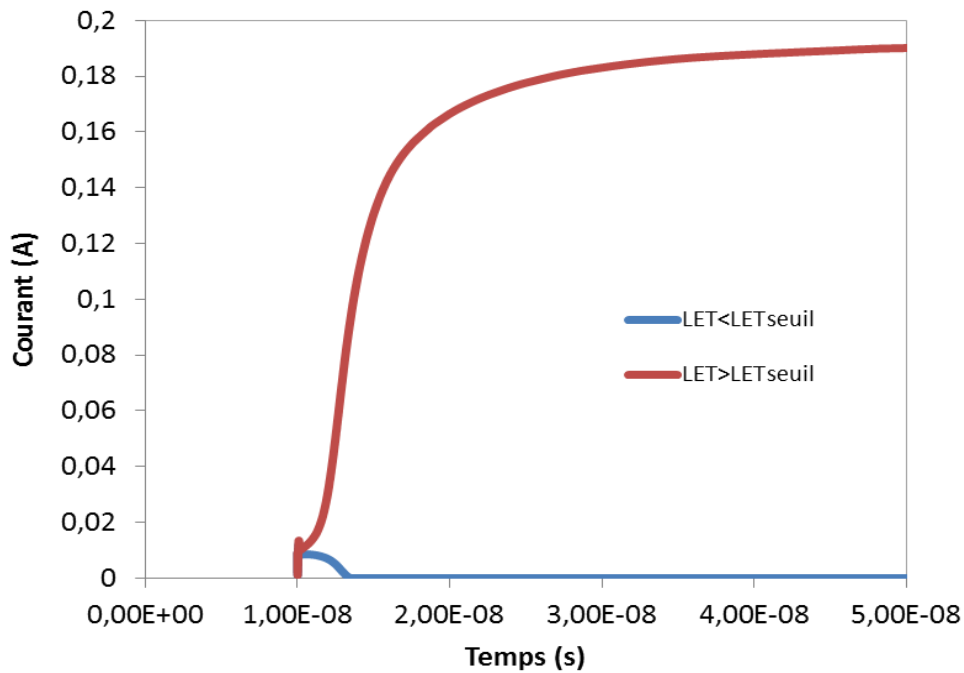


Figure 3.7 : Comparaison entre deux simulations transitoires à deux valeurs des LET différentes

3.2.2.2 Caractérisation du Latchup par stress électrique

Comme il a été indiqué dans la section 1.5.3, il est possible de déclencher la mise en conduction de la structure parasite PNP par stress électrique au niveau de l'anode. La structure de l'inverseur utilisée dans toute l'étude suivante de la simulation TCAD à basses températures est

celle illustrée dans la section 3.2.1. La structure CMOS est identique à celle utilisée pour la simulation dynamique. Seul le maillage spécifique le long de la trace d'ion n'est pas présent dans le cas de la simulation statique. Cette structure est une coupe en 2-D de côté source p-MOS/source n-MOS de l'inverseur CMOS (voir figure 3.2). Comme précédemment, le modèle physique de simulation utilisé pour cette simulation est le modèle hydrodynamique qui tient compte des deux équations de la température de porteurs. Concernant les modèles physiques utilisés, ils correspondent à ceux présentés dans la section 3.1. Ainsi, on est capable de prendre en compte le phénomène de «freeze-out» pour les applications basses températures afin d'être représentatif du mécanisme du phénomène SLII (*Sallow Level Impact Ionization*) comme présenté dans la section 1.5.6.1. Le stress électrique est appliqué sur le puits P+ de la source p-MOS, faisant varier le potentiel du transistor PNP (figure 1.16). Cette variation permet d'obtenir la caractéristique I(V) de la structure PNPN. La tension d'alimentation de la structure est de 5V. La figure 3.8 illustre la variation du courant et de la tension de maintien d'I_{hold} et de V_{hold} en fonction de la température. Comme il a été présenté précédemment, l'analyse de ces deux paramètres électriques du phénomène de Latchup permet de déterminer des variations de sensibilité SEL du composant étudié.

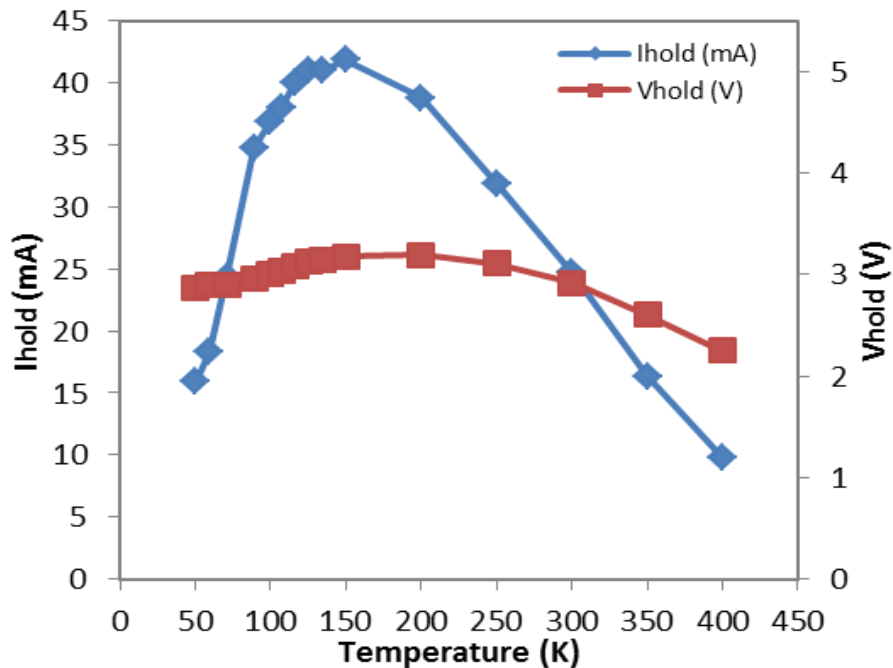


Figure 3.8 : Courant et tension de maintien extraits de la simulation TCAD en fonction de la température pour la technologie IBM 180 nm 7RF / SF, en tenant compte du modèle hydrodynamique. Lorsque la température est réduite en dessous de 150K, l'influence de l'effet "Freeze-out" devient importante et une diminution du courant de maintien est observée.

Jusqu'à 150K lorsque la température diminue, le courant et la tension de maintien augmentent progressivement, reflétant la tendance classique de la caractéristique électrique du Latchup en fonction de la température [MAR-2010]. La valeur maximale de la tension de maintien est 3.19V à 150K. À cette température, on obtient une robustesse maximale au Latchup. Au-dessous de 150K, le courant de maintien diminue drastiquement et atteint 15,87 mA à 50K. Il est intéressant de noter que cette valeur est presque identique à celle du courant de maintien à 320K. Ce résultat semble indiquer que la sensibilité SEL à 50K est potentiellement similaire que celle à 320K. Ce point sera étudié et discuté par une analyse des paramètres physiques dans la section 3.2.3. Notons que la baisse rapide du courant de maintien en dessous de 150K est compatible avec l'apparition de SLII observée expérimentalement par Deferm et al. [DEF-1990]. Cependant, V_{hold} est toujours inférieur à la tension d'alimentation VDD (5V) et cela implique que la structure PNPN est verrouillée quelle que soit la température. L'analyse physique de ces résultats sera traitée ultérieurement dans la section 3.2.3.

Avant de poursuivre par une étude des mécanismes physiques responsables de l'occurrence de la sensibilité Latchup à basses températures, les résultats de la simulation TCAD sont comparés aux mesures expérimentales effectuées par Marshall et al. [MAR-2010]. Ces résultats expérimentaux sont présentés par la figure 3.9. Dans ce travail, des mesures électriques ont été effectuées sur la technologie CMOS IBM 8HP 130nm afin d'expliquer les mesures élevées en section efficace observées à basses températures (voir figure 1.25 (b)). Le dispositif IBM 8HP 130nm à un design légèrement différent de celui de de IBM/7RF/SF 180nm, utilisé dans nos études par simulation TCAD. La principale différence repose sur l'espacement entre les deux transistors n-MOS et p-MOS (SAC). L'espacement SAC du dispositif IBM/8HP 130nm est 2.7 fois plus grand que celui d'IBM 7RF/SF 180nm [DIN-2011]. La figure 3.9 montre la variation de la tension et du courant de maintien en fonction de la température qui descend jusqu'à 20K. Une baisse rapide du courant de maintien est observée à des températures cryogéniques, alors qu'un pic de courant de maintien est obtenu à 100K. En résumé, Les courbes obtenues par simulations TCAD sont en bonne corrélation au niveau de tendances avec les résultats expérimentaux de Marshall et al [MAR-2010] même si les deux structures comparées n'ont pas été conçues avec le même nœud technologique, comme le montre la figure 3.8 et figure 3.9 respectivement.

La seconde caractéristique électrique du Latchup étudiée est le point de déclenchement : I_{trig} , V_{trig} . Une fois que la tension sur l'anode est supérieure à 0,7V, la jonction anode/Caisson-N devient polarisée en directe. Cette jonction est également la jonction émetteur/base du transistor parasite PNP vertical. Par conséquent, le transistor est en mode passant et il commence à amplifier le courant dans le substrat qui est également la base du transistor NPN latéral.

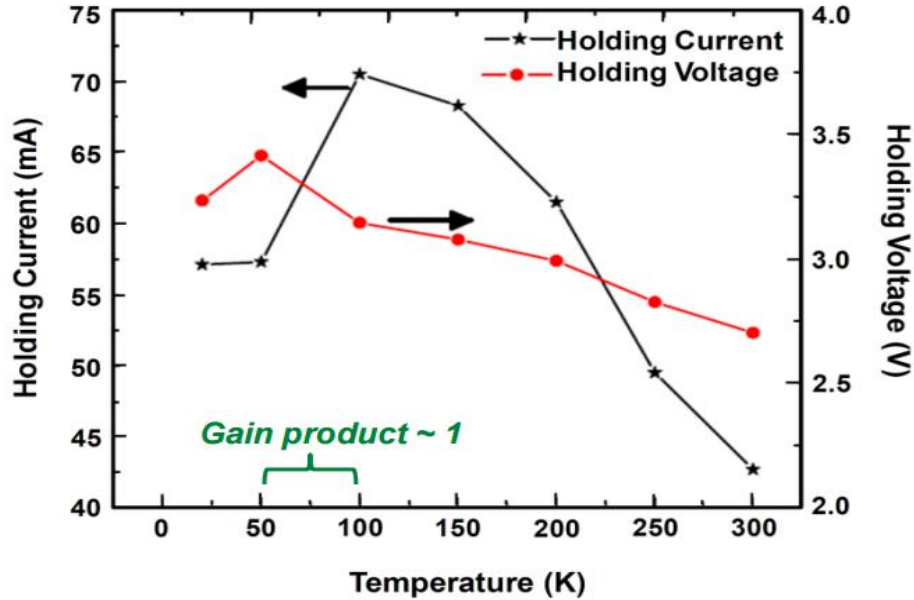


Figure 3.9 : Courant et tension de maintien obtenues expérimentalement sur le dispositif IBM/8HP: 130nm en fonction de la température jusqu'à 20K [MAR-2010].

Au fur et à mesure que le courant d'anode augmente, le transistor PNP augmente de plus en plus la tension du substrat. Ainsi, lorsque la chute de potentiel est suffisamment élevée à travers la résistance du substrat, le transistor NPN est également activé. A ce stade du phénomène, le point du déclenchement du Latchup est atteint. Dès que les deux transistors bipolaires sont activés, un chemin de faible impédance est créé entre l'alimentation et la masse du circuit, provoquant une augmentation de courant même lorsque la tension d'anode diminue. Le transistor NPN amplifie le courant à travers la résistance du caisson-N, ce qui maintient la jonction émetteur/base du transistor PNP en mode passante. Par conséquent, le transistor NPN maintient le transistor PNP activé, et vice versa jusqu'à atteindre le point de maintien du Latchup (V_{hold} , I_{hold}).

La figure 3.10 présente l'impact de la température sur le courant (diamants bleus) et sur la tension (carrés rouges) de déclenchement. Lorsque la température est réduite jusqu'à 100K, le courant de déclenchement augmente progressivement jusqu'à atteindre une valeur maximale de 5.2mA à 100K. La tension de déclenchement augmente progressivement lorsque la température diminue. La tension de déclenchement devient alors supérieure à deux fois la valeur de tension d'alimentation à $T > 200K$. Cependant, une particule chargée peut induire un Latchup à basse température même avec ce niveau de tension de déclenchement élevé (voir la sous-section suivante).

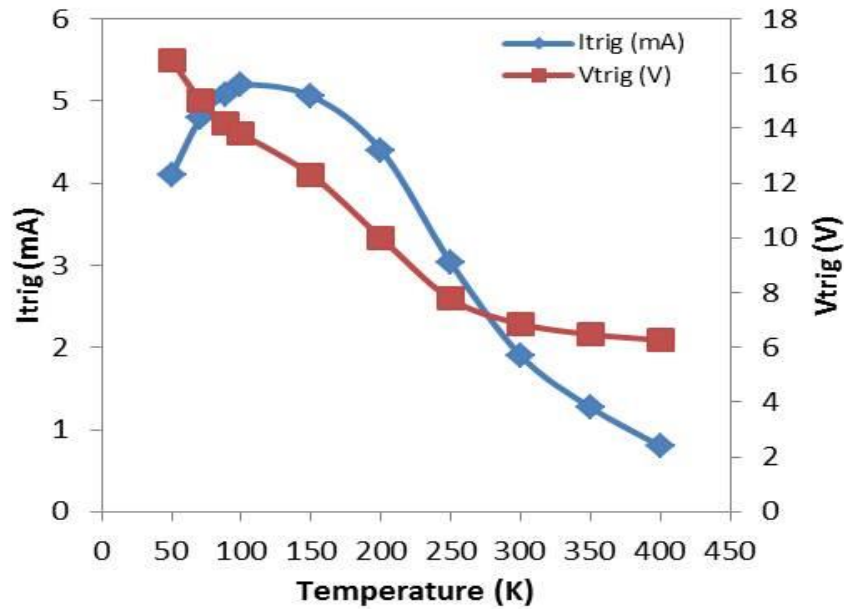


Figure 3.10 : Courant et tension du déclenchement du Latchup extraits de la simulation TCAD en fonction de la température pour le dispositif IBM:7RF/SF:180nm. Lorsque la température est réduite, une diminution du courant de déclenchement est observée.

3.2.2.3 Caractérisation du Latchup induit par le passage d'un ion lourd

Dans le but de renforcer les résultats de simulation statique, une étude en transitoire par simulation TCAD permet de simuler la réponse en courant lorsqu'un ion lourd traverse avec un angle d'incidence normale le centre du SAC (espacement entre les deux transistors p-MOS et n-MOS) de la structure CMOS. Cette configuration de trace a été choisie suite à l'identification de la zone critique de l'inverseur [TRU-2014]. Le maillage utilisé pour une simulation transitoire est le même illustré dans la figure 3.6 : un maillage serré tout au long du trajet de l'ion dans la structure.

La simulation transitoire a été effectuée pour différentes valeurs du LET (exprimé en $\text{MeV.cm}^2.\text{mg}^{-1}$ sur la figure) afin de déterminer la valeur seuil du LET à une température donnée. La figure 3.11 montre la variation du $\text{LET}_{\text{seuil}}$ en fonction de la température pour le dispositif IBM 7RF/SF 180nm. Les caractéristiques d'ion lourd simulé sont les suivantes :

- le taux de génération des porteurs est modélisé par des gaussiennes spatiales et temporelles.
- Le rayon de la trace ionisante est fixé à $0,05 \mu\text{m}$,
- la longueur de la trace est de $3 \mu\text{m}$,

- la direction est normale à la structure,
- la position de l'ion lourd est au centre de l'espacement (SAC) entre les deux transistors p-MOS et n-MOS.

On remarque que le LET_{seuil} augmente progressivement lorsque la température diminue jusqu'à 150K. La valeur maximale du LET_{seuil} est de l'ordre de $78 \text{ MeV.cm}^2.\text{mg}^{-1}$ obtenue à 150K. A cette température, on obtient une forte immunité au Latchup. Au-dessous de 150K, le LET_{seuil} diminue et atteint $62 \text{ MeV.cm}^2.\text{mg}^{-1}$ à 100K. La tendance de LET_{seuil} est conformément identique avec les tendances obtenues dans la figure 3.8 de V_{hold} et I_{hold} par simulation statique. Ceci montre l'efficacité de notre modèle de simulation TCAD à basses températures. Nous pouvons à présent continuer cette étude par une analyse physique des mécanismes responsables du déclenchement et du maintien du Latchup à basses températures.

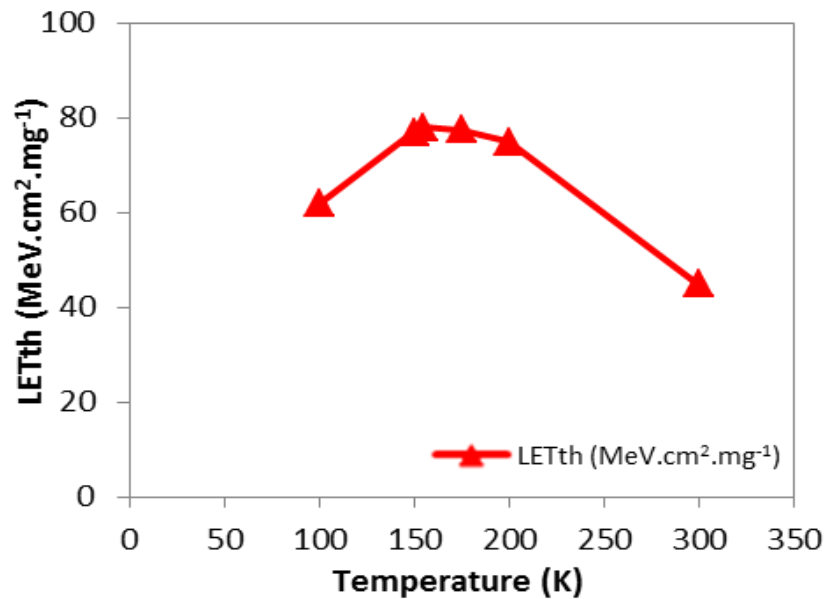


Figure 3.11 : Variation du LET_{seuil} en fonction de la température obtenue par simulation TCAD pour le dispositif IBM:7RF/SF:180nm.

3.2.3 Analyse physique du déclenchement du Latchup à basses températures

D'après les tendances obtenues expérimentalement et par simulation, il a été démontré que la technologie d'IBM étudiée était sensible au Latchup comme illustré dans la section 3.2.2. Le

but maintenant est d'analyser cette sensibilité en se basant sur une étude bibliographique déjà présentée dans la section 1.5.6 et sur une étude par simulation afin d'identifier le phénomène physiquement responsable du déclenchement et maintien du Latchup à basses températures.

Comme introduit précédemment, il existe un phénomène qui se déclenche à basses températures, ce phénomène est l'ionisation au niveau d'atomes dopants à basses températures qui s'appelle "*Shallow Level Impact Ionization*" (SLII). L'effet de ce phénomène s'appelle "*Freeze-out*", conduit à ioniser les atomes dopants à très basses températures de manière incomplète dans cette gamme de température. Dans cette partie, un relevé des paramètres physiques est effectué par simulation TCAD dans le but d'expliquer les tendances des caractéristiques électriques (Ihold, Vhold) de Latchup en fonction de la température. Dans le cas de notre étude, on s'intéresse seulement à identifier l'existence du phénomène SLII à basses températures; c'est-à-dire identifier la génération de porteurs libres à basses températures et constater ensuite l'effet de l'occurrence d'un pic du courant de maintien à basses températures.

Considérant seulement la formule simple de la densité de courant "J", On remarque que cette dernière est proportionnelle à la conductivité électrique (σ) et au champ électrique (E) [CHA-1997] [LI-1993]. La conductivité électrique (σ) dans sa formule simple est calculée par la densité de porteurs et la mobilité des porteurs comme indiqué dans les équations suivantes:

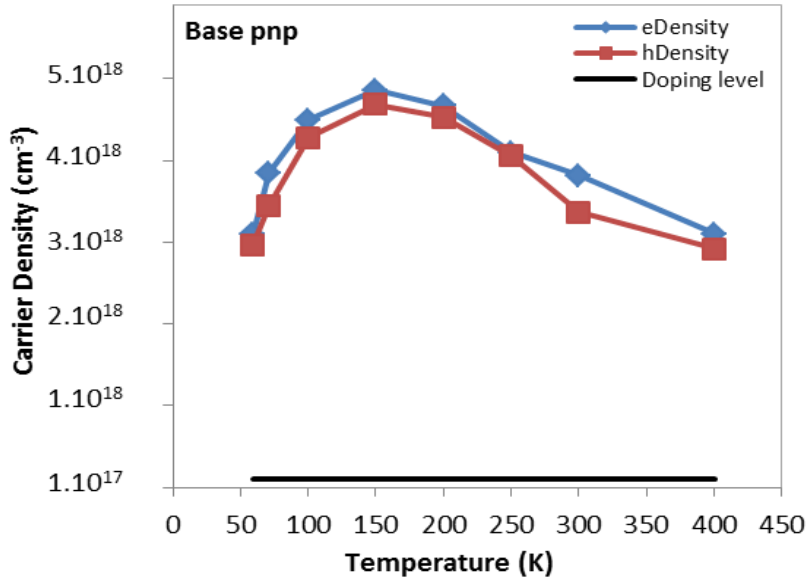
$$\sigma_n = qn\mu_n \quad (11)$$

$$\sigma_p = qp\mu_p \quad (12)$$

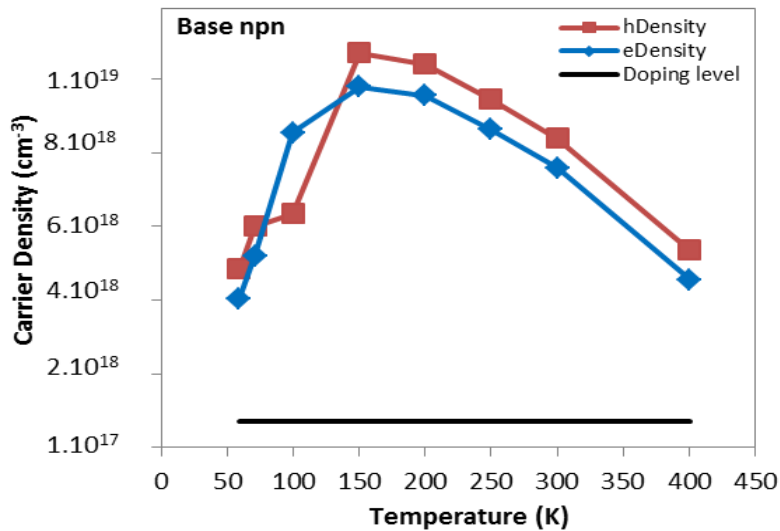
q: charge élémentaire, n:densité d'électrons, μ_n : mobilité électronique, p: densité de trous, μ_p : mobilité de trou.

Pour identifier la génération de porteurs à basses températures, nous avons simulé la densité des porteurs dans les régions actives des transistors bipolaires PNP vertical et NPN latéral (voir la figure 1.15). Les figures 3.12 (a) et (b) montrent les densités d'électrons et de trous à la jonction émetteur/base du transistor PNP (Caisson N/puits P+) et à la jonction base/émetteur du transistor NPN (caisson P/puits N+) respectivement en fonction de la température. Les extractions par simulations TCAD sont effectuées au point de maintien du Latchup (Ihold, Vhold). Comme observé dans la figure 3.12, on obtient un pic de densité de porteurs à environ 150K sur les deux jonctions émetteur/base de transistors NPN et PNP. Les simulations montrent que la génération de porteurs (courbes bleues et rouges) par rapport au niveau de dopage (courbe noire) à basses températures (<150K) est similaire à la génération de porteurs à hautes températures (> 300K). Ceci confirme que l'effet de génération de porteurs due au phénomène

d'ionisation "SLII" des atomes dopants à basses températures (Figure 1.27) est pris en considération dans nos simulations.



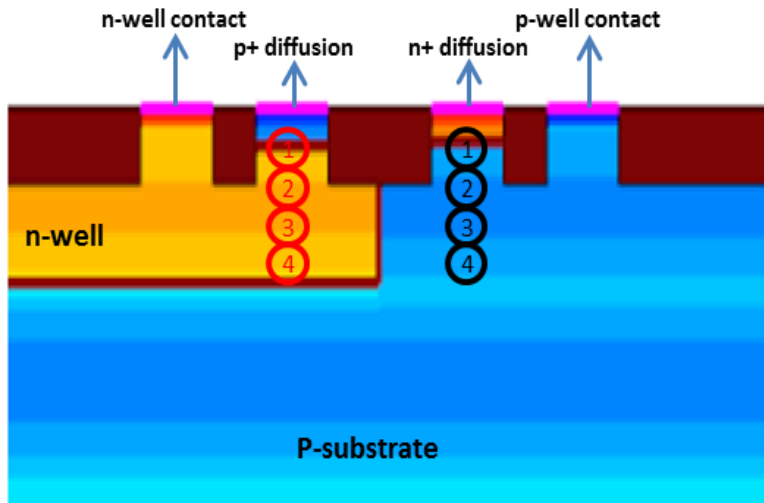
(a)



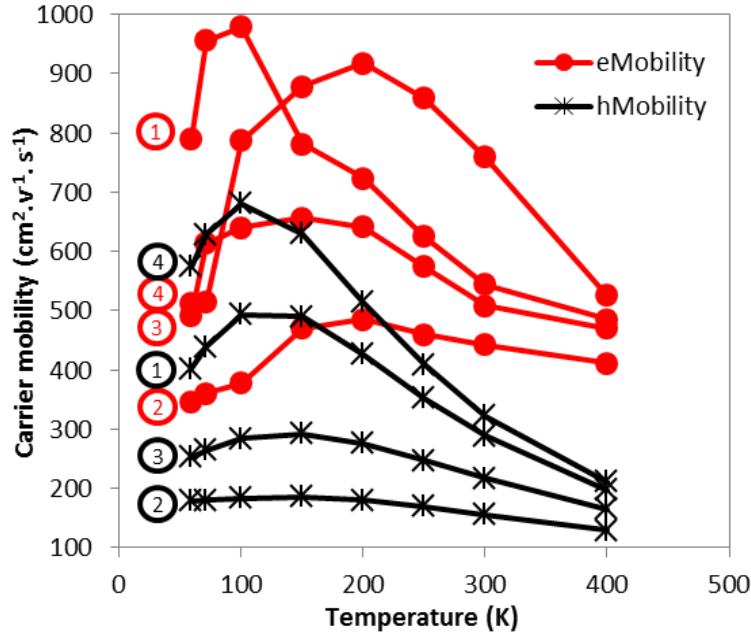
(b)

Figure 3.12 : Densité du porteurs dans les régions bases de deux transistors bipolaires extraits de la simulation TCAD en fonction de la température (IBM 180 nm 7RF / SF (a) Densité de porteurs à la base PNP. (B) Densité de porteurs à la base NPN.

En effet, en première lecture, la génération de porteurs à basses températures due au phénomène SLII a une incidence sur la mobilité des porteurs. Dans la figure 3.13 nous montrons la variation de la mobilité de porteurs en fonction de la température extraite en huit points entre l'émetteur et la base de chaque transistor bipolaire NPN et PNP. Il faut noter que la mobilité d'électrons est extraite à la région dopée N (caisson N, puits N⁺) tandis que la mobilité du trou est extraite à la région dopée P (caisson P, puits P⁺), comme illustré dans la figure 3.13 (a). En raison de la diminution de la température, la mobilité de porteurs dans les émetteurs et les bases des transistors bipolaires augmente jusqu'à 150K (dans certains cas jusqu'à 100K, 200k), puis diminue jusqu'à 50K. Il est intéressant de noter que la variation du pic de mobilité est due au dopage non uniforme de la technologie IBM. Ce n'est pas la première fois qu'une diminution de la mobilité des porteurs à basses températures est observée. En effet, Li et Thurber [LI-1977] ont révélé un changement dans la tendance de la mobilité lorsque la densité des atomes dopants est supérieure à 10^{17} cm^{-3} . Pour la technologie IBM, la densité des atomes dopants est supérieure à $2 \cdot 10^{17} \text{ cm}^{-3}$ dans les régions de deux transistors bipolaires parasites. Une autre observation expérimentale a été effectuée par Morin et Maita [MOR-1954] avec des niveaux de dopage de $N_D = 1,3 \cdot 10^{17} \text{ cm}^{-3}$ et $N_A = 2,2 \cdot 10^{15} \text{ cm}^{-3}$. Ces résultats ont montré un pic de mobilité du porteur à environ 50 K. Il semble que la diminution de la mobilité à basses températures est un phénomène physique général non lié à un cas particulier comme notre cas du Latchup. Cela nous a poussés à réaliser une analyse supplémentaire pour valider cette hypothèse.



a)



b)

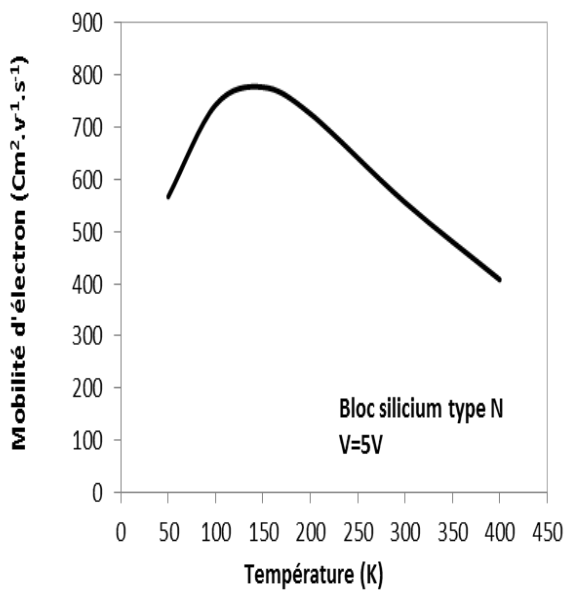
Figure 3.13 : a) Structure 2-D de la coupe source p-MOS/source n-MOS (IBM 7RF / SF). b) La mobilité d'électron en fonction de la profondeur (cercles rouges en (a)) des régions émetteur et base du transistor PNP (disques rouges) et de la mobilité des trous en fonction de la profondeur (cercles noirs en (a)) des régions émetteur et base transistor NPN (Étoile noire) respectivement.

3.2.3.1 La mobilité des porteurs à basses températures

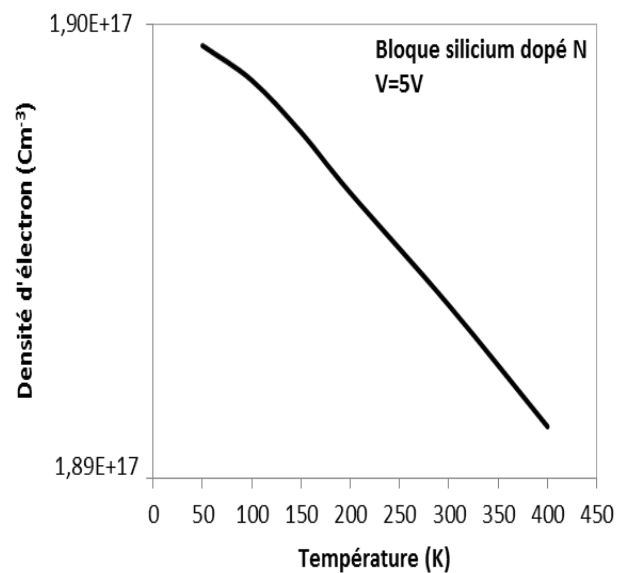
D'après la proportionnalité présentée dans les équations 3.4 et 3.5 entre la densité du courant et la mobilité de porteurs, la diminution de mobilité à basses températures semble être la cause principale du pic de courant de maintien. L'enjeu maintenant est de valider l'observation expérimentale dans la section 1.5.6.2 qui montre une diminution de la mobilité d'électrons sur un bloc de silicium dopé de $1,3 \cdot 10^{17} \text{ cm}^{-3}$ (voir figure 1.30). Pour cela, la mobilité d'électrons a été étudiée pour réaliser cette analyse. L'analogie des résultats pourra être extrapolée pour la mobilité de trous. Comme évoqué précédemment, dans toutes les simulations TCAD Latchup nous avons utilisé le modèle de mobilité de porteurs "Arora" car il donne des résultats proches de ceux d'expérimentaux (voir figure 3.8). Ainsi, nous nous sommes focalisés sur l'effet de la mobilité à basses températures sur un bloc de silicium de type N et polarisé à 5V. Ce bloc de silicium a un profil de dopage rétrograde pour être dans un premier temps représentatif du cas de la technologie IBM. La mobilité d'électrons en fonction de la température a été étudiée et illustrée dans la figure 3.14 (a). Le même type d'étude a été réalisé pour la densité des

porteurs, comme présenté dans la figure 3.14 (b). Enfin l'évolution du courant dans ce bloc de silicium en fonction de la température est présentée dans la figure 3.14 (c).

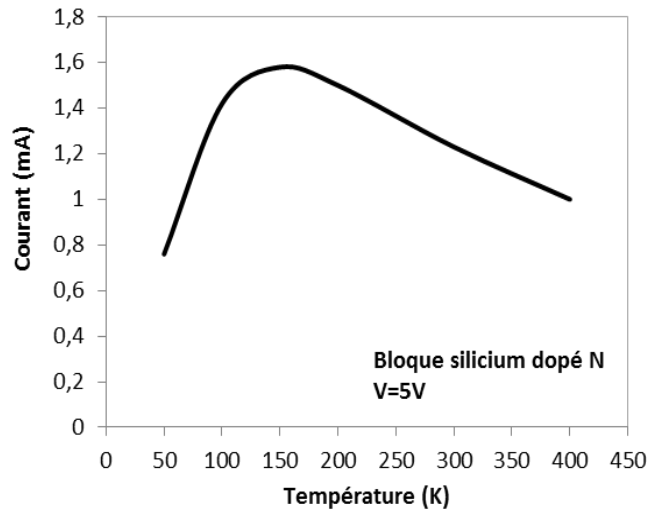
Les courbes présentées dans la figure 3.14 montrent que la diminution de la mobilité à basses températures est corrélée avec la diminution de la densité de courant de maintien du Latchup à basses températures. Notons que les mêmes paramètres de simulation TCAD ont été utilisés pour cette analyse. En regardant les tendances des courbes de courants et de mobilités de porteurs dans le cas de l'étude du Latchup et dans le cas d'étude d'un bloc simple de silicium, on peut conclure que l'origine du pic du courant de maintien est liée à la diminution de la mobilité de porteurs à basses températures. Cela signifie que le mécanisme de SLII devient majoritaire en dessous de 150K selon l'effet de diffusion de porteurs à basses températures qui implique une diminution de la mobilité de porteurs comme présenté dans la section 15.6.2. Enfin, la proportionnalité entre la densité de courant, la densité du porteur et la mobilité du porteur explique la chute rapide du courant de maintien entre 50K et 150K comme présenté dans les figures 3.8 et 3.9.



(a)



(b)



(c)

Figure 3.14 : (a) La mobilité d'électron dans un bloc de silicium dopé N en fonction de la température, (b) densité d'électron dans un bloc de silicium dopé N en fonction de la température, (c) courant dans un bloc de silicium dopé N en fonction de la température à $v=5V$.

Après cette étude des mécanismes responsables du déclenchement et maintien du Latchup à basses températures, nous allons renforcer l'efficacité de notre modèle de simulation à basses températures par l'étude de tendances connues vis-à-vis de la sensibilité du Latchup selon certains paramètres de conception. Cette dernière partie conclura l'étude « académique » du Latchup pour cette technologie.

3.3 Effets des paramètres design sur la sensibilité Latchup

Le premier paramètre géométrique étudié est la largeur SAC (A-C spacing) (figure 3.3). Ce paramètre de conception est un paramètre clé, car comme évoqué précédemment il correspond à la distance de l'espacement entre les deux transistors p-MOS et n-MOS de l'inverseur CMOS de la technologie IBM 180 nm 7RF/SF. Les résultats ci-dessous sont présentés pour une coupe en 2-D de l'inverseur CMOS (voir figure 3.2), alimenté en 5V, à une température de 300K. Deux types de simulations sont effectués afin de tracer les deux courbes de V_{hold} et de LET_{seuil} en fonction de la largeur SAC : la simulation transitoire et la simulation électrique statique. La simulation TCAD transitoire nous permet de tracer la courbe LET_{seuil} par la simulation du passage d'un ion lourd au centre du SAC de l'inverseur. La simulation statique nous permet de caractériser le Latchup par stress électrique. Comme précédemment, ce stress

électrique est réalisé sur le puits de diffusion de la source p-MOS de l'inverseur CMOS afin de tracer la courbe de V_{hold} en fonction de la largeur SAC.

La figure 3.15 montre que la tendance de V_{hold} et de LET_{seuil} augmente en fonction de la largeur SAC, ce qui implique une diminution de la sensibilité de cette structure au Latchup. Cette tendance est en accord avec les travaux de la littérature [MAR-2010] [ART-2014] déjà présentés dans la section 1.5.4.

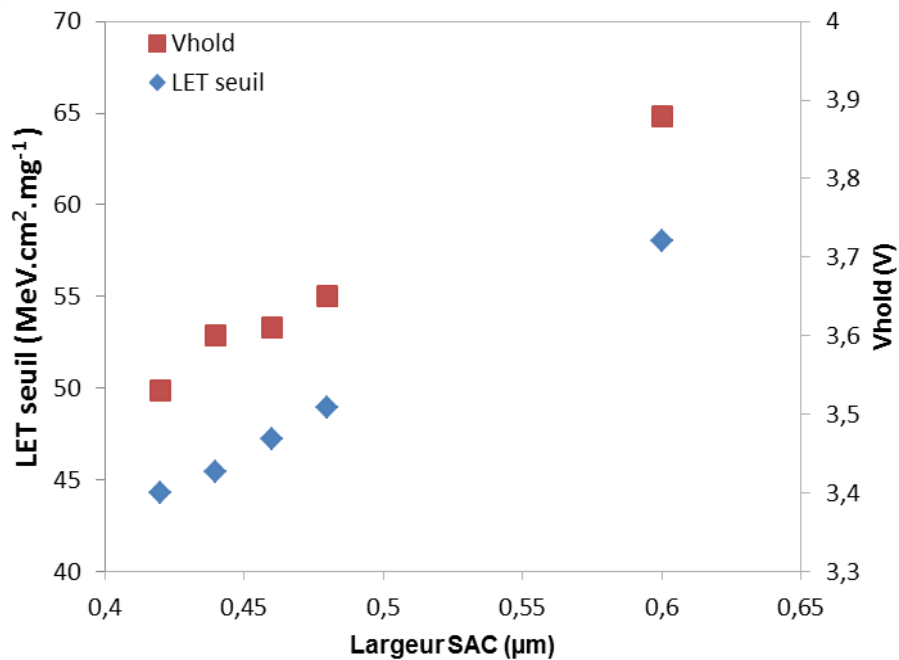


Figure 3.15: LET_{seuil} , V_{hold} en fonction de la largeur SAC

Le deuxième paramètre géométrique étudié dans cette partie est la profondeur de l'isolant (SAC_{depth}) séparant les transistors p-MOS et n-MOS. Les résultats de simulation sont présentés dans figure 3.16.

La figure 3.16 met en évidence que la sensibilité de la structure au Latchup diminue linéairement lorsque la profondeur de l'isolant est comprise entre 0,2 et 0,56 µm. Au-delà 0,56 µm de profondeur, la sensibilité Latchup diminue fortement avant de se stabiliser.

Pour expliquer cette tendance, on revient sur les mécanismes de déclenchement du SEL. Quand le SEL est déclenché, il conduit à la création d'un chemin de faible impédance entre l'alimentation (VDD) et la masse (GND) du circuit (voir figure 3.17 (a)).

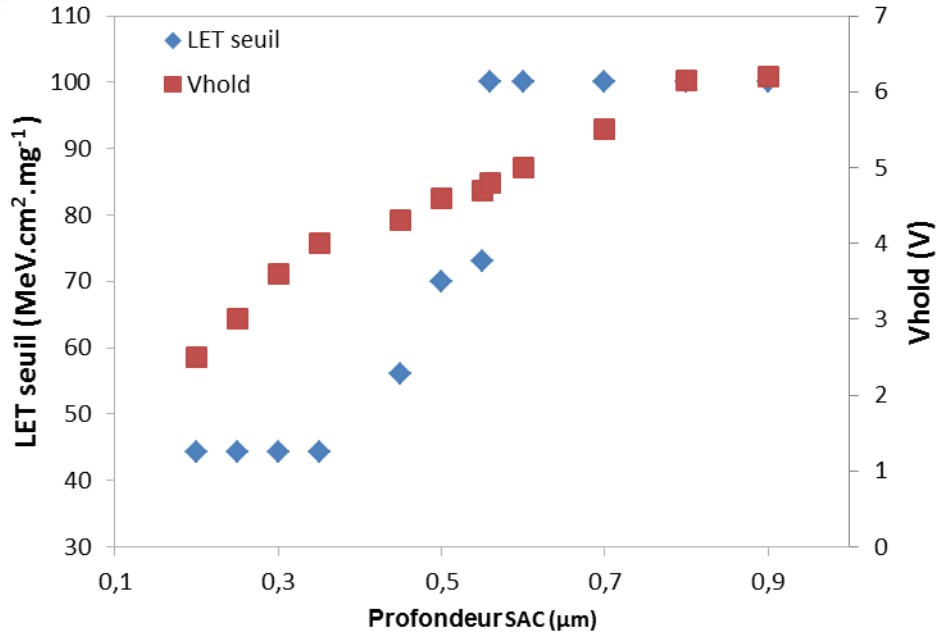
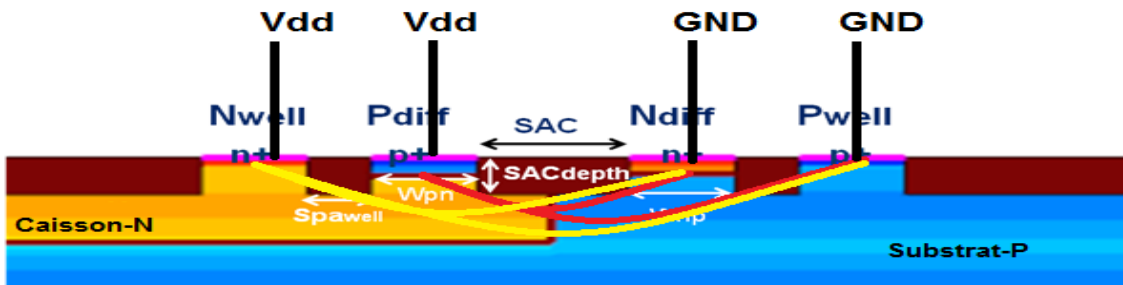
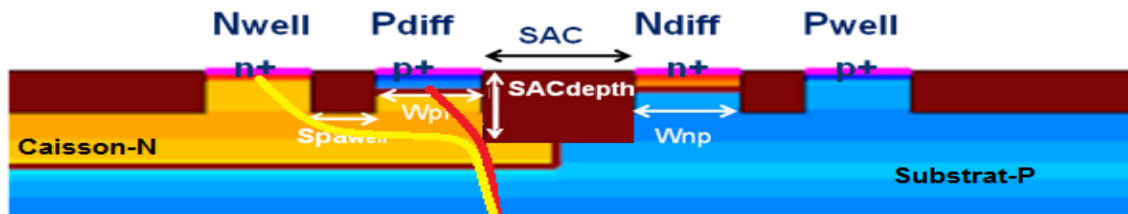


Figure 3.16: LET seuil en fonction de la Profondeur du SAC (SACdepth)

Pour des raisons de transports des porteurs dans le silicium, ces chemins sont obligés de passer au-dessous du volume SAC. L'augmentation de la profondeur SAC augmente la zone d'oxyde qui sépare la jonction PN entre le puits N et le substrat P (Figure 3.17 (b)). Dans ce cas, ces chemins de faibles impédances s'étendent par phénomène de diffusion dans le substrat, la zone la moins dopée dans la structure et non vers la source du transistor n-MOS connectée à la masse. On peut conclure que l'augmentation du volume SAC crée une isolation spatiale entre la source p-MOS et la source n-MOS. Cette augmentation de SAC est fortement recommandée pour diminuer la sensibilité au Latchup. Cependant, il y a toujours des limites technologiques (guidelines) à respecter. De plus, l'augmentation de la distance SAC conduit à une pénalité de surface. Il sera donc nécessaire de réaliser un compromis.





(b)

Figure 3.17: Effet de la Profondeur du SAC sur la sensibilité au Latchup (a) avant augmentation du profondeur SAC (b) après augmentation du profondeur SAC.

Cette étude d'éléments de conception montre sa corrélation avec les techniques classiques de durcissement Latchup par design déjà investiguées dans la littérature (voir section 1.5.5). Enfin, le découplage des transistors parasites via leur éloignement permet d'éviter l'interaction entre les transistors bipolaires PNP et NPN et augmente intrinsèquement la robustesse Latchup. Cette dernière solution semble être une solution de durcissement intéressante si l'on fait attention de tenir compte des limites technologiques requises.

3.4 Conclusion

Dans le cadre de ce chapitre, une analyse théorique via simulation TCAD sur l'effet de basses températures sur le déclenchement du Latchup pour la technologie d'IBM a été réalisée. Dans un premier temps, un modèle physique de simulations a été proposé tout en sélectionnant les modèles de paramètres physiques les plus pertinents afin de décrire les comportements physiques du composant à basses températures. Ce modèle a été également validé en le comparant avec des courbes expérimentales issues de la littérature dans les travaux de Marshall et Deferm. Pour la technologie IBM dite académique (sensible au Latchup en basses températures) l'évolution de la sensibilité Latchup a été réalisée par simulation TCAD et une comparaison du pic de courant de maintien de Latchup à 150K a été réalisée. Une bonne corrélation des tendances a été obtenue avec les données expérimentales trouvées dans la littérature concernant cette technologie.

Par la suite, nous avons identifié les mécanismes du déclenchement du Latchup à basses températures. Ce déclenchement est principalement dû à la génération des porteurs dans la bande de conduction par le mécanisme "Shallow Level Impact Ionization" dans les gammes de températures cryogéniques et ses effets sur la mobilité de porteurs. L'origine du pic de la mobilité de porteurs a été identifiée et est la cause principale du pic de courant de maintien du

Latchup induit par des effets de diffusion impactés par l'ionisation des impuretés au niveau de SLII.

Enfin, nous avons renforcé la validité de notre modèle de simulation à basses températures en confirmant certaines tendances connues de la sensibilité au Latchup vis-à-vis de modifications de deux éléments designs. Les tendances obtenues par simulation sont en bonne corrélation avec les tendances existantes dans la littérature.

Le modèle de simulation développé dans ce chapitre va nous permettre d'appliquer cette approche à la technologie utilisée par Sofradir par le biais d'une étude de structures CMOS implantée dans les bascules D du circuit de lectures des capteurs d'images infrarouges.

Chapitre 4: Analyse par simulation TCAD du déclenchement du Latchup à basses températures dans la technologie Sofradir

L'objectif de ce chapitre est d'étudier par simulation TCAD la sensibilité au Latchup de la technologie de Sofradir en se basant sur le modèle physique de simulation TCAD développé dans la section 3.1 du chapitre précédent. Les simulations TCAD sont réalisées sur des inverseurs CMOS utilisés dans un circuit de lecture d'un imageur infrarouge développé par Sofradir. Dans un premier temps, avant de pouvoir réaliser des simulations TCAD de la technologie Sofradir, il est nécessaire de passer par une phase de calibration des paramètres designs et *process* de l'inverseur CMOS étudié. Cette calibration va permettre de s'assurer que la structure étudiée lors de cette étude TCAD représente bien la technologie Sofradir. La seconde étape de ce chapitre de thèse va reposer sur une étude plus détaillée des effets designs et dopage spécifiques afin de proposer des solutions de durcissement de la technologie Sofradir dans des configurations de températures étendues.

4.1 Calibration de la structure Sofradir par simulation TCAD

La calibration de la structure TCAD relative à la technologie Sofradir est primordiale dans notre étude du Latchup. En effet, même si les paramètres de design sont parfaitement connus par Sofradir, comme évoqué précédemment, les paramètres technologiques (dopages, profondeurs d'implantation, ...) ne sont pas connus en détails. En effet, Sofradir s'appuie sur une technologie fournie par un fabricant pour le design de leur circuit de lecture. Dans un premier temps, les trois structures des inverseurs CMOS utilisées dans les simulations TCAD seront présentées. Par la suite, les structures TCAD 3D seront calibrées à partir de simulations SPICE fournies par le PDK utilisés par Sofradir pour la conception du circuit de lecture.

4.1.1 Définition du modèle Sofradir

Les trois structures des inverseurs CMOS utilisées dans cette étude correspondent à celles d'inverseurs présents dans une D-Flip-flop, nommée DFF1 dans ce manuscrit, et utilisée par Sofradir dans les circuits de lecture de ses imageurs IR (Cf. 1.1). La figure 4.1 présente ces trois structures des inverseurs qui sont INV1, l'inverseur d'entrée de la bascule, INV2 est un inverseur de milieu de la bascule et INV3 est l'inverseur de sortie de cette bascule.

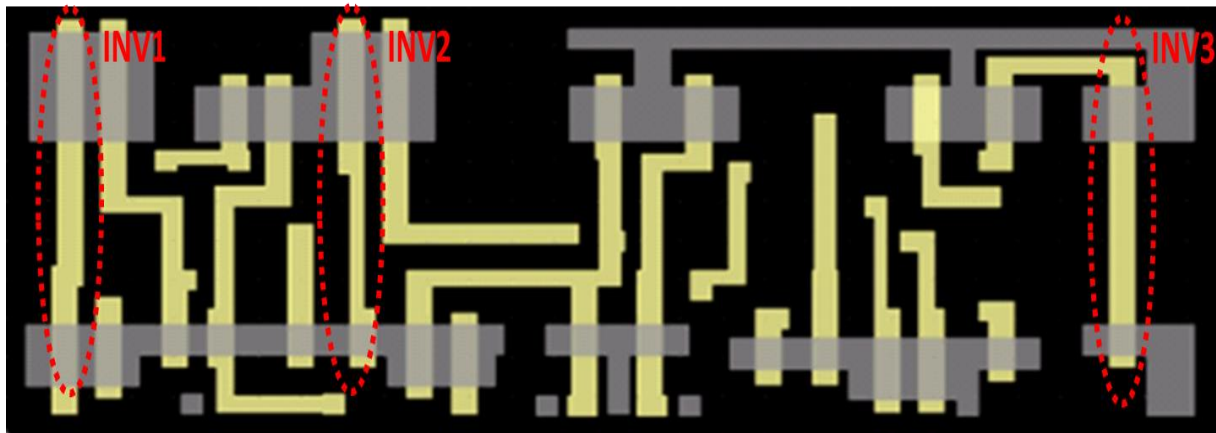


Figure 4.1 : Layout de la bascule DFF1 utilisée dans un circuit de lecture d'un imageur infrarouge de Sofradir. INV1, INV2 et INV3 sont les trois inverseurs CMOS utilisés dans notre étude Latchup par simulation TCAD.

Chaque inverseur CMOS est constitué de deux transistors MOS complémentaires (de type N et P). La source du transistor p-MOS est reliée à l'alimentation (VDD) et la source du transistor n-MOS est connectée à la masse (GND). Le tableau 4.1 montre les deux paramètres designs qui

distinguent ces trois structures. Chaque structure possède une largeur de source ou drain différente, et résumé dans le tableau 4.1. Pour des raisons de confidentialité, les dimensions ne sont pas indiquées dans les figures et tableaux, mais également dans l'ensemble des résultats. Dans une partie suivante de ce chapitre, une étude, toujours par simulation TCAD, va montrer l'effet de la largeur de la source de n-MOS ou de p-MOS sur la sensibilité Latchup de la technologie Sofradir.

Tableau 4.1: Deux éléments design de trois structures inverseurs CMOS Sofradir

	INV1	INV2	INV3
Largeur de la source p-MOS	WsPMOS1	WsPMOS2	WsPMOS3
Largeur de la source n-MOS	WsNMOS1	WsNMOS2	WsNMOS3

La figure 4.2 (a) montre le schéma électrique (SPICE) de l'inverseur Sofradir. L'objectif de cette partie est d'ajuster les paramètres technologiques utilisés par la technologie Sofradir. En effet, Sofradir est un designer et ne développe pas sa propre technologie pour les différentes portes et fonctions de leur circuit de lecture. Ils n'ont donc pas accès aux informations technologiques et *process*. Il est donc nécessaire de réaliser une phase de calibration de ces paramètres. Cette calibration va permettre d'obtenir un inverseur modélisé par simulation TCAD ayant les mêmes caractéristiques électriques utilisées par Sofradir avec ses propres modèles SPICE. Les paramètres *process* ajustés lors de cette étape sont les suivants :

- Work-function des grilles (n-MOS et p-MOS)
- Profondeurs d'implantation des sources et des drains
- Profondeur d'implantation du caisson Nwell
- Niveaux de dopage de sources, drains, substrat, Nwell

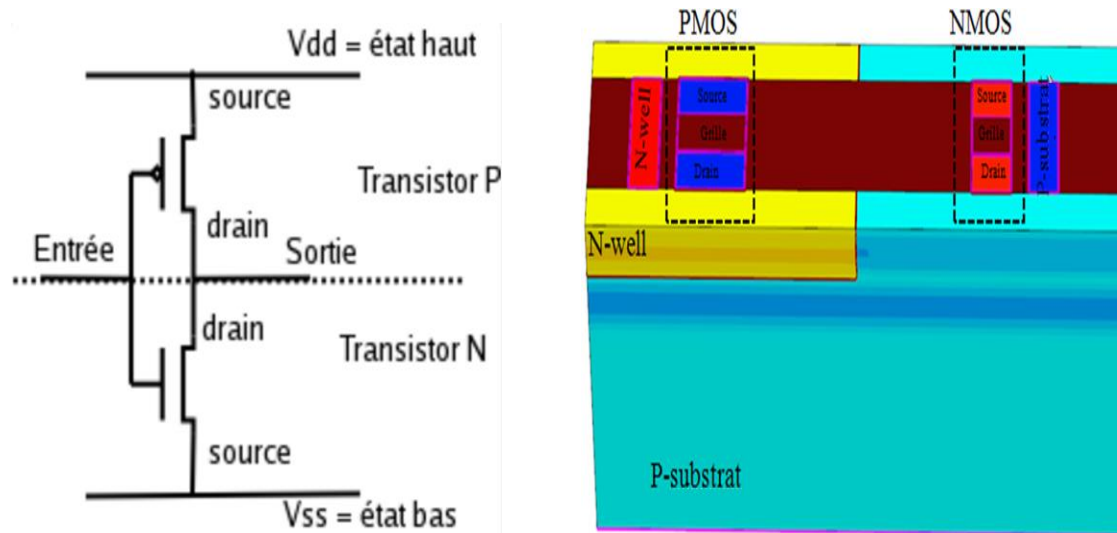


Figure 4.2: (a) Modèle SPICE Sofradir, (b) Modèle TCAD Sofradir de l'inverseur CMOS créée par simulation TCAD.

Après la construction de la géométrie de la structure (figure 4.2 (b)) par l'outil "Structure Editor", nous définissons dans le même fichier d'entrée de cet outil, la nature des matériaux utilisés, les différents profils de dopage de substrats et des implants. Les différentes zones de maillage associées à cette géométrie sont également définies à l'aide de l'outil "Sentaurus Mesh". Le maillage proposé pour cette structure est donné par la figure 4.3. Il convient de définir un maillage relativement lâche dans les zones les moins sensibles électriquement et de le resserrer dans les zones influentes.

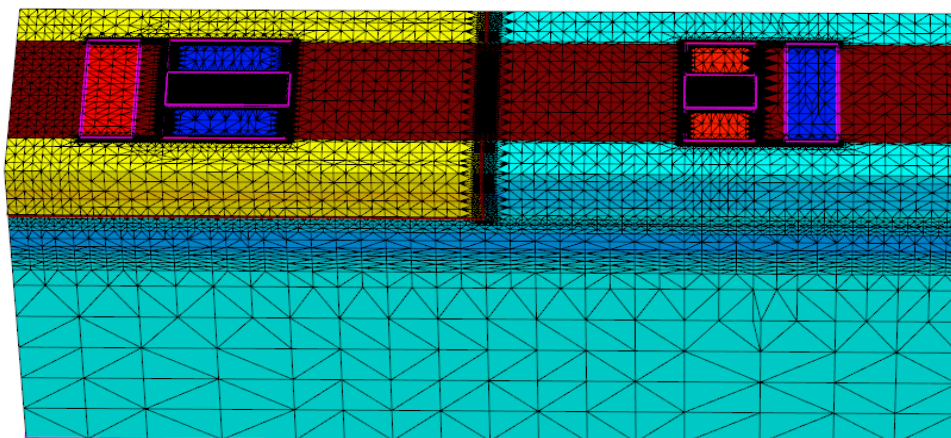


Figure 4.3: Maillage de la structure TCAD de l'inverseur CMOS de la technologie Sofradir

4.1.2 Résultats de calibration

La phase de calibration de la structure TCAD de l'inverseur CMOS a commencé par l'ajustement du paramètre *work-function* des grilles des transistors n-MOS et p-MOS. D'après la littérature, pour ce niveau d'intégration technologique, il est nécessaire de faire varier ce paramètre autour du 5V [POL-2002]. Les résultats obtenus sont illustrés dans la figure 4.4. Ces résultats montrent l'impact de la *work-function* sur la caractéristique électrique de transfert en tension de l'inverseur CMOS. La figure 4.4 montre une meilleure convergence de la courbe TCAD vers la courbe de référence SPICE pour la valeur de *work-function* WF1.

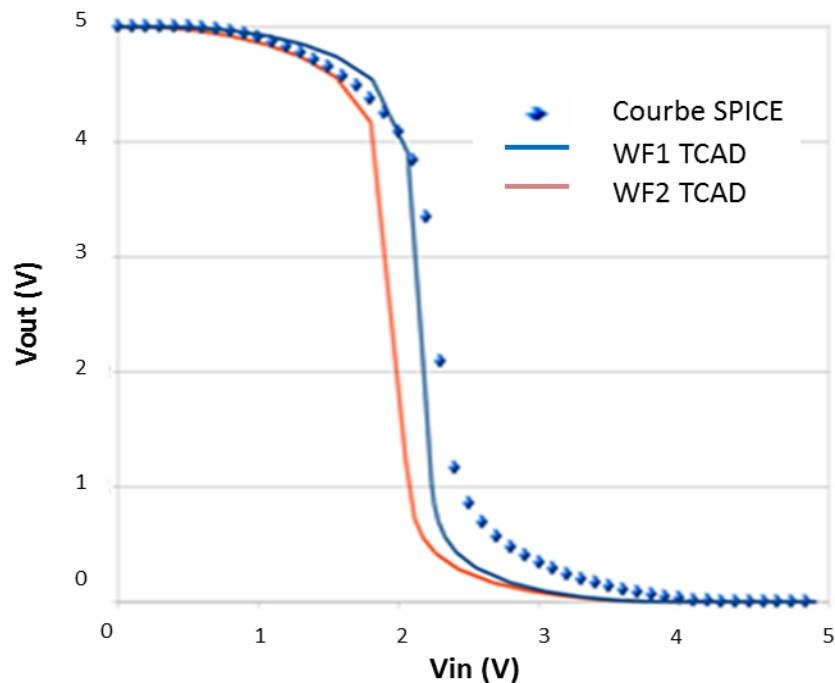


Figure 4.4: La tension de sortie en fonction de la tension d'entrée en ajustant la *work-function* des grilles p-MOS et n-MOS.

Après avoir fait varier la valeur de la *Work-function* des grilles des transistors n-MOS et p-MOS, le second paramètre à ajuster est la profondeur d'implantation (PI) des sources et des drains de ces mêmes transistors. Naturellement, cette calibration a été réalisée pour la valeur de *work-function* la plus adaptée WF1. Les résultats montrent le faible impact de ce paramètre sur la caractéristique électrique V_{out}/V_{in} comme illustré dans la figure 4.5.

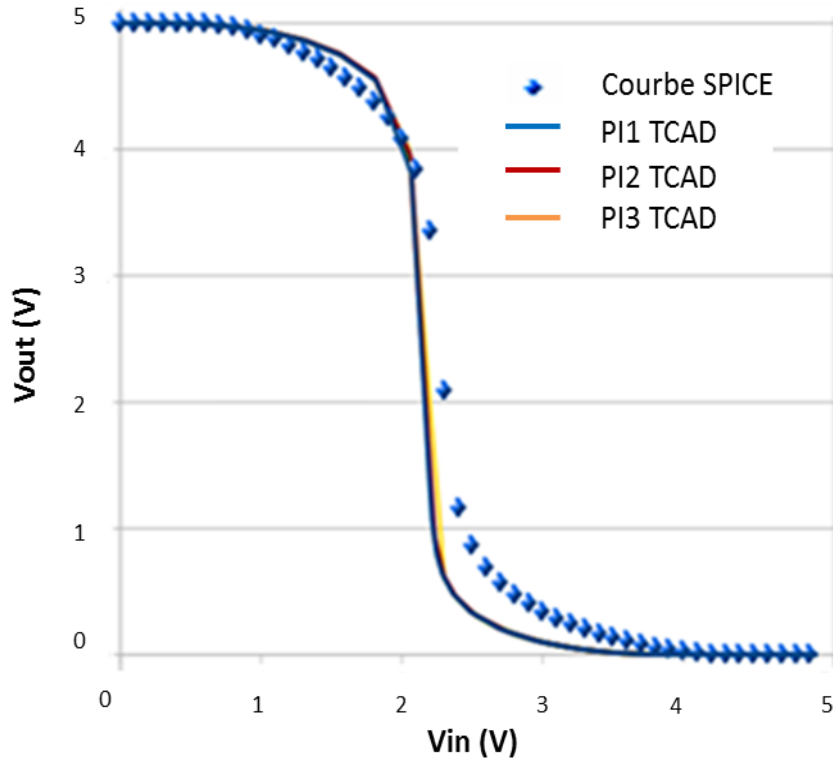


Figure 4.5: Ajustement de la profondeur des implantations p-MOS et n-MOS lors de la deuxième phase de calibration.

Le troisième paramètre à ajuster est le niveau de dopage de sources, drains, caisson-N, caisson-P et le substrat. Cette étape a été la plus longue à finaliser. En effet, chaque profil de dopage a été modifié séparément puis de manière groupée selon un coefficient ' α ' variable afin d'obtenir des bons résultats de convergence vers la courbe de référence SPICE (figure 4.6).

Après la calibration de l'ensemble de ces paramètres, il a été nécessaire de finaliser et quantifier la précision obtenue par rapport aux caractéristiques de référence SPICE. La courbe finale de notre étude illustrée par la figure 4.7 correspond à la fonction de transfert de l'inverseur CMOS dans ses deux phases de montée et descente. Cette courbe est également appelée courbe en papillon.

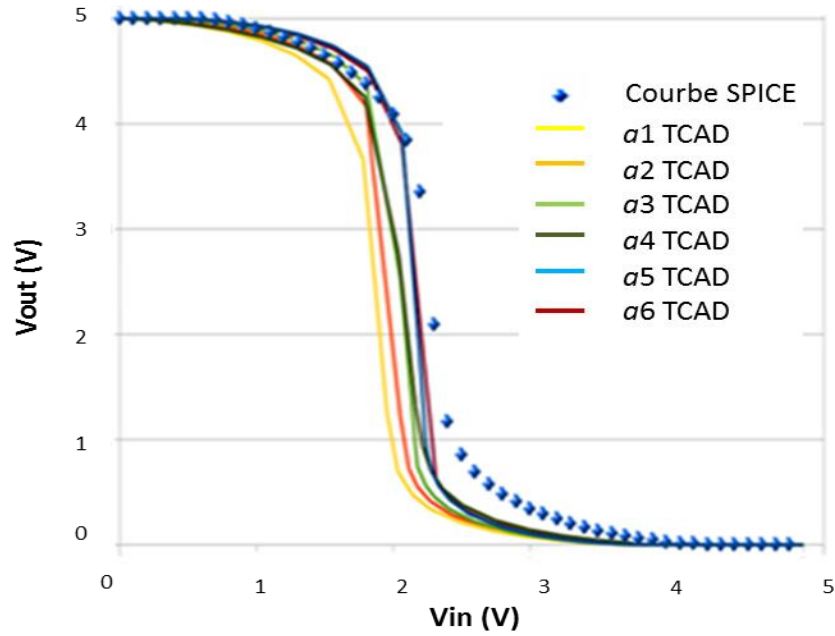


Figure 4.6: Ajustement du niveau de dopage de sources, drains, caisson-n, caisson-P et substrat tous ensemble afin d'obtenir une bonne convergence vers la courbe SPICE (référence).

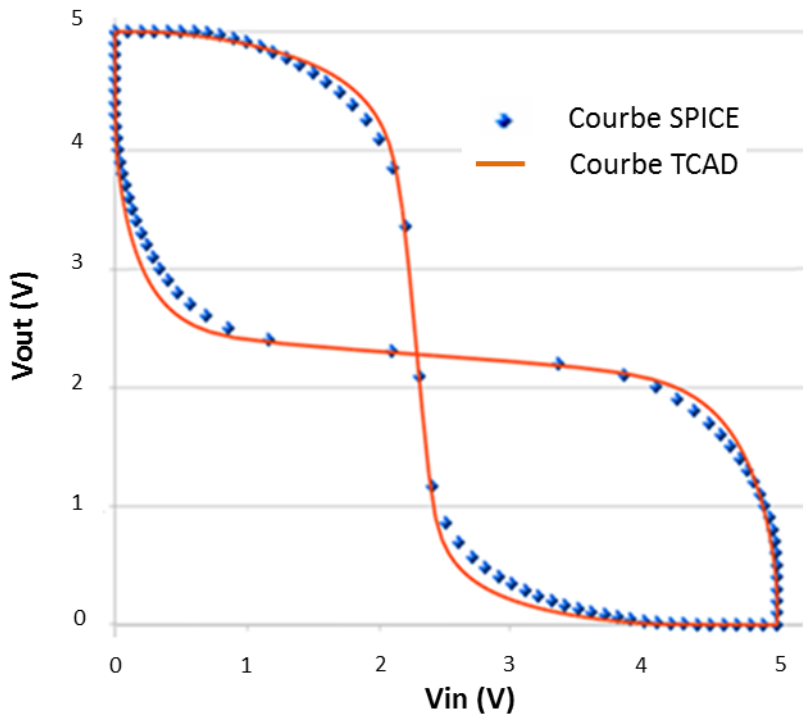


Figure 4.7: Résultats finaux de simulations TCAD, la courbe rouge représente la simulation TCAD et la courbe en bleue représente la simulation SPICE qui est considérée comme référence.

Afin de confirmer quantitativement ces résultats de calibration, le paramètre Static Noise Margin (SNM) est calculé. Le SNM est un paramètre électrique statique lié au changement d'état d'une porte logique (inverseur, NAND, NOR, etc). La SNM a deux définitions, une littérale et une graphique. Littéralement, la SNM correspond à la quantité maximale de bruit tolérée par le circuit. Graphiquement, la SNM correspond à la longueur du plus grand carré que l'on peut intercaler entre les caractéristiques en tension (VTC). Les résultats de la calibration donnent une bonne représentation de la technologie Sofradir avec une erreur de 7% sur la Static Noise Margin (SNM), comme illustré dans la figure 4.8.

Naturellement cette calibration a été validée pour les trois géométries d'inverseur CMOS étudiées dans ces travaux.

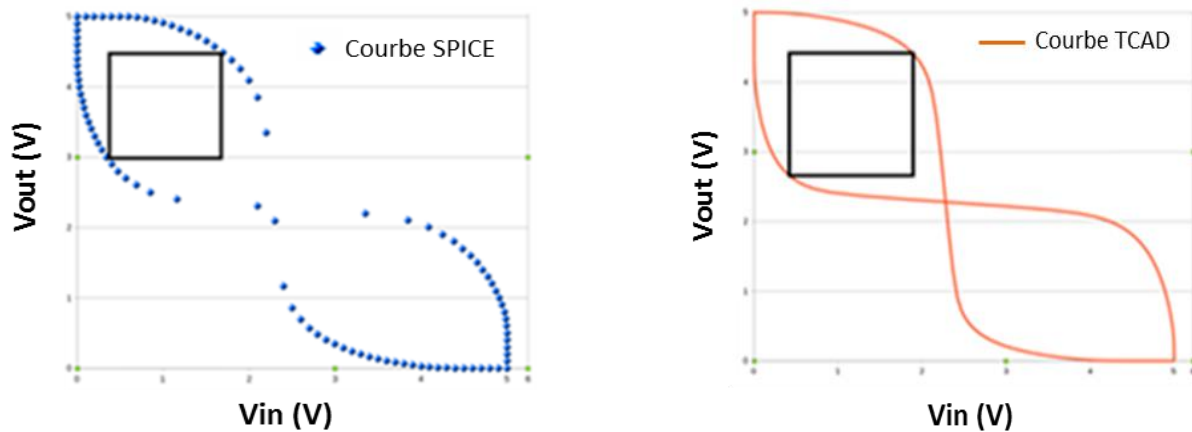


Figure 4.8: Calcul de SNM (Static Noise Margin), l'erreur entre les deux courbes est de l'ordre de 7%.

4.2 Etude par simulation TCAD de la sensibilité au Latchup en fonction de la température

Après cette phase de calibration en 3-D de la technologie Sofradir, les trois structures TCAD utilisées correspondent à des coupes 2-D de côté source p-MOS /source n-MOS des inverseurs CMOS calibrés. Ce compromis (précision/ temps de simulation) a été décidé afin de rendre compte des tendances de sensibilités globales pour une large gamme de paramètres designs et technologiques. La prise de la coupe en 2-D est déjà présentée dans la figure 3.2 du chapitre 3. La construction de trois structures CMOS en 2-D est réalisée par l'outil "Structure Editor" de

Sentaurus-TCAD. Afin d'être le plus rigoureux et homogène possible dans les corrélations pouvant être faites dans ce chapitre avec les précédents résultats obtenus, la définition du maillage est la même que celle utilisée dans le cas académique déjà présenté dans le chapitre 3. De la même manière, le même setup de simulation que celui de la section 3.2 du chapitre 3, est utilisé dans cette partie des travaux de thèse. C'est également pour ces raisons que le modèle physique de simulation est le même que celui développé dans la section 3.1, à savoir le modèle hydrodynamique qui tient compte des deux équations de la température de porteurs. Le setup de simulation utilise également les mêmes autres modèles de simulation relatifs à la dépendance de température : le modèle "Arora" de la mobilité de porteurs, le phénomène de "freeze-out" afin de prendre en considération le mécanisme du phénomène SLII (*Schallow Level Impact Ionization*) à basses températures, comme présenté dans la section 1.5.6.1. Enfin, de la même manière, le stress électrique a été appliqué sur le puits P+ de la source p-MOS, faisant varier le potentiel du transistor PNP (figure 1.15).

L'étude par simulation TCAD a été menée au travers des deux types de simulations : simulation statique et simulation dynamique. Pour les simulations 2-D, afin de présenter des valeurs quantitatives réalistes de différentes grandeurs électriques (courant, champ électrique, différence de potentiel, ...), la troisième dimension est simulée par une translation perpendiculaire au plan 2-D d'une valeur normalisée à 1 μm par défaut.

4.2.1 Caractérisation du Latchup par stress électrique

Comme évoqué précédemment, il est possible de déclencher la mise en conduction de la structure parasite PNPN par stress électrique au niveau de l'anode (source du transistor p-MOS). La simulation statique consiste à tracer la caractéristique électrique I(V) du Latchup induit par stress électrique à l'anode de la structure PNPN (voir figure 1.14). Ici ces simulations par stress électrique ont été réalisées pour les trois structures inverseurs CMOS présentées dans la section 4.1. La figure 4.9 montre les tendances d'évolution de la tension de maintien (V_{hold}) et le courant de maintien (I_{hold}) en fonction de la température pour les trois géométries d'inverseur CMOS de Sofradir. Les pics de courant de maintien observés pour les trois structures à basses températures correspondent au pic de la mobilité évoquée et déjà discutée dans la section 3.2.3 du chapitre 3. Pour rappel, ce pic est dû au phénomène d'ionisation d'impuretés à basses températures (SLII) et ses conséquences sur le phénomène de diffusion (*Ionized impurity scattering*) à basses températures. Ce phénomène impacte de manière directe la mobilité de porteurs. On constate que les trois configurations géométriques d'inverseurs sont potentiellement sensibles au Latchup à hautes températures. En effet, les

valeurs de V_{hold} à hautes températures sont inférieures à la tension d'alimentation V_{dd} pour les trois structures. A contrario, les valeurs de la tension de maintien, V_{hold} sont supérieures à la tension d'alimentation pour une gamme de températures inférieures à la température ambiante. Ce constat vient confirmer l'immunité observée expérimentalement lors de différentes campagnes d'irradiation par ions lourds de la technologie retenue par Sofradir pour ses circuits de lecture vis-à-vis du Latchup à basses températures.

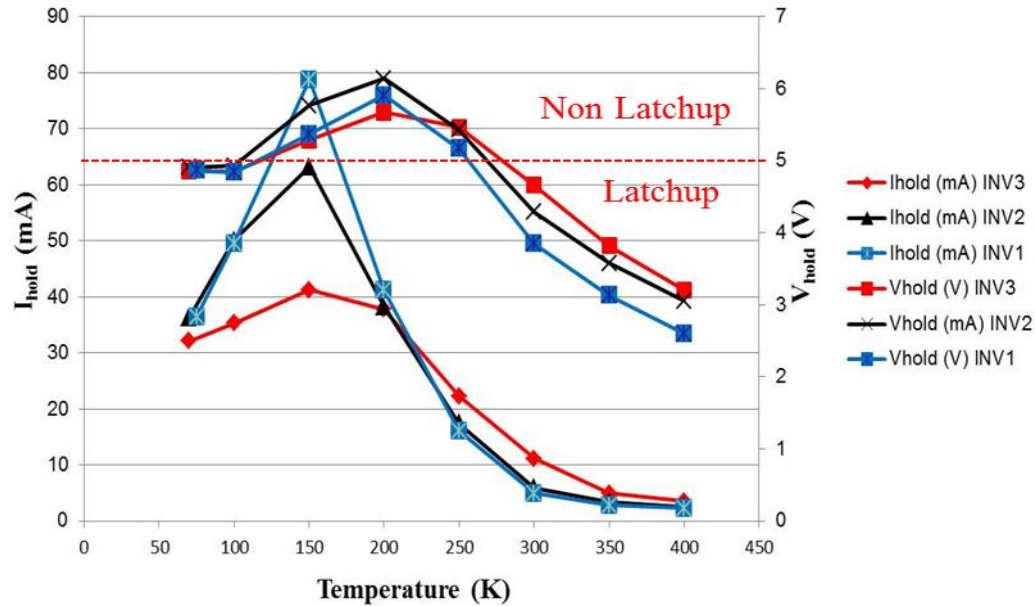


Figure 4.9 : Courant et tension de maintien extraits de la simulation TCAD en fonction de la température pour la technologie IBM 180 nm 7RF / SF, en tenant compte du modèle hydrodynamique. Lorsque la température est réduite en dessous de 150K, l'influence de l'effet "Freeze-out" devient importante et une diminution du courant de maintien est observée.

Pour valider cette observation préliminaire de la sensibilité de la technologie Sofradir au Latchup, des simulations transitoires par injection d'un ion lourd simulées par l'outil de simulations Sentaurus-TCAD sont présentées dans la section suivante.

4.2.2 Caractérisation du Latchup induit par le passage d'un ion lourd

La caractérisation électrique transitoire du phénomène de Latchup peut être simulée par simulation TCAD. La simulation dynamique dans notre cas consiste à simuler le passage d'une

particule ionisante, ici un ion lourd, dans la structure de l'inverseur afin de valider les observations réalisées lors des simulations statiques.

Cette étude permet de simuler la réponse transitoire en courant suite au passage d'un ion lourd en incidence normale dans le centre du SAC (espacement entre les deux transistors p-MOS et n-MOS) de la structure CMOS. Le maillage utilisé pour une simulation transitoire est le même que celui utilisé lors de la simulation statique, comme illustré dans la figure 3.6. L'unique différence repose sur la présence d'un maillage serré tout au long du trajet de l'ion dans la structure. Le modèle physique de simulation est le même que précédemment. La polarisation de chaque structure est toujours de 5V et est appliquée sur l'anode. Enfin, la tension du contact de caisson-N est également de 5V. La cathode et le contact du substrat sont eux connectés à la masse comme précédemment. Le tableau 4.2 illustre les simulations dynamiques qui ont été effectuées avec une valeur du LET de $100 \text{ MeV.cm}^2.\text{mg}^{-1}$ à cinq valeurs de température : à 50K, 70K, 100K, 300K et 400K.

À ces cinq valeurs de températures, V_{hold} est inférieur à la tension de polarisation, comme le montre la figure 4.9. Le SEL ne se déclenche pas dans la gamme de température inférieure à 300K pour l'inverseur de sortie INV3. En revanche, nous constatons que cela est le cas pour les deux autres inverseurs INV1 et INV2. Ainsi, il est possible de confirmer que la technologie de Sofradir est bien immune vis-à-vis du Latchup à basses températures. Cependant, cela n'est pas le cas à hautes températures. En effet, à 400K, le phénomène de SEL a été observé par simulation TCAD pour les trois inverseurs. Les valeurs seuils du LET à 400K sont aussi présentées dans ce tableau pour les trois inverseurs CMOS Sofradir. Ces différences de $\text{LET}_{\text{seuil}}$ montrent un effet design ayant un impact sur la sensibilité SEL de la technologie Sofradir. Cet effet sera discuté dans la section 4.3.

Tableau 4.2 : Simulation transitoire du Latchup pour la technologie Sofradir

Inverseur		INV1	INV2	INV3
Température (K)	LET ($\text{Mev.cm}^2.\text{mg}^{-1}$)	Injection au centre du SAC	Injection au centre du SAC	Injection au centre du SAC
50	100	Non Latchup	Non Latchup	No Latchup
70	100	Non Latchup	Non Latchup	No Latchup
100	100	Non Latchup	Non Latchup	Non Latchup
300	100	Latchup	Latchup	Non Latchup
400	100	Latchup	Latchup	Latchup
	$\text{LET}_{\text{seuil}}$	30	32	45

Comme montré précédemment (Cf. chapitre 2), cette immunité de la technologie de Sofradir à basses températures a été validée par l'irradiation des ions lourds à l'UCL (Université Catholique de Louvain) en Belgique.

4.3 Effets design sur la sensibilité au Latchup de la technologie Sofradir

Comme évoqué lors du premier chapitre relatif à l'étude biblio, l'effet de la largeur d'espacement entre les deux transistors MOS est important vis-à-vis de la sensibilité au Latchup et cela quelle que soit la technologie CMOS étudiée. En effet, ce paramètre définit la séparation entre les deux transistors qui forment la structure parasite PNPN responsable au déclenchement du Latchup. On a vu dans la section 3.3, lors de l'étude académique (technologie IBM) que l'augmentation de la valeur de SAC rend le composant moins sensible au Latchup. Il paraît donc logique que la première solution de durcissement soit d'augmenter la largeur SAC. Il est tout de même important de garder en tête que la grande limite de cette solution est une pénalité de surface qui est de plus en plus contrainte avec l'intégration technologique. Il sera donc nécessaire de rester dans des gammes de valeurs relativement faibles de SAC.

Pour le cas de la technologie Sofradir, la figure 4.10 montre l'effet d'une diminution de la largeur SAC sur la tension de maintien V_{hold} . On remarque une réduction de la tension V_{hold} avec la diminution de la largeur SAC dès que l'on est en dessous de la valeur de référence de Sofradir.

Parallèlement, comme présenté dans le tableau 4.3, la simulation TCAD dynamique (injection d'ions lourds au centre de la structure pour quatre valeurs de SAC à un LET de $50 \text{ MeV.cm}^2.\text{mg}^{-1}$) vient confirmer la tendance observée. Cet élément peut être utilisé par les designers de Sofradir afin de sélectionner des designs dont la largeur de SAC soit supérieure ou égale à la valeur de référence de la largeur de SAC étudiée pour cette bascule D (DFF1). En effet, les simulations TCAD pour des valeurs du SAC inférieure à la valeur référence de Sofradir montrent l'occurrence du Latchup pour un LET de $50 \text{ MeV.cm}^2.\text{mg}^{-1}$. En conséquent, la sélection d'un design ayant une plus faible largeur SAC va conduire à rendre le circuit de lecture Sofradir largement sensible au Latchup.

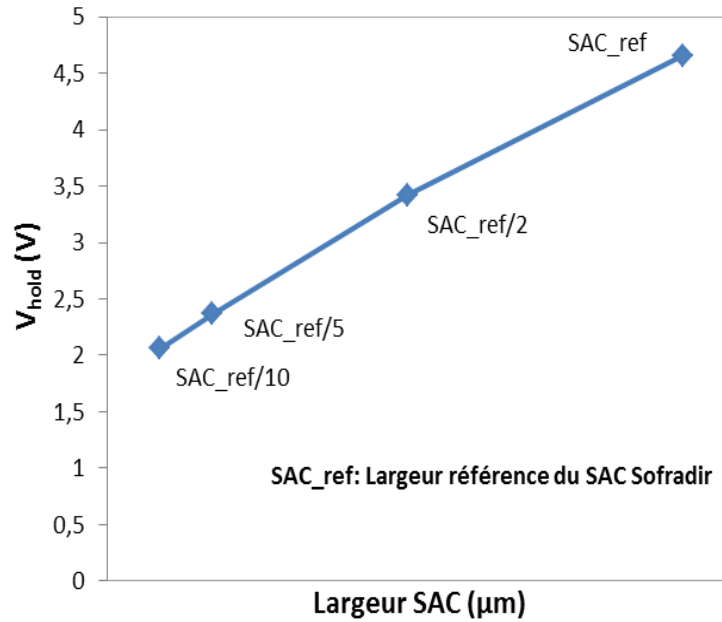


Figure 4.10 : Tension de maintien du Latchup en fonction de la largeur de SAC

Tableau 4.3 : Simulation dynamique à 50 MeV.cm².mg⁻¹ pour différentes valeurs de la largeur SAC

Température (K)	Largeur SAC (µm)	Simulation Latchup à 50 MeV.cm ² .mg ⁻¹
300	SAC_ref/10	Latchup
	SAC_ref/5	Latchup
	SAC_ref/2	Latchup
	Largeur SAC de Sofradir (SAC_ref)	Non Latchup

D'autres paramètres de design sont évoqués dans le tableau 4.2 lors de la discussion relative au LET seuil, à savoir les largeurs L_p et L_n de diffusions de l'anode (source du transistor p-MOS) et de cathode (la source de n-MOS) respectivement. Dans les cas des inverseurs INV1 et INV2, la largeur de l'anode (Psource) est deux fois plus grande que celle de l'inverseur de sortie INV3 ($L_{p_INV3} < L_{p_INV2}/1$). La largeur de la cathode (Nsource) de INV1 est deux fois plus grande que

celle des inverseurs INV3 et INV2 ($L_{n_INV3}/2 < L_{n_INV1}$). La figure 4.11 montre la courbe LET seuil en fonction de la largeur de diffusion. Les LET seuils diminuent avec l'augmentation de la largeur de l'anode ou de cathode de facteur 1.5. Ceci montre l'intérêt de prendre en compte l'effet de la largeur de diffusion sur la sensibilité Latchup par les designers pour les nouvelles générations. Des largeurs plus petites de source sont donc recommandées.

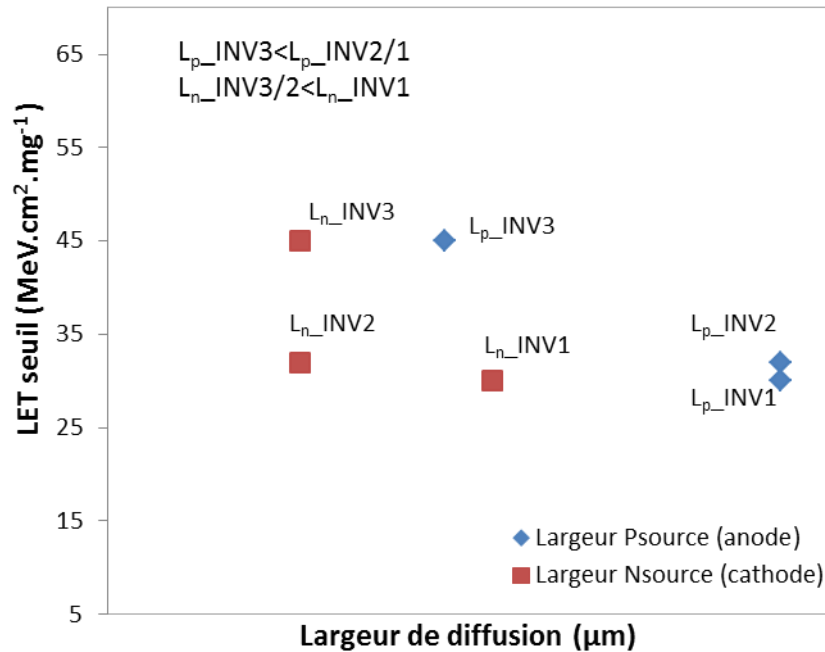


Figure 4.11: effets de largeurs de diffusions P-source et Nsource (Anode)

4.4 Effets du dopage sur la sensibilité au Latchup de la technologie Sofradir

Dans le précédent paragraphe nous avons vu l'effet design sur la sensibilité et les recommandations associées. Il est à présent intéressant d'étudier d'autres paramètres technologiques non dépendants du design. Dans cette section, les effets de différents éléments de dopage sur la sensibilité au Latchup sont étudiés. A la suite de cette étude, il sera possible de proposer des solutions de durcissements afin de renforcer la robustesse de la technologie Sofradir vis-à-vis du Latchup pour une plus large gamme de température (à hautes températures). La figure 4.12 présente les différents profils de dopage que nous pouvons avoir dans une technologie CMOS comme celle utilisée par Sofradir. Ces profils de dopages

correspondent à ceux calibrés précédemment dans la section 4.1. On peut distinguer quatre éléments de dopage intéressants à investiguer par simulation TCAD. Ces paramètres *process* sont: le profil de dopage du caisson-N, le profil de dopage du caisson-P, le profil de dopage de la couche enterrée dans le substrat-P, et enfin le profil global du dopage de la structure de l'inverseur.

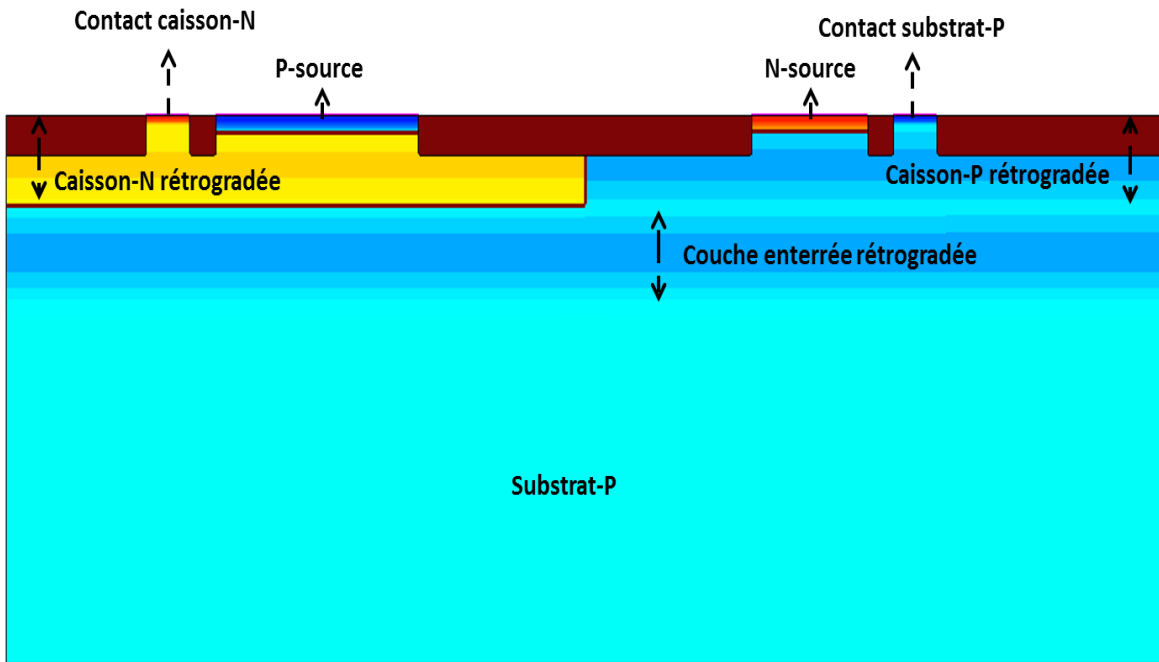


Figure 4.12 : Profils de dopage de la technologie Sofradir

L'étude a commencé par l'analyse de l'effet de chaque profil de dopage sur la sensibilité Latchup de la technologie Sofradir afin de déterminer l'importance de chaque profil dopage. C'est pour cette raison que nous avons réalisé en premier temps des simulations dynamiques avec et sans le profil de dopage concerné pour quatre valeurs de température (100K, 150K, 300K et 400K). Comme précédemment, ses simulations dynamiques ont été réalisées pour une injection verticale de l'ion lourd au centre du SAC de l'inverseur CMOS. Par la suite, l'effet d'une augmentation de certains profils de dopage a été réalisé afin de pouvoir proposer des solutions de durcissement vis-à-vis du Latchup. Les résultats de cette étude sont groupés dans trois tableaux. Chaque tableau représente les résultats de simulations TCAD pour les trois configurations géométriques d'inverseurs CMOS (INV1, INV2, INV3) définies dans la section 4.1.

Un autre aspect étudié et résumé dans ces trois travaux concerne la localisation du passage de l'ion lourd dans la structure de l'inverseur CMOS. Deux positions d'injections ont été préalablement identifiées et analysées : (a) le centre de puits P+ d'anode (source p-MOS) comme présentée dans les deux premières colonnes de chaque tableau et (b) le centre du SAC de l'inverseur CMOS (milieu de l'espace entre les deux transistors MOS).

Dans cette partie, les effets de dopage dans la structure de l'inverseur de sortie (INV3) de la bascule Sofradir (voir figure 4.1) sont les seuls discutés et présentés dans le tableau 4.4. Les deux autres études pour les inverseurs INV1 et INV2 sont présentées dans l'annexe (voir annexe 2).

Tableau 4.4 : Effets dopage sur la sensibilité au Latchup en fonction de la température (INV3)

Lieu de l'injection de l'ion		Puits P+		Centre de l'espace SAC (centre de la structure)								
		Avec Caisson -P	C_caiison-P/10	Avec Caisson-P	C_caiison-n-P/10	Sans caisson-P	C_caiison-n-P*10	C_caiison-n-N*10	Sans couche enterrée	Dopage global/10	Dopage global/2	Dopage global*2
T(K)	LET	5.0V	5.0V	5.0V	5.0V	5.0V	5.0V	5.0V	5.0V	5.0V	5.0V	5.0V
	MeV.cm ² .mg ⁻¹											
100	10	-	-	-	-	-	-	-	-	-	-	-
	50	-	-	-	-	-	-	-	-	+	-	-
	100	-	-	-	-	+	-	-	-	+	-	-
150	10	-	-	-	-	-	-	-	-	+	-	-
	50	-	-	-	-	-	-	-	-	+	-	-
	100	-	-	-	-	+	-	-	-	+	-	-
300	10	-	-	-	-	-	-	-	-	+	-	-
	50	-	+	-	+	+	-	-	-	+	+	-
	100	-	+	-	+	+	-	-	-	+	+	-
400	10	-	-	-	-	-	-	-	-	+	-	-
	50	-	+	+	+	+	-	-	+	+	+	-
	100	+	+	+	+	+	-	-	+	+	+	+
	Let _{th}	60	15	45	14	13			45	<10	20	90
1	2	3	4	5	6	7	8	9	10	11	12	13

- Structure de référence
- Latchup
- non Latchup
- Diminution du profil de dopage
- Augmentation du profil de dopage (solution de durcissement)

Le premier point à analyser est l'emplacement du passage de l'ion lourd simulé par Sentaurus-TCAD dans le but de définir le pire cas du passage d'un ion lourd dans le système.

- **Effet de l'emplacement du passage de l'ion lourd**

Les simulations transitoires pour les quatre valeurs de températures (100K, 150K, 300K, 400K) montrent que le Latchup se déclenche seulement à 400K pour les deux cas d'injection. Pour la structure de référence, le LET seuil à 400K pour une injection dans le puits P+ (colonne 3) est supérieur à celui obtenu pour l'injection au centre du SAC de l'inverseur. Ce constat montre que cette région peut être considérée comme la zone critique de l'inverseur CMOS. En effet, la probabilité de déclencher le Latchup par une particule qui passe au centre de la structure est plus grande que le passage d'une particule dans l'anode, comme évoqué dans certains travaux [ART-2014]. Par conséquent, pour la suite de cette analyse, les discussions ne concerneront exclusivement que la simulation relative au passage de l'ion lourd dans cette zone critique de l'inverseur CMOS.

Dans la suite de cette étude, les discussions relatives aux effets de quatre paramètres sont présentées : l'effet du caisson P rétrograde, l'effet du caisson N, l'effet de la couche enterrée (buried layer) rétrogradée et l'effet du profil global du dopage.

- **Effet du caisson P rétrograde**

Trois cas ont été pris pour étudier l'effet du caisson-P : le premier cas est de diminuer la concentration de dopage du caisson-P d'un facteur 10 (colonne 6). Un déclenchement du Latchup à 300K pour une LET de $50 \text{ MeV.cm}^2.\text{mg}^{-1}$ est alors observé, et le LET seuil diminue à $14 \text{ MeV.cm}^2.\text{mg}^{-1}$ à 400K. Le deuxième cas analysé est d'enlever le caisson-P rétrograde (colonne 7). On observe un déclenchement du Latchup qui peut être observé pour des températures allant jusqu'à 100K pour un LET de $100 \text{ MeV.cm}^2.\text{mg}^{-1}$. Il est donc important d'affirmer que ce paramètre qu'est le niveau de dopage du caisson-P est particulièrement critique vis-à-vis de l'occurrence du Latchup. En effet, dans le troisième cas étudié, une augmentation de la concentration de dopage au Bohr du caisson-P d'un facteur 10 (colonne 8) a été réalisée. Dans cette configuration l'inverseur CMOS est totalement immunisé au Latchup quels que soient la température et le LET de la particule incidente.

- **Effet du caisson N rétrograde**

Dans ce cas, nous n'avons pas retiré le caisson-N rétrograde afin de garder la structure du transistor p-MOS sans modifier sa performance. Une augmentation de la concentration de dopage du caisson-N de facteur 10 (colonne 9) a été étudiée. Nous observons alors que l'inverseur est totalement immune au Latchup quels que soient la température et le LET de la particule incidente.

- **Effet de la couche enterrée (buried layer) rétrogradée**

Pour ce cas étudié, la couche enterrée dans le substrat (colonne 10) a été retirée. Aucun effet de cette couche sur la sensibilité Latchup n'a été observé. Le LET seuil est la même dans le cas du niveau de dopage de référence (colonne 5).

- **Effet du profil global du dopage**

Trois cas relatifs à l'effet du profil de dopage global sont étudiés. Le premier cas est de diminuer la concentration globale de tous les profils de dopage de la structure d'un facteur 10 (colonne 11). Dans cette configuration, le Latchup se déclenche à 100K pour un LET de $50 \text{ MeV.cm}^2.\text{mg}^{-1}$. Le deuxième cas est de diminuer la concentration globale de tous les profils de dopage d'un facteur 2 (colonne 12). On observe alors que le phénomène de Latchup se déclenche à 300K et que le LET seuil diminue à $20 \text{ MeV.cm}^2.\text{mg}^{-1}$ à 400K. Le troisième cas est d'augmenter la concentration globale de tous les profils de dopage d'un facteur 2 (colonne 13). Dans cette dernière configuration le LET seuil augmente à $90 \text{ MeV.cm}^2.\text{mg}^{-1}$ à 400K ce qui, par conséquent, correspond à une augmentation de 100% de l'immunité au Latchup en comparaison à la structure de référence (colonne 6).

Les tableaux A.1 et A.2 relégués dans l'annexe 2 montrent les effets de dopage pour les deux structures des inverseurs INV2 et INV1. L'unique différence notable est l'effet de la largeur de l'anode (largeur de la source du transistor p-MOS) qui est déjà présenté dans l'étude design de la section précédente. L'augmentation de la largeur de l'anode de facteur 2 conduit au déclenchement du Latchup à 300K pour les deux structures INV1 et INV2 (voir annexe 2).

Après cette présentation très factuelle des effets de design et technologique sur la sensibilité Latchup, une analyse a été réalisée pour deux paramètres technologiques et est reportée ci-dessous.

4.5 Analyse du déclenchement/immunité Latchup pour la technologie Sofradir

Dans cette section, une analyse de deux effets de dopage sur la sensibilité au Latchup de la technologie de Sofradir est présentée. Le premier paramètre analysé est le caisson-P rétrogradé (colonne 7 dans le tableau 4.4) dont l'impact a été investigué en le retirant. Le second paramètre analysé est le dopage du caisson-P rétrogradé dont l'impact a été investigué en augmentant sa concentration par un facteur 10 (colonne 8 dans le tableau 4.4). Ces deux analyses ont été réalisées à deux températures différentes : 100K et 400K. Lorsque la structure

sans le caisson-P rétrogradé a été simulée, le Latchup est apparu à 100K, d'où la raison de faire l'analyse à 100K. De plus, pour rappel, la structure de référence de Sofradir est sensible au Latchup à hautes températures (400K). L'analyse à cette température est donc primordiale pour enfin proposer une solution de durcissement. L'étude des deux paramètres de dopage est groupée en deux cas, le cas de basses températures à 100K et le cas de hautes températures à 400K.

Etude à 100K :

Tout d'abord, la caractéristique I(V) du Latchup est tracée dans la figure 4.13 en prenant en compte les deux cas de l'analyse présentés précédemment. La courbe bleue représente la courbe I(V) du Latchup pour les paramètres technologiques de référence de Sofradir. La courbe verte représente le cas de la structure CMOS sans le caisson-P rétrogradé. Enfin, la courbe rouge représente la caractéristique I(V) relative à la structure CMOS avec une augmentation de la concentration de dopage sur le caisson-P rétrogradé d'un facteur 10. Le tableau 4.5 permet d'analyser de manière quantitative l'effet de ces deux cas de configuration de dopage sur le courant et la tension de maintien I_{hold} et V_{hold} respectivement. On remarque que sans le caisson-P rétrogradé la tension de maintien diminue de 52% environ par rapport à la valeur de référence. D'autre part, avec une concentration de dopage 10 fois plus grande que celle de la référence sur le caisson-P rétrogradé, la tension V_{hold} augmente de 52% environ par rapport à la valeur de référence. Ces résultats sont bien corrélés avec les résultats obtenus par simulation transitoire et résumés dans le tableau 4.4 (colonne 7 et 8).

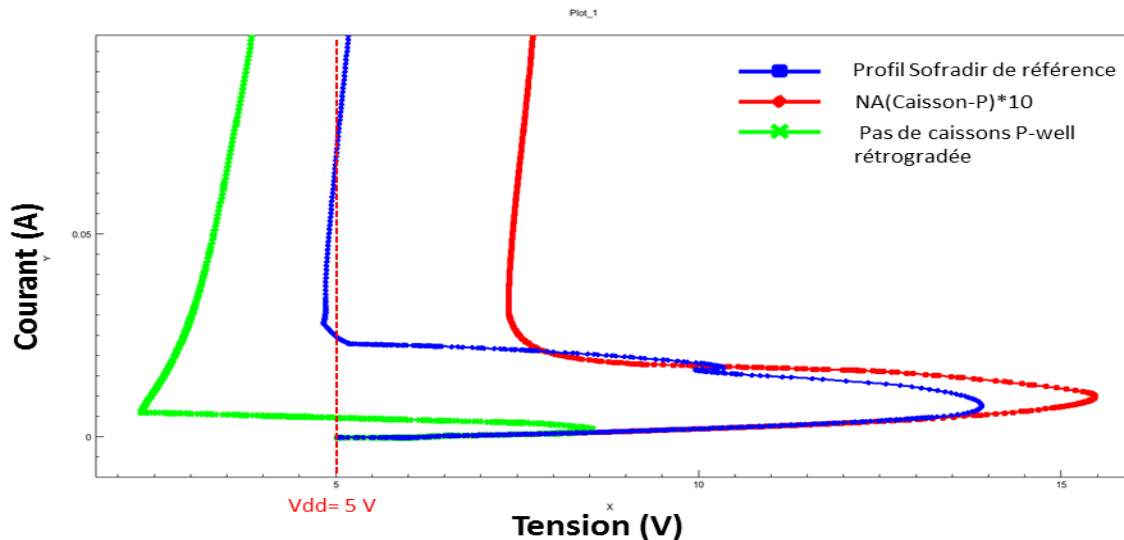
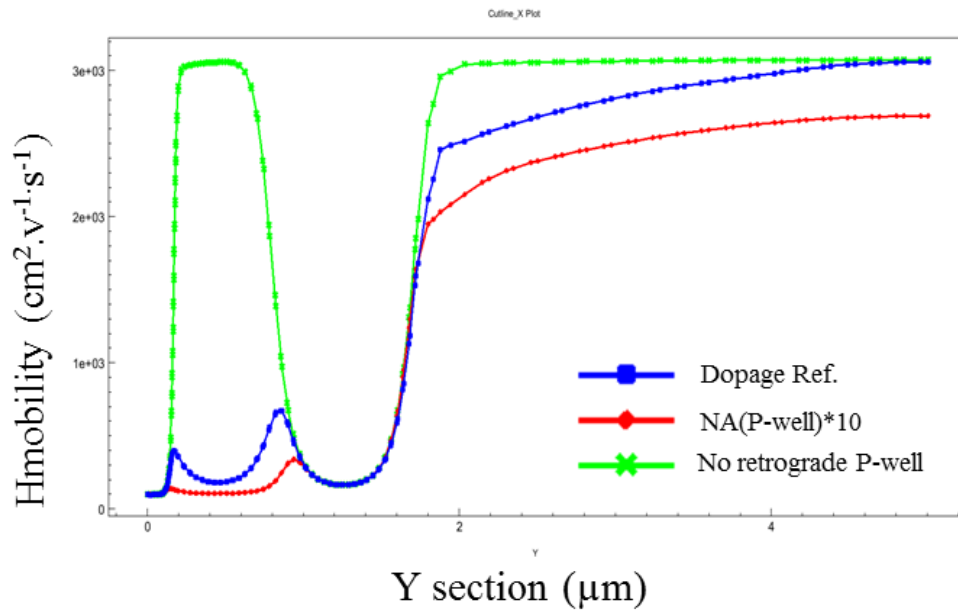


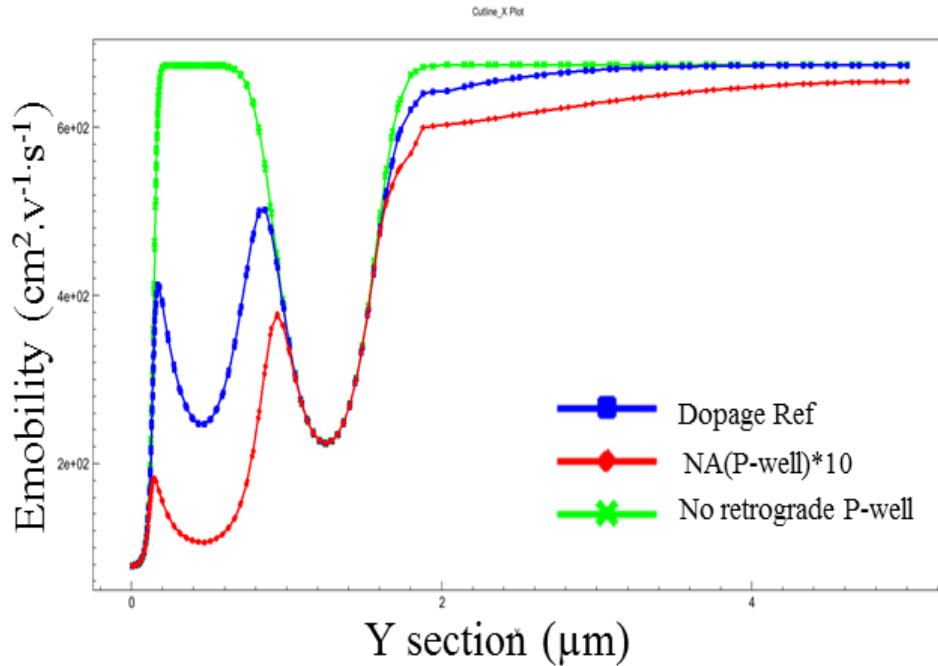
Tableau 4.5 : I_{hold} , V_{hold} en prenant en compte les deux cas de dopage de caisson-P

concentration de caisson-P rétrogradée	Température (K)	Courant de maintien I_{hold} (mA)	Tension de maintien V_{hold} (V)
Dopage ref. Sofradir	100	35,3	4,85
Pas de caisson-P	100	6,21	2,31 (-52,37%)
NA(caisson-P)*10	100	33,59	7,37 (+51,96%)

L'objectif à présent est de comprendre l'effet de dopage du caisson-P sur la tension de maintien du Latchup qui est considérée comme la caractéristique clé pour estimer la sensibilité Latchup. Pour cela, les mobilités d'électrons et de trous dans le caisson-P ont été extraites et tracées (voir figure 4.14 (a) et (b) respectivement) en considérant les deux cas de dopage du caisson-P et en comparant avec la valeur de la mobilité dans la structure de la référence.



a)



b)

Figure 4.14 : a) Mobilité d'électron b) mobilité de trou à 100K en considérant les deux cas de dopage du caisson-P (x10 et sans caisson-P).

Le tableau 4.6 synthétise les éléments clés de cette analyse. A 100k, le LET seuil dans le cas où la structure est simulée sans le caisson-P rétrogradé est de $75 \text{ MeV.cm}^2.\text{mg}^{-1}$; alors que l'on remarque que la mobilité augmente de 2460% par rapport à la valeur de mobilité de référence (μ_{ref}). En parallèle, nous constatons que la mobilité diminue de -38% de la mobilité par rapport à la référence dans le cas de la structure avec une augmentation de la concentration de dopage au caisson-P d'un facteur 10. La mobilité de porteurs est inversement proportionnelle avec la résistivité. Cela implique donc une diminution de la résistivité quand la mobilité augmente et par conséquent une diminution de la tension de maintien comme dans le cas où la structure est simulée sans le caisson-P rétrogradé. Ce point sera à considérer dans le dernier chapitre de ces travaux de thèse lors du développement de nouveaux modèles compacts pour les transistors parasites bipolaires NPN et PNP qui constituent le circuit parasite Latchup.

Tableau 4.6 : Evaluation de deux cas de dopage de caisson-P rétrogradé

Retrograde P-well doping concentration	T (K)	simulation transitoire (MeV.cm ² .mg ⁻¹)	Mobilité d'électron (cm ² .v ⁻¹ .s ⁻¹)	Mobilité de trou (cm ² .v ⁻¹ .s ⁻¹)	Resistivité (ohm.m)	Vhold (V)
Dopage Ref	100	-	$\mu_{n(ref)}$	$\mu_{p(ref)}$	$\rho_{(ref)}$	$V_{hold(ref)}$
Pas de caisson-P	100	LET _{th} = 75	+2460%	+1558%	(-)	-52,37%
NA(Caisson-P)*10	100	-	-38%	-42%	(+)	+51,96%

Etude à 400K :

A présent, la même démarche a été réalisée pour une température de 400K. La tension et le courant de maintien dans les deux cas sont tracés dans la figure 4.15, les mobilités d'électrons et de trous dans le caisson-P ont été extraites et tracées (voir figure 4.16 (a) et (b) respectivement) en considérant les deux cas de dopage du caisson-P et en comparant avec la valeur de la mobilité dans la structure de la référence.

La figure 4.15 présente les caractéristiques I(V) du Latchup pour les trois configurations de dopages présentées précédemment. La courbe bleue représente la courbe I(V) du Latchup pour le cas de référence de Sofradir. La courbe verte représente le cas de la structure sans le caisson-P rétrogradé. Enfin, la courbe rouge représente le cas de la structure avec une augmentation de la concentration de dopage sur le caisson-P rétrogradé d'un facteur 10. Le tableau 4.7 résume l'effet des variations de dopage sur le courant et la tension de maintien I_{hold} et V_{hold}. Nous remarquons que sans le caisson-P rétrogradé, la tension de maintien diminue de 55% par rapport à la valeur de référence. Alors que dans le cas d'une concentration de dopage du caisson-P rétrogradé dix fois supérieure à la référence, la tension V_{hold} augmente de 97% par rapport à la valeur de référence. Ces observations sont en parfaites corrélations avec les résultats obtenus par simulation transitoire et résumées dans le tableau 4.4 (colonne 7 et 8). D'autre part, l'augmentation de la tension de maintien V_{hold} dans le cas de l'augmentation de la concentration de dopage du caisson-P d'un facteur 10 à 400K par rapport à celle de 100K (51.96%) est due à l'effet thermique dans le semi-conducteur.

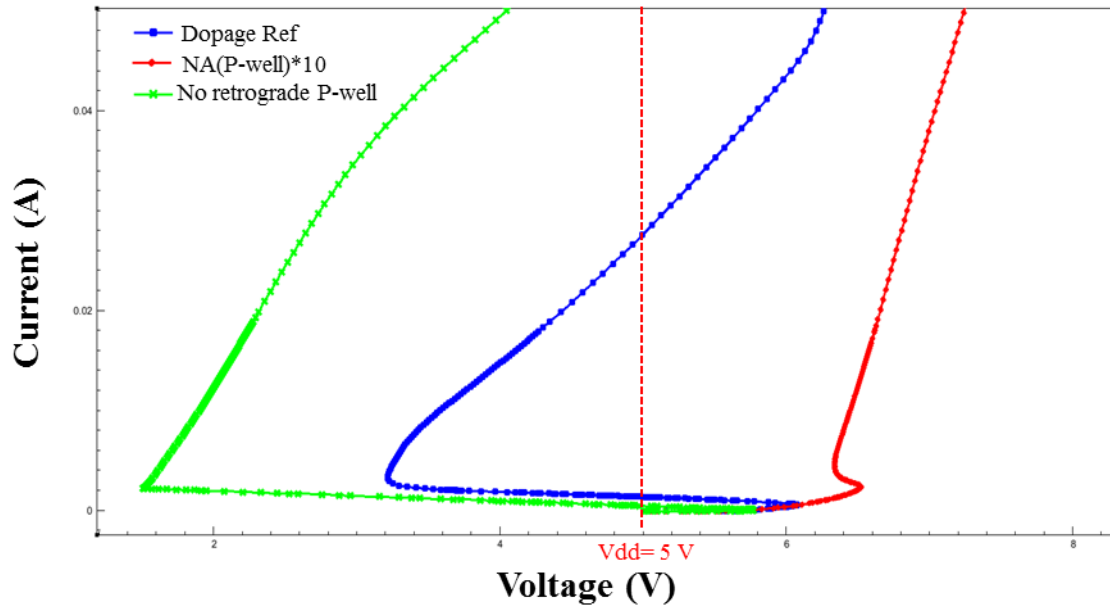
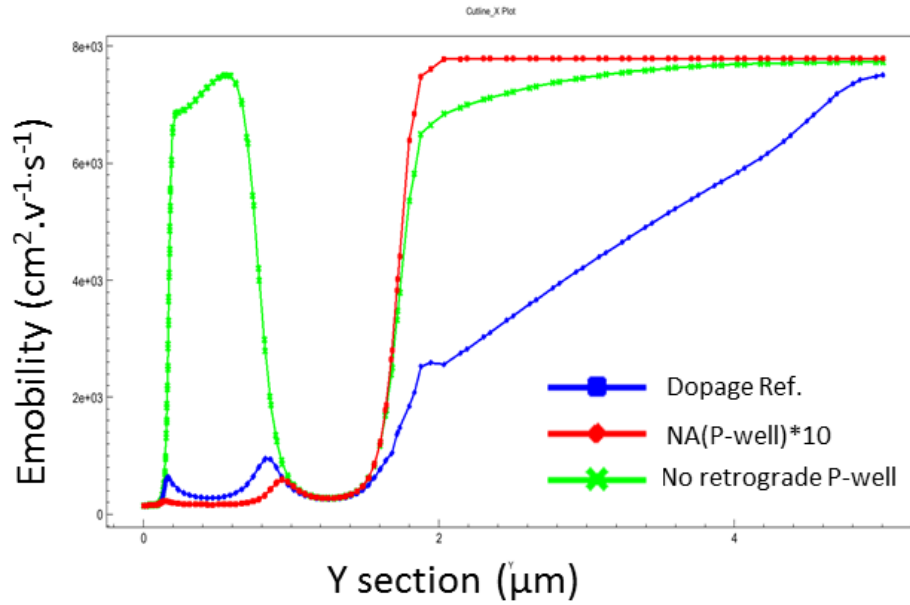


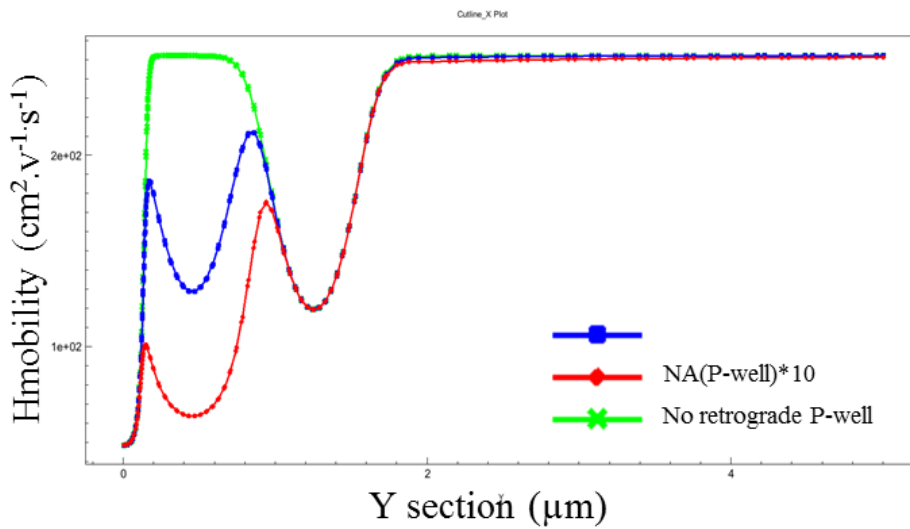
Figure 4.15 : Effets de deux cas de changement de dopage, le premier cas est la structure sans le caisson-P rétrogradé et le deuxième cas est la structure avec une augmentation de dix fois de la concentration de dopage du caisson-P rétrogradé, Courbes I(V) du Latchup pour les deux cas et celle de la référence

Tableau 4.7 : I_{hold} , V_{hold} en prenant en compte les deux cas de dopage de caisson-P

Retrograde p-well doping concentration	Temperature (K)	Holding current I_{hold} (mA)	Holding voltage V_{hold} (V)
Dopage ref. Sofradir	400	3,48	3,21
No retrograde P-well	400	2,14	1,43 (-55,45%)
NA(P-well)*10	400	4,6	6,33 (+97,2%)



a)



b)

Figure 4.16 : a) Mobilité d'électron b) mobilité de trou à 400K en considérant les deux cas de dopage du caisson-P (x10 et sans caisson-P).

Comme illustré dans le tableau 4.8, le LET seuil obtenu dans le cas de la structure CMOS sans le caisson-P rétrogradé est de $13 \text{ MeV.cm}^2.\text{mg}^{-1}$. Nous remarquons alors que la mobilité augmente de 2460% par rapport à la valeur de mobilité de référence (μ_{ref}). A contrario, la mobilité

diminue de -38% lorsque la concentration de dopage du caisson-P est augmentée d'un facteur 10. Cette variation de la mobilité est la raison de changement de tension de maintien comme quantifié dans le tableau 4.7. Quand la mobilité des porteurs augmente, la tension de maintien diminue; comme cela est le cas pour l'inverseur CMOS sans le caisson-P. A l'inverse, dans le cas d'un inverseur dont le niveau de dopage du caisson-P est augmenté d'un facteur 10, la mobilité des porteurs diminue et la tension de maintien V_{hold} augmente. Comme précédemment, ce point sera à considérer dans le dernier chapitre de ces travaux de thèse lors du développement de nouveaux modèles compacts pour les transistors parasites bipolaires NPN et PNP qui constituent le circuit parasite Latchup.

Aux vues de ces éléments, il serait intéressant de proposer comme solution de durcissement une augmentation du dopage au caisson-P de facteur 10. Cependant, avant de valider cette recommandation de durcissement par optimisation de *process*, il est nécessaire d'évaluer les conséquences d'un point de vue des performances. Ce point va être discuté dans la section suivante.

Tableau 4.8 : Evaluation de deux cas de dopage de caisson-P rétrogradé

Retrograde P-well doping concentration	T (K)	Dynamic simulation (Mev.cm ² .mg ⁻¹)	V _{hold} (V)	Emobility (cm ² .v ⁻¹ .s ⁻¹)	Hmobility (cm ² .v ⁻¹ .s ⁻¹)
Dopage Ref.	400	LET _{th} = 45	V _{hold(ref)}	μ _{n(ref)}	μ _{p(ref)}
No retrograde P-well	400	LET _{th} = 13	-55,45%	+175%	+96%
NA(P-well)*10	400	-	+97,2%	-57%	-50%

4.6 Validation du choix d'une solution de durcissement Latchup par optimisation *process*

La comparaison de deux solutions de durcissement est réalisée dans cette partie. Cette comparaison va évaluer l'effet de chaque solution sur la robustesse Latchup mais également sur les performances de l'inverseur CMOS. Les deux solutions de durcissement ont été présentées dans le tableau 4.4. La première solution est d'augmenter le profil de dopage global d'un facteur 2 (colonne 13). La seconde solution de durcissement est d'augmenter la concentration du dopage du caisson-P rétrogradé d'un facteur 10 (colonne 8). Comme illustré dans le tableau

4.4, l'effet de la première solution (colonne 13) sur la sensibilité du Latchup est une augmentation du LET seuil de 100% (à $90 \text{ MeV.cm}^2.\text{mg}^{-1}$) par rapport à la valeur de référence (colonne 5). Quant à elle, la deuxième solution de durcissement (colonne 8) permet une immunité totale au Latchup quel que soit la température (colonne 8). En première lecture, il semble donc plus intéressant de retenir la seconde solution. Cependant, il ne suffit pas de regarder uniquement le bénéfice d'une solution de durcissement ; il est également nécessaire d'évaluer les conséquences de telles solutions de durcissement sur la performance du composant.

Pour cela, des simulations TCAD en 3-D ont été réalisées de l'inverseur CMOS de Sofradir en considérant les deux solutions de durcissement *process* (colonnes 8 et 13). Les caractéristiques d'entrée-sortie de l'inverseur sont tracées dans les trois cas comme illustré par la figure 4.17: la courbe bleue représente la caractéristique de référence, la courbe verte représente la solution de durcissement où le profil de dopage global de facteur 2 et la courbe rouge représente la solution de durcissement où la concentration de dopage en Bohr du caisson-P rétrogradé est augmentée d'un facteur 10.

La comparaison des trois caractéristiques montre que la solution 1 est celle dont les modifications du niveau de performance par rapport à la référence sont les plus faibles comme quantifié dans le tableau 4.9. En effet, la tension de sortie de l'inverseur à $V_{dd}/2$ dans le cas de la solution 1 n'est modifiée que de +0.44%, tandis que pour le cas de la solution 2 la tension de sortie à $V_{dd}/2$ conduit à un décalage de 23% par rapport à la référence. Une autre métrique a été évaluée : l'erreur de la SNM (Static Noise Margin). La SNM a été calculée pour les deux solutions. On remarque que la solution 1 permet de minimiser l'écart par rapport à la référence

Finalement, il est possible de conclure que la solution 1, c'est à dire une augmentation du niveau de dopage global de facteur 2 est le meilleur compromis entre la robustesse apportée et la modification des performances de l'inverseur CMOS utilisée dans les bascules D du circuit de lecture du capteur d'image infra rouge de Sofradir.

Tableau 4.9: Comparaison du comportement de l'inverseur pour les deux solutions

Profil dopage	SNM	Vout=Vdd/2	% LETth
All-doping*2	40%	(+) 0,44%	(+) 100%
Retrograde P-well *10	31,48%	(-) 23%	No Latchup

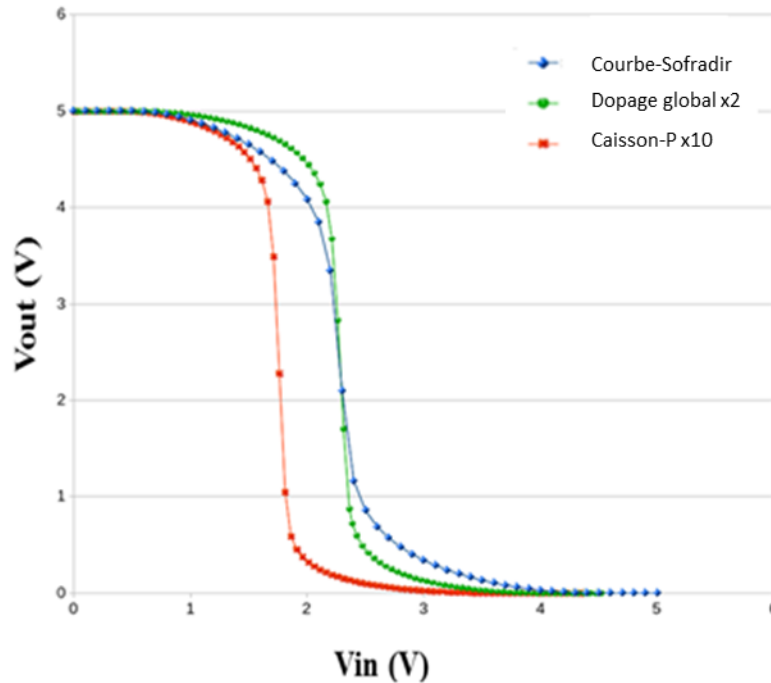


Figure 4.17 : Comparaison de performance entre deux solutions de durcissement de colonne 8 et colonne 13 du tableau 4.4.

4.7 Conclusion

Dans ce chapitre, l'objectif a été d'étudier par simulations TCAD les différents effets liés à la technologie et à la température sur le déclenchement du Latchup pour la technologie Sofradir. Pour débiter cette étude par simulation TCAD de la technologie Sofradir, la première section a été dédiée à une phase de calibration d'un inverseur CMOS utilisé dans un circuit de lecture d'un imageur infrarouge de Sofradir afin de s'assurer de la bonne représentativité de la technologie lors des simulations TCAD. Ensuite des simulations TCAD ont été réalisées sur trois structures de géométries différentes et représentatives du design d'inverseurs présents dans une bascule D utilisée par Sofradir lors du développement de ses circuits de lecture. Les simulations ont montré une immunité de la technologie Sofradir vis-à-vis du Latchup à basses températures. En revanche, la technologie de Sofradir a été identifiée comme potentiellement sensible au Latchup à hautes températures. Ces résultats ont conduit à une étude plus poussée afin d'évaluer les effets technologiques de l'inverseur TCAD sur la sensibilité Latchup. L'impact des paramètres de dopage et design a été analysé afin d'être à même de proposer des solutions de durcissement vis-à-vis du Latchup. Dans cette partie, l'effet de la largeur de l'espacement entre les deux transistors n-MOS et p-MOS sur la sensibilité Latchup a été identifié comme le

paramètre clé de la bonne robustesse de la technologie Sofradir vis à vis du Latchup. De plus, le niveau de dopage des deux caissons N et P rétrogradés ont montré un effet très remarquable sur l'immunité totale au Latchup. En effet, une modification de ces deux profils influe sur les résistances de deux bases de transistors bipolaires NPN et PNP et par conséquent joue sur la tension de maintien (V_{hold}) qui est une caractéristique clé d'occurrence du phénomène de Latchup. Ensuite, quatre éléments *process* ont été étudiés. Une modification judicieuse du niveau de dopage global a montré un effet remarquable sur l'amélioration de la robustesse au Latchup de l'inverseur CMOS.

Enfin, l'évaluation de solutions de durcissement vis-à-vis du Latchup a été réalisée. Une comparaison entre deux solutions de durcissement a été faite. Cette évaluation a permis de mettre en lumière une solution de durcissement qui consiste à augmenter le niveau du profil de dopage global d'un facteur 2. Cette solution apparaît comme le meilleur compromis entre amélioration de la robustesse vis-à-vis du Latchup et la performance de l'inverseur CMOS.

Afin d'être en mesure de pouvoir généraliser l'évaluation globale de la sensibilité latchup de la technologie Sofradir, une nouvelle approche de modélisation au niveau circuit, couplée à l'outil de prédiction MUSCA SEP3 va être présentée et discutée dans le chapitre suivant.

Chapitre 5 : Nouvelle approche de modélisation du phénomène Latchup par simulation électrique

L'objectif de ce chapitre est de proposer une nouvelle approche de modélisation compacte du phénomène Latchup par simulation SPICE après une validation par simulation TCAD. La structure de l'inverseur CMOS utilisée dans cette étude est la structure de l'inverseur de sortie de la bascule (DFF1) déjà présentée dans la section 4.1, utilisé dans un circuit de lecture d'un imageur infrarouge. Le modèle compact du Latchup est basé sur des modèles *card* développés par SPICE aux transistors parasites bipolaires NPN et PNP à partir des caractéristiques électriques des deux transistors fournis par simulation TCAD. Il est important de noter que cette validation pourrait être également faite à partir de mesures électriques si l'accès à la technologie n'était pas possible. Cette nouvelle approche de modélisation permet de résoudre les limites de l'approche de modélisation existante et offre une bonne représentation du comportement électrique de la structure parasite qui déclenche le phénomène Latchup et cela en tenant compte des aspects technologiques et designs.

5.1 Modélisation du Latchup par simulations TCAD et SPICE

Il existe deux approches de modélisation du phénomène de Latchup. La première est basée sur un ensemble de diodes et des résistances connectées [LI-2009]. Cette approche modélise la structure PNPN comme des jonctions diodes PN/NP et les résistances qui représentent le volume de silicium. L'autre approche de modélisation Latchup est basée sur la modélisation de la structure PNPN comme deux transistors bipolaires parasites PNP vertical et NPN latéral comme présenté dans la section 1.4 [BRU-1996]. Cette dernière approche est la plus connue et la plus pertinente pour la modélisation du Latchup à l'heure actuelle. Dans ce chapitre, c'est cette dernière approche basée sur des transistors bipolaires qui sera utilisée comme élément de comparaison avec la nouvelle approche de modélisation Latchup réalisée dans ces travaux de thèse.

5.1.1 Description de l'approche de modélisation du phénomène Latchup existante

Comme déjà évoqué dans la section 1.4 de ce manuscrit, le modèle électrique classique du Latchup est constitué de deux transistors bipolaires de type NPN et PNP associés et un ensemble des résistances qui représentent les différentes régions de silicium dans la structure inverseur CMOS comme montré dans la figure 5.1. La méthode de modélisation développée en [BRU-1996] est la méthode la plus commune pour modéliser le Latchup. Cette méthode est basée sur le calcul de toutes les résistances extérieures à partir des équations électriques en fonction des quatre éléments caractéristiques du Latchup : V_{trig} , I_{trig} , V_{hold} , I_{hold} . Il est donc nécessaire d'avoir les caractéristiques clés du Latchup, c'est-à-dire les points de déclenchement et de maintien au Latchup, pour pouvoir calculer ces résistances. Dans cette approche de modélisation, les deux modèles de transistors bipolaires sont des modèles classiques BJT avec l'hypothèse que la tension seuil du transistor bipolaire parasite est celle d'un transistor classique soit de l'ordre de 0.7V. L'un des points faibles d'une telle approche réside dans le fait qu'aucune modélisation réelle du comportement intrinsèque des transistors parasites n'est réalisée.

Le but de notre nouvelle approche est de proposer un modèle Latchup compact le plus réaliste afin de pouvoir être plus représentatif du phénomène Latchup et aussi bien précis sur les valeurs des résistances que sur les modèles de transistors parasites. Cette approche permet également de retranscrire l'impact des paramètres de *design* et technologique sur les

transistors bipolaires et pas uniquement sur les résistances qui polarisent la structure parasite Latchup comme cela est le cas dans l'approche classique [BRU-1996].

Dans le cadre de cette thèse, un développement des modèles *card* de deux transistors parasites NPN et PNP par simulation SPICE a été réalisé en se basant sur les caractéristiques électriques simulées par TCAD. Les résistances R_{EW} , R_{CS} et R_{BW} présentées dans la figure 5.1 sont considérées comme des résistances internes du transistor bipolaire PNP: respectivement les résistances d'émetteur, collecteur et base. De la même façon, les résistances R_{CW} , R_{ES} et R_{BS} sont considérées comme des résistances internes du transistor bipolaire NPN: respectivement de collecteur, émetteur et base. La première phase dans notre approche est de développer un modèle *card* de chaque transistor bipolaire par simulation SPICE en calculant toutes les résistances internes de chaque transistor par simulation TCAD. Ces deux modèles *card* seront utilisés dans le modèle compact du Latchup à la fin de notre approche. La suite de ce chapitre va être dédiée à une description détaillée de cette nouvelle approche de modélisation Latchup.

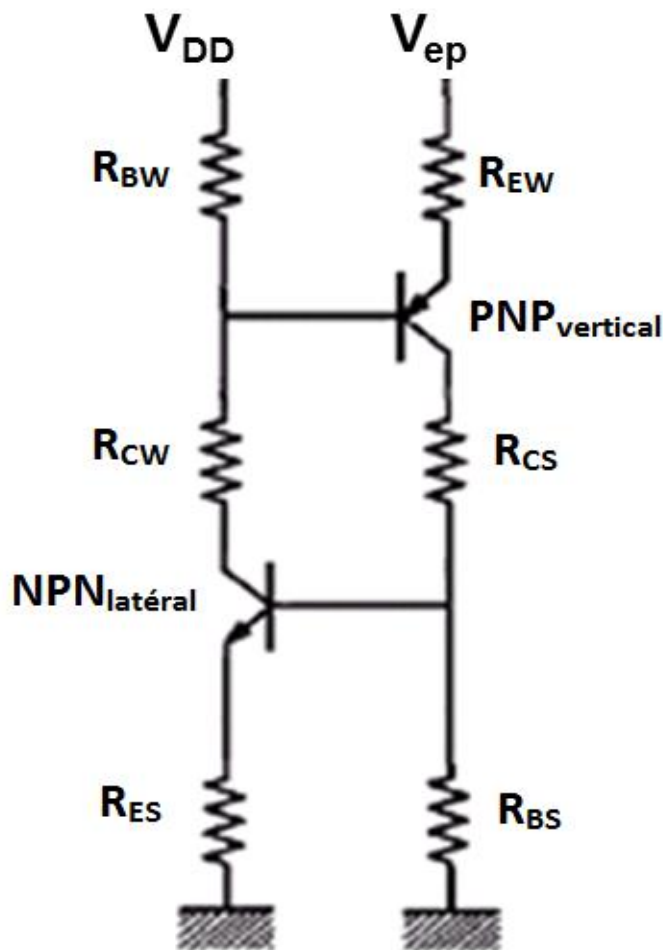
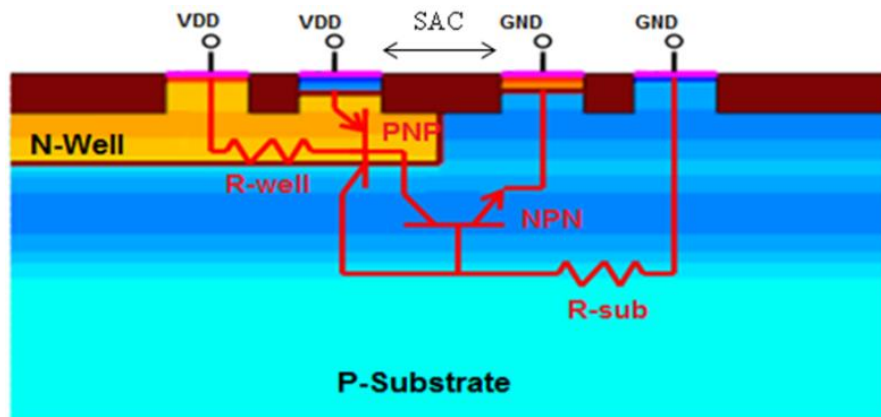


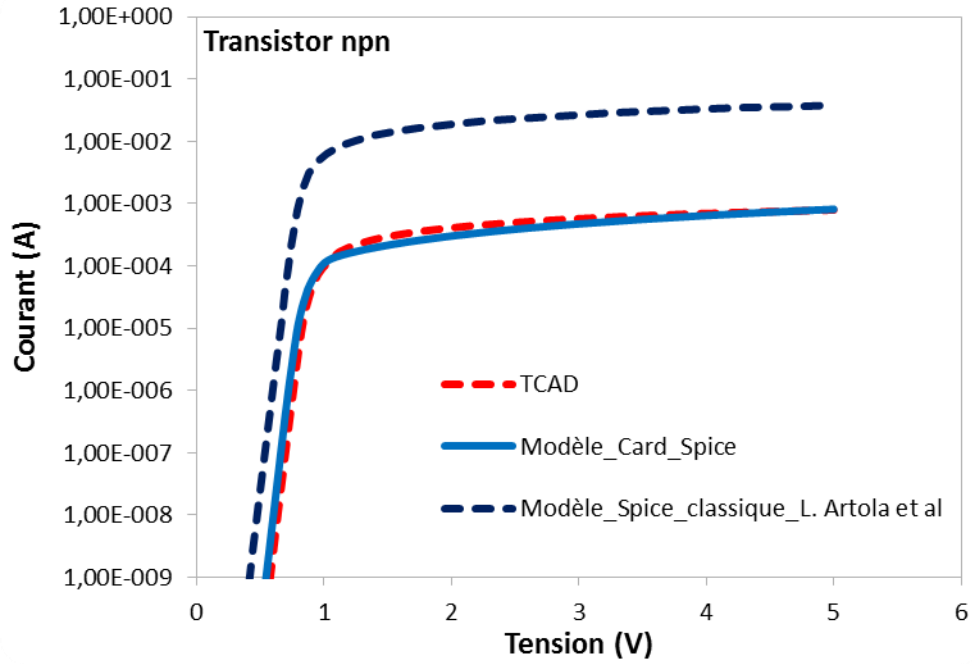
Figure 5.1 : Modèle électrique du Latchup, adapté de [BRU-1996]

5.1.2 Description de la nouvelle approche de modélisation du phénomène Latchup

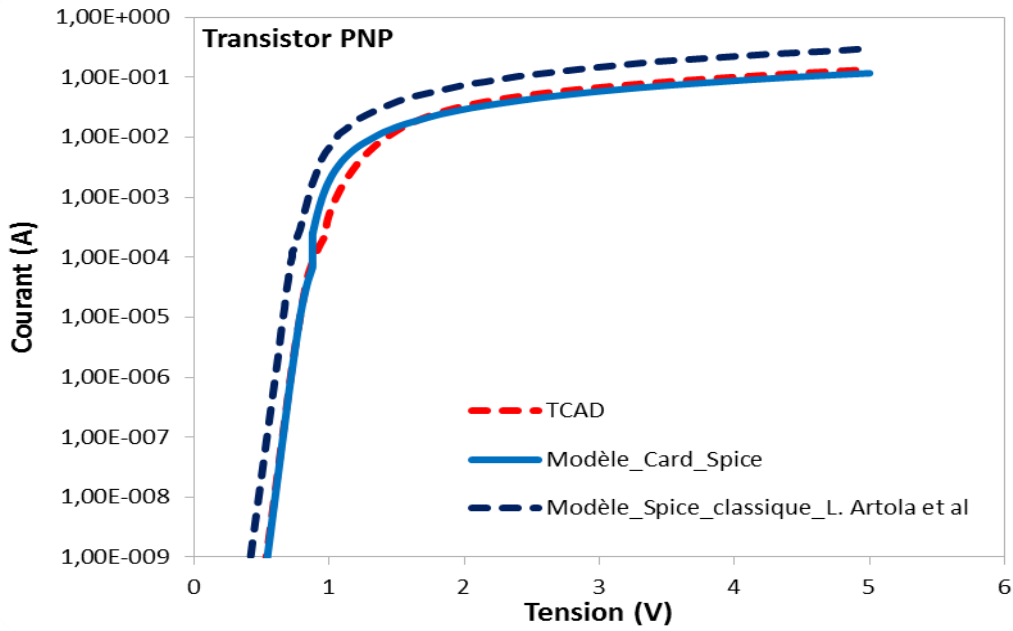
Avant de détailler notre nouvelle approche de modélisation, revenons au modèle simple du Latchup. La figure 5.2 (a) montre la structure parasite qui a été représentée par une coupe 2-D le long des sources de transistors p-MOS et n-MOS (voir section 1.5). Cette structure de thyristor parasite est composée de deux transistors bipolaires, un PNP vertical qui est formé par la source P+/puits N/substrat-P et un transistor NPN latéral qui est formé par la source N+/substrat-P/puits N. Ainsi, la sortie (collecteur) de chaque transistor est connectée à l'entrée (base) de l'autre transistor bipolaire. Le Latchup peut se déclencher si un courant transitoire est observé sur l'électrode «source du transistor p-MOS » qui est connectée à l'alimentation de ce dispositif. Notre approche commence par une modélisation de chaque transistor bipolaire de manière distincte, mais toujours avec la perspective de leur utilisation dans un modèle compact dédié à la structure parasite Latchup. Afin de pouvoir réaliser cette étape, deux structures ont été générées. La figure 5.2 (b) présente la structure du transistor NPN sans considérer la diffusion P de la source p-MOS. La figure 5.2 (c) présente la structure du transistor PNP sans considérer la diffusion N de la source n-MOS.



(a)



(a)



(b)

Figure 5.3 : Courbes de simulations TCAD et SPICE de la caractéristique électrique de (a) modèle de transistor bipolaire NPN et (b) modèle de transistor bipolaire PNP, après le développement des modèles Cards de transistors bipolaires et leur implémentation dans la plateforme logicielle Cadence.

La prochaine étape de cette approche consiste à construire un modèle électrique compact du Latchup composé de deux transistors bipolaires avec les deux modèles *card* développés lors de la première phase de modélisation et de deux résistances R_b et R_s équivalentes qui représentent les volumes de silicium hors transistors liées à l'extension de caisson N et du substrat P vers les contacts de N-well et du P-well (voir figure 5.4). Dans ce modèle compact du Latchup, la somme des résistances R_b , $R_{b_{pnp}}$ (la résistance de la base du transistor PNP) et $R_{c_{nnp}}$ (la résistance du collecteur NPN) doit être égale à la résistance du caisson N. Le même principe a été appliqué pour les résistances R_s , $R_{e_{pnp}}$ (la résistance de l'émetteur de PNP) et $R_{b_{nnp}}$ (la résistance de la base NPN). A savoir, leur somme doit être égale à la résistance du substrat P, c'est-à-dire, à la résistance interne du collecteur de transistor PNP calculée lors de la première phase de développement du modèle *card* de transistor NPN. Lors de cette étape, un travail spécifique afin de déterminer la répartition de ces résistances a été réalisé afin d'obtenir une bonne corrélation entre la caractéristique latchup modélisée par simulation SPICE et la caractéristique Latchup obtenue par simulation TCAD pour le cas d'une structure de référence de la technologie Sofradir, comme présenté dans la figure 5.5. Afin de relever l'apport et l'intérêt de la nouvelle approche de modélisation, cette même caractéristique électrique du Latchup est également proposée en utilisant la méthode classique développée en [BRU-1996] et appliqué dans les travaux d'Artola et al, [ART-2014]. Dans cette figure, les courbes sont tracés à la température ambiante ; notant que dans la simulation TCAD, le modèle de simulation utilisé est le modèle hydrodynamique (voir section 3.1). La comparaison de deux courbes SPICE compact et SPICE classique avec celle de TCAD montre l'efficacité de notre méthode. La convergence des caractéristiques clés du Latchup (le point de déclenchement et le point de maintien) vers celles du TCAD en utilisant notre méthode est meilleure que celle de la méthode classique. La suite de ce chapitre va présenter un cas d'application de cette approche afin de déterminer la sensibilité Latchup de la structure CMOS Sofradir selon différentes configurations de design.

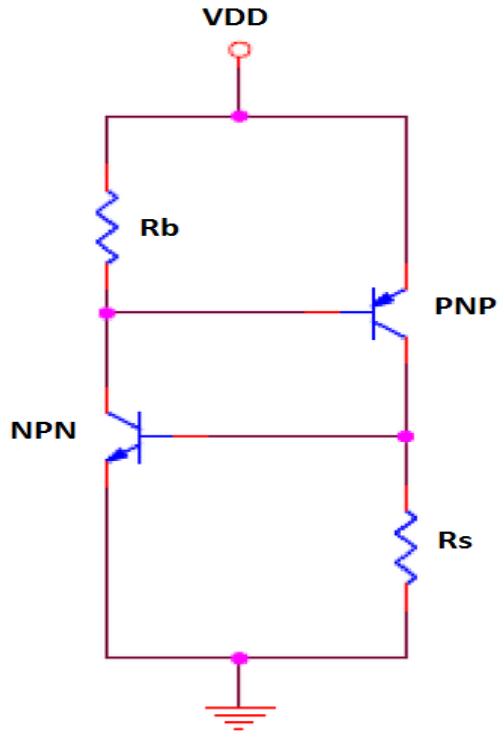


Figure 5.4 : Modèle électrique simple du Latchup

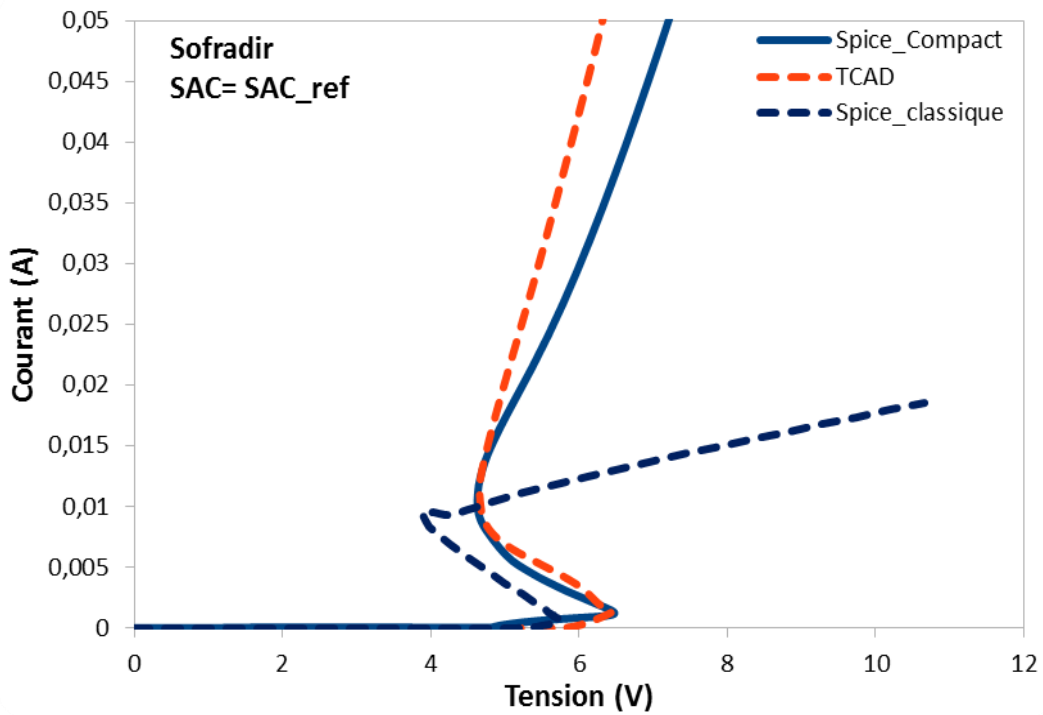


Figure 5.5 : Comparaison de modèle SPICE compact, SPICE classique avec modèle TCAD de la structure référence de l'inverseur CMOS de Sofradir.

5.2 Application de cette approche sur une étude de la sensibilité Latchup par l'outil de prédiction MUSCA SEP3

Dans le but de valoriser cette approche de modélisation, une étude de la sensibilité Latchup est réalisée dans cette partie en considérant l'effet de la largeur SAC sur le déclenchement du Latchup induit par passage d'un ion lourd. L'outil utilisé pour générer une base de données d'un ion lourd injecté dans toute la structure à différentes valeurs du LET est la plateforme de prédiction SEE MUSCA SEP3 développée à l'ONERA. L'objectif est de déterminer et de proposer une estimation de section efficace Latchup pour la technologie de Sofradir en fonction de la largeur du SAC. Dans le cadre de cette application, trois valeurs de SAC sont considérées. Pour des raisons de confidentialité, comme précédemment, ces valeurs sont normalisées par rapport à la valeur de référence du design de Sofradir utilisé dans les bascules D de ses circuit de lecture.

5.2.1 Présentation du setup de simulation de l'outil MUSCA SEP3

La méthodologie de modélisation SEL repose sur la complémentarité d'une simulation physique réalisée par le calcul Monte-Carlo au sein de la plate-forme de prédiction MUSCA SEP3 et d'une simulation électrique réalisée par le simulateur SPICE au sein de la plateforme Cadence, comme présenté dans le premier chapitre de cette thèse (Cf. 1.5.2).

L'approche retenue pour la modélisation Latchup peut être résumé au travers de la figure 5.6 qui présente la connexion entre la simulation physique de la collection des charges conduisant au courant transitoire $I(t)$ et la simulation électrique du modèle compact parasite Latchup présenté précédemment.

La méthodologie reprend les points forts de la plateforme MUSCA SEP3, à savoir, un extracteur de design basé sur l'extraction des zones d'intérêt à partir d'un fichier GDS, une modélisation physique de la collection des charges représentative du design et de la technologie du composant CMOS étudié, ainsi que la prise en compte des effets de températures, comme évoqué dans le chapitre 1. L'intégration de la simulation électrique transitoire est réalisée grâce à une routine d'injection qui automatise l'injection des courants transitoires préalablement calculés dans le modèle compact Latchup et qui permet la détection des évènements singuliers, ici un Latchup.

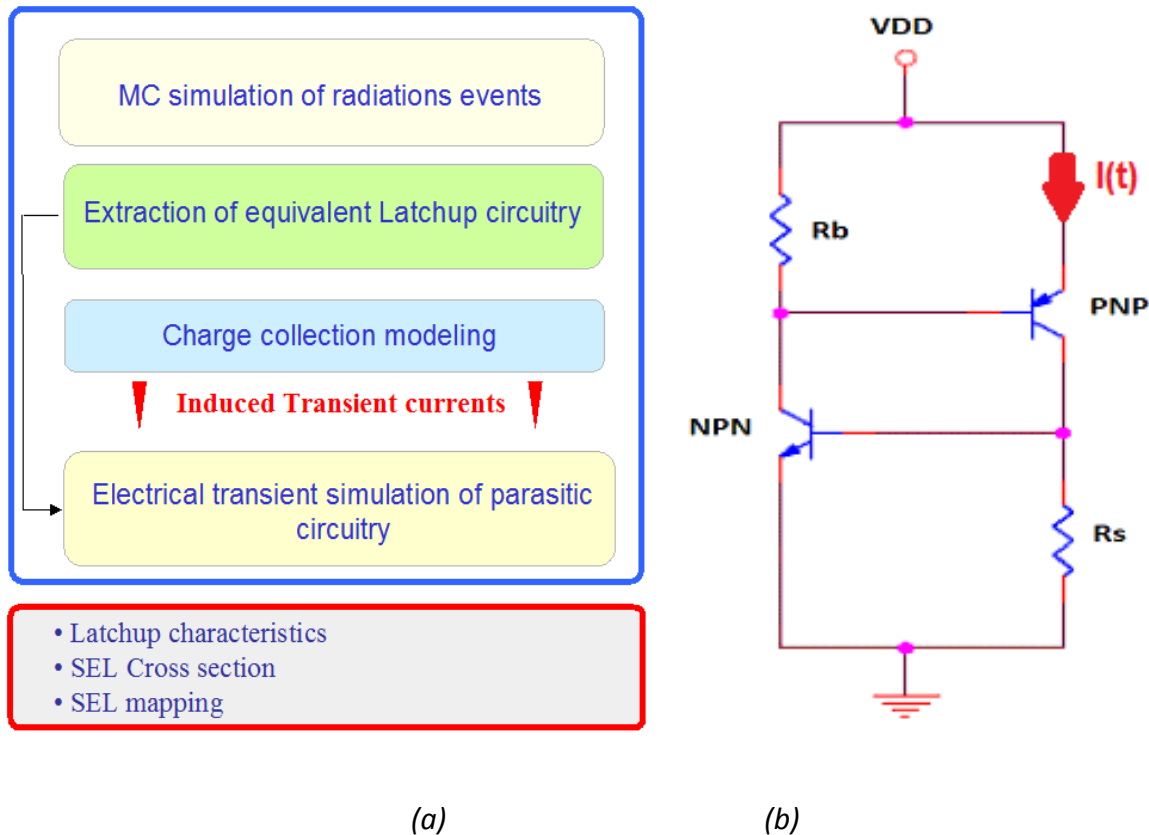
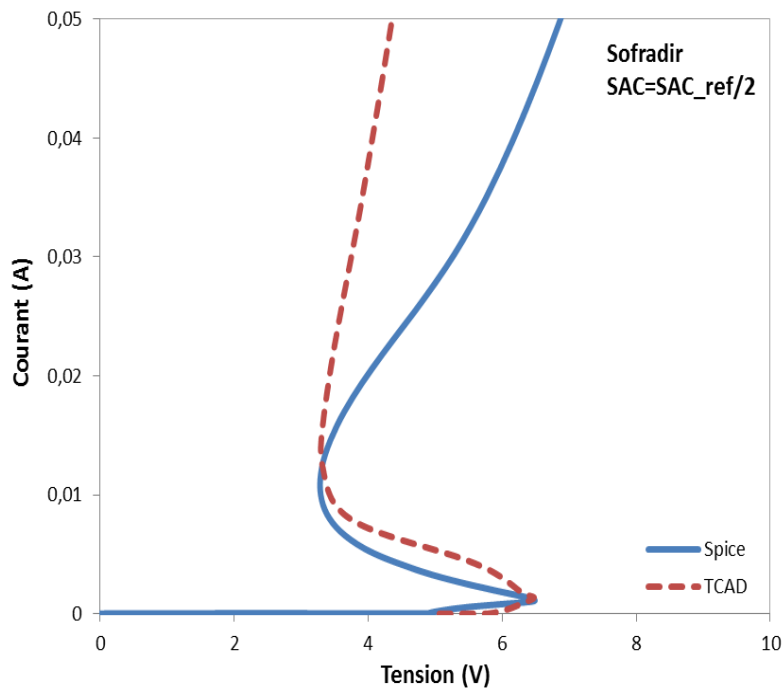


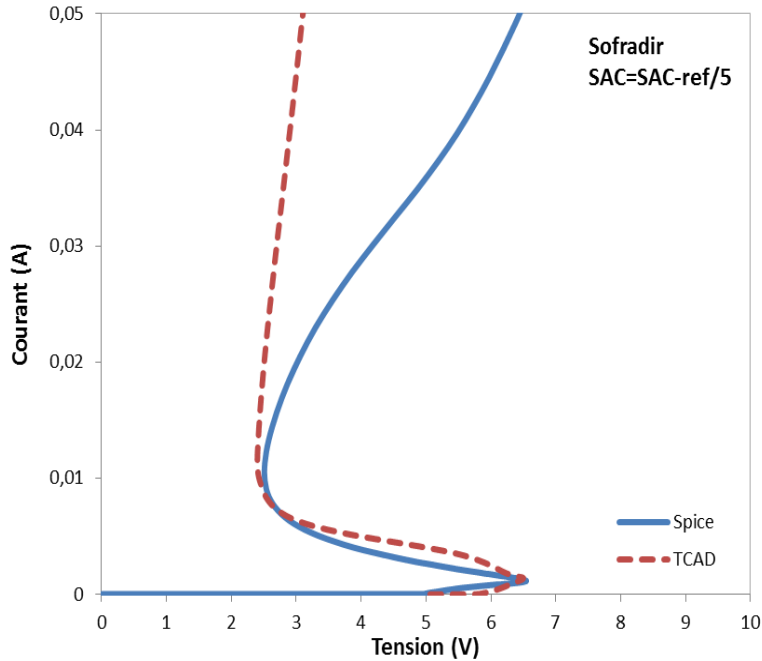
Figure 5.6: (a) Présentation générale du principe de modélisation Latchup reposant sur une modélisation physique de la collection des charges et une simulation électrique du circuit parasite. (b) Circuit parasite Latchup modélisé et simulé sous SPICE au sein de la plateforme Cadence.

5.2.2 Exemple de l'effet d'un paramètre design (largeur du SAC) sur la sensibilité Latchup sous ions lourds modéliser par MUSCA SEP3

L'effet de l'espacement entre les transistors n-MOS et p-MOS, aussi appelé la largeur SAC, sur la sensibilité Latchup a déjà été évoqué dans la section 4.3. La tendance des caractéristiques que sont V_{hold} et le LET seuil ont déjà tracées par simulation TCAD pour une structure 2-D d'un inverseur CMOS Sofradir utilisé dans un circuit de lecture d'un imageur infrarouge. Dans cette partie, l'étude a été étendue à une analyse globale permis par l'outil Monte Carlo MUSCA SEP. La tendance de section efficace SEL pour un ensemble d'ions lourds en fonction de la largeur SAC est présentée.

Trois valeurs de SAC sont étudiées. Pour des raisons de confidentialité, ces valeurs sont normalisées par rapport à la valeur de référence du design de Sofradir utilisé dans les bascules D de ses circuits de lecture: la valeur de référence du SAC, la valeur de référence divisée par 2 et la valeur de référence divisée par 5. La diminution de la largeur SAC conduit à la diminution des résistances de caissons P et N en dessous du SAC. Avant de présenter l'impact de ce paramètre sur la section efficace SEL, la figure 5.6 présente l'impact d'une telle variation sur la caractéristique du Latchup obtenue par notre approche de modélisation par modèle compact. D'un point de vue électrique, une modification du design conduit à une modification des résistances de caissons N et P. Ces deux résistances sont caractérisées dans le modèle *card* de l'un des transistors bipolaires PNP ou NPN. Dans cette étude, nous avons ajusté les résistances internes du collecteur PNP et de la base PNP. La comparaison de deux courbes SPICE-compact et TCAD montre l'efficacité de notre méthode au niveau des caractéristiques clés du Latchup (le point de déclenchement et le point de maintien) pour les deux valeurs de SAC ($SAC/2$ et $SAC/5$), comme montré dans les figures 5.7 (a) et (b).





b)

Figure 5.7: Comparaison courbe SPICE compact et courbe TCAD de la structure de l'inverseur CMOS de Sofradir pour deux valeurs de SAC a) $SAC=SAC_{ref}/2$ et b) $SAC=SAC_{ref}/5$

Après la présentation de ces résultats intermédiaires ne faisant intervenir uniquement que le modèle compact développé, les résultats de sensibilités Latchup sont présentés. Ces résultats résultent de l'injection de la base de courants calculée par MUSCA SEP3 dans les deux circuits parasites Latchup correspondants aux deux autres valeurs de SAC analysées. La figure 5.8 présente la courbe section efficace Latchup en fonction de la largeur SAC. Les résultats présentés ont été obtenus volontairement pour une valeur très élevée de LET ($100 \text{ MeV.cm}^2.\text{mg}^{-1}$) de par la robustesse intrinsèque de la technologie Sofradir au Latchup. La tendance de section efficace montre une augmentation de la sensibilité Latchup quand la largeur SAC devient plus petite. Cette tendance confirme l'observation déjà constatée par simulation TCAD mais de manière ponctuelle. Nous avons en effet constaté une diminution du LET seuil et de la tension de maintien en fonction de la largeur SAC (voir section 4.3). Afin d'avoir une vue plus générale, la figure 5.9 présente la section efficace Latchup en fonction du LET et cela en fonction de la largeur SAC. Les courbes ont été tracées pour les deux valeurs de SAC où le Latchup est observé. Comme attendu, la section efficace augmente quand le LET augmente et cela est tout à fait en accord avec ce qui existe dans la littérature [ART-2014] [MAR-2010]. Les flèches dans les figures illustrent qu'il n'y a pas d'évènements observés lors

des simulations, mais qu'un évènement a été considéré afin d'obtenir une valeur de section efficace et déterminer ainsi le LET seuil.

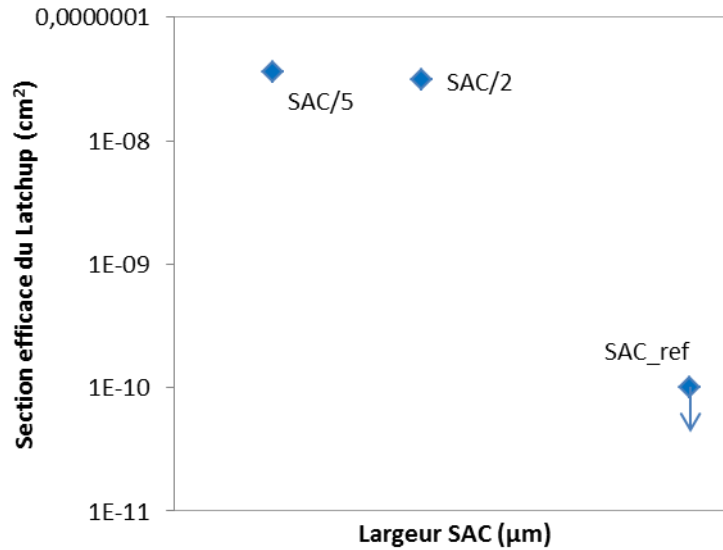


Figure 5.8: La courbe section efficace Latchup en fonction de la largeur du SAC

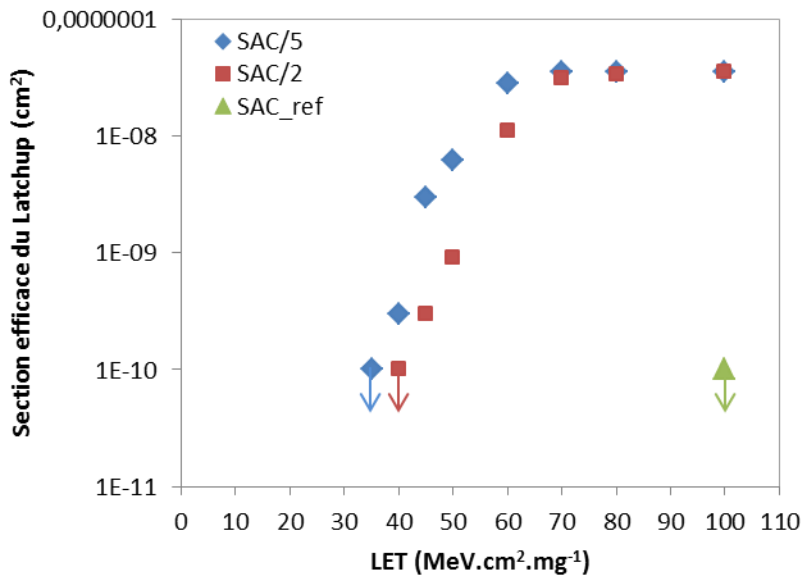


Figure 5.9 : La courbe section efficace en fonction du LET pour les deux configurations de SAC : SAC/2 et SAC/5

Nous constatons un effet de saturation dans l'augmentation de la section efficace et la diminution du LET seuil en fonction de la largeur SAC. Si nous nous positionnons d'un point de vue recommandation de durcissement par design, il serait donc possible de déterminer une valeur intermédiaire optimale qui concilie robustesse SEL et faible pénalité de surface.

5.3 Conclusion

Dans ce chapitre, une nouvelle approche de modélisation compacte du phénomène Latchup a été présentée. Cette approche repose sur l'utilisation des *modèles card* développés à partir des caractéristiques électriques des transistors bipolaires fournis par simulation TCAD et dédiés aux transistors parasites bipolaires NPN et PNP. Il est important de noter que cette validation pourrait être également faite à partir de mesures électriques si l'accès à la technologie n'était pas possible. Cette approche offre un modèle compact du Latchup dans lequel les résistances extérieures de la méthode classique sont directement intégrées dans chaque modèle card de transistor bipolaire parasite. Cette approche de modélisation a montré son efficacité dans la manière de représenter les points clés du Latchup, le point de déclenchement et le point de maintien au Latchup. A la fin de ce chapitre, une étude de la sensibilité Latchup a été réalisée afin de présenter un cas d'application de cette nouvelle approche de modélisation. Cette application s'est focalisée sur l'analyse de l'effet de la largeur SAC vis à vis de l'occurrence SEL. Cette étude a confirmé la tendance de sensibilité Latchup en fonction de la largeur SAC et la pertinence d'une telle approche de modélisation dans l'optique de fournir une aide à l'optimisation de design à l'équipe de développement de ROIC de Sodrafir. La tendance montre une augmentation de la sensibilité Latchup avec la diminution de la largeur SAC, ce qui est en bonne corrélation avec les tendances de V_{hold} et du LET seuil tracées par simulation TCAD dans les chapitres précédents. Cette méthode offre une représentation plus réaliste de la structure parasite du Latchup sans avoir à émettre des hypothèses au niveau des modèles de transistors bipolaires parasites. C'est un point important à relever, avec cette approche, car il est capable d'étudier la sensibilité Latchup pour n'importe quelle technologie et d'aller jusqu'à l'estimation des sections efficaces SEL tout en considérant le risque des événements non destructifs tel que le SET ou le SEU.

Conclusion générale et perspectives

Les composants microélectroniques dans le cadre des applications spatiales et avioniques sont soumis aux environnements radiatifs naturels. Les particules qui composent ces environnements peuvent interagir avec les matériaux semi-conducteurs et mettre ainsi potentiellement en danger les systèmes embarqués. Il est donc primordial de déterminer les effets de ces environnements sur les composants microélectroniques et de proposer des solutions de durcissement afin d'en minimiser leur défaillance. Certains systèmes embarqués lors de missions spatiales ont des conditions spécifiques de fonctionnement, comme les détecteurs infrarouges qui ont la nécessité, pour des raisons de performance, de travailler à des températures cryogéniques. L'ensemble des effets induits par le passage d'une particule unique dans un composant est ainsi regroupé sous l'appellation effets singuliers ou *Single Event Effects*. L'effet singulier le plus critique est la création d'un chemin faible d'impédance entre l'alimentation et la masse du circuit qui peut conduire à la destruction du composant par emballement thermique. Ce phénomène s'appelle Latchup. De par un contexte assez spécifique lié aux imageurs infrarouges, aucune étude théorique n'avait été réalisée pour le Latchup dans ces gammes de températures pouvant descendre jusqu'à 50K. Ces travaux de thèse ont donc donné lieu à la mise en place tout d'abord d'un modèle physique de simulation dédié aux basses températures afin d'estimer la sensibilité de circuits CMOS au Latchup. Ces travaux ont servi de point de départ à la proposition d'une nouvelle approche de modélisation du Latchup compatible avec une approche Monte Carlo, tel que l'outil de prédiction SEE développé à l'ONERA, MUSCA SEP3.

Le premier chapitre de ces travaux de thèse a présenté le contexte général de cette étude. Les environnements radiatifs naturels et les particules qui les composent ont été présentés. Les interactions particules-matières et plus particulièrement ion-silicium ont été exposées ainsi que les différents types d'évènements singuliers. Nous avons présenté le principe général relatif à la technologie CMOS qui est au cœur de ces travaux. De même les designs utilisés ont été contextualisés afin de rendre compte de leur utilisation dans les circuits de lecture développés par Sofradir. La suite de ce chapitre bibliographie a été l'occasion de réaliser un l'état de l'art du phénomène Latchup. L'effet de la température sur le déclenchement Latchup par des mesures expérimentales à froid a été présenté. Afin de pouvoir réaliser une étude théorique par simulation TCAD, une étude bibliographique a également été présentée afin d'identifier certains effets spécifiques aux températures cryogéniques et impactant la mobilité de porteurs dans un semi-conducteur. Ces effets ont pour origine la mise en place d'un phénomène d'ionisation par impact des impuretés à basses températures, appelé SLII (*Shallow Level Impact*

ionization). Enfin, les outils de simulations TCAD et MUSCA SEP3 qui ont servi durant cette thèse ont été présentés.

Le second chapitre de ce manuscrit de thèse a présenté une analyse des données expérimentales de la sensibilité SEE à basses températures de deux circuits de lecture (ROIC) de détecteurs infrarouges de Sofradir. Des données expérimentales de SETs courts et longs obtenues pour une large gamme de température de 50K à 300K sous ions lourds sur les installations de l'UCL en Belgique ont été présentées. Les mesures mettent en évidence une dépendance en température assez limitée de la sensibilité SET des deux ROICs. Les sensibilités SET globales des deux ROICs mesurées sont faibles et conformes aux exigences de Sofradir. Il a été montré que la multiplicité des SET courts est plus faible que celle des longs SET (d'un facteur deux décades). Les deux catégories d'évènements multiples ont été identifiées. Elles ont pu être rattachées à la localisation d'occurrences différentes au sein du ROIC: les évènements dont la multiplicité est inférieure à quatre SET ont pu être identifiés comme ayant pour origine l'une des trois matrices de pixels qui constituent les deux ROICs. D'autre part, les évènements dont la multiplicité SET est plus élevée ont pu être identifiés comme ayant pour origine un autre évènement SET induit dans un élément du circuit de contrôle adjacent (tel qu'une bascule du décodeur vertical de la table de pixel). Cette analyse a été confirmée par l'outil de simulation MUSCA SEP3 développé à l'ONERA. Enfin, concernant la sensibilité Latchup de ces deux ROICs, lors de l'ensemble des tests dans cette campagne de mesure, aucun SEL n'a été mesuré. Les deux circuits de lecture "A" et "B" sont totalement immunes au Latchup dans une gamme de températures allant de 50K à 293K. Cette immunité au phénomène de Latchup de la technologie Sofradir a été investiguée dans les chapitres suivants afin d'identifier les mécanismes spécifiques aux températures cryogéniques ; mais également afin d'en déterminer les raisons designs et technologiques. Ces éléments ont permis de proposer de nouvelles recommandations dans l'optique d'étendre cette immunité pour une plus large gamme de température dans le chapitre quatre.

Le troisième chapitre a présenté une étude par simulation TCAD sur la sensibilité Latchup pour un cas dit académique (technologie proche d'IBM 180nm) afin de développer un modèle physique de simulation qui fonctionne à basses températures. Dans un premier temps, un modèle physique de simulation a été proposé tout en sélectionnant les modèles de paramètres physiques les plus pertinents afin de décrire les comportements physiques du composant à basses températures. Pour la technologie IBM dite académique, qui est sensible au Latchup en basses températures, l'évolution de la sensibilité Latchup a été réalisée par simulation TCAD et corrélée pour la première fois avec un pic de courant de maintien de Latchup à 150K. Une

bonne corrélation des résultats de simulation avec les données expérimentales proposées par Marshall et al, pour cette même technologie a été mise en évidence. Cette étape de validation a permis de passer à la seconde étape de ce chapitre de thèse, à savoir une étude théorique. Nous avons identifié les mécanismes du déclenchement du Latchup à basses températures. Ce déclenchement est principalement dû à la génération des porteurs dans la bande de conduction par le mécanisme "*Shallow Level Impact Ionization*" dans les gammes de températures cryogéniques. L'origine du pic de la mobilité de porteurs a été identifiée et est la cause principale du pic de courant de maintien du Latchup induit par des effets de diffusion liés à l'ionisation des impuretés au niveau de SLII. Enfin, dans la dernière partie de ce chapitre, nous avons conforté la validité de notre modèle de simulation à basses températures en confirmant certaines tendances bien connues de l'évolution sensibilité Latchup vis-à-vis de modification de deux éléments designs.

Le quatrième chapitre de cette thèse a réalisé l'application des éléments mis en place précédemment au cas de la technologie Sofradir. Dans un premier temps, une phase de calibration des structures TCAD CMOS de la technologie Sofradir a été présentée et a montré la bonne représentativité des structures développées en comparant leurs caractéristiques électriques avec le design kit utilisé par Sofradir pour le développement de ses systèmes. Des simulations TCAD ont été réalisées sur trois structures de géométries différentes et représentatives du design d'inverseur présent dans une bascule D utilisées par Sofradir dans ses ROICs. Les simulations ont montré une immunité de la technologie Sofradir vis-à-vis le Latchup à basses températures, conforme aux résultats des campagnes de tests sous faisceau d'ions lourds. Dans cette partie, l'effet de la largeur de l'espacement entre les deux transistors n-MOS et p-MOS sur la sensibilité Latchup a été identifié comme le paramètre clé de la bonne robustesse de la technologie Sofradir vis à vis du Latchup. En revanche, il a été démontré que la technologie de Sofradir pouvait être potentiellement sensible au Latchup dans des gammes de températures plus élevées. Ces résultats ont conduit à une étude dédiée afin d'évaluer les effets des paramètres technologiques de l'inverseur TCAD sur la sensibilité Latchup. L'impact des paramètres de dopage et design a été analysé dans l'optique de proposer des solutions de durcissement vis-à-vis du Latchup. De plus, le niveau de dopage des deux caissons N et P rétrogradés ont montré un effet très remarquable sur l'immunité totale au Latchup. En effet une modification de ces deux profils influe directement sur les résistances des deux bases de transistors bipolaires NPN et PNP ; et par conséquent jouent sur la tension de maintien (V_{hold}) qui est une caractéristique clé d'occurrence du phénomène de Latchup. Enfin l'évaluation de solutions de durcissement vis-à-vis du Latchup a été réalisée. Une comparaison entre deux solutions de durcissement a été présentée. Cette solution apparaît comme le meilleur

compromis entre amélioration de la robustesse vis-à-vis du Latchup et la performance de l'inverseur CMOS.

Enfin, le dernier chapitre de ce manuscrit de thèse a présenté une nouvelle approche de modélisation compacte du phénomène Latchup compatible avec l'outil Monte Carlo de prédiction SEE, MUSCA SEP3. Cette approche est basée sur des modèles *card* spécifiques des transistors parasites bipolaires NPN et PNP et développés à partir des caractéristiques électriques des transistors bipolaires fournies par simulation TCAD. Il est important de noter que cette validation pourrait être également faite à partir de mesures électriques si l'accès à la technologie n'était pas possible. Cette approche offre un modèle compact du Latchup dans lequel les résistances extérieures de la méthode classique sont intégrées dans chaque modèle *card* de transistor bipolaire parasite. Cette approche de modélisation a montré sa pertinence et sa précision à la fois pour représenter les points clés du Latchup, le point de déclenchement et le point de maintien au Latchup mais également lors de simulations couplées avec l'outil MUSCA SEP3. C'est d'ailleurs dans la dernière partie de ce chapitre, qu'une étude de la sensibilité Latchup global de structure CMOS a été réalisée. Cette étude a été couplée par la suite avec une analyse de l'effet de la largeur SAC. Les résultats de cette nouvelle approche de modélisation ont démontré la capacité d'un tel outil de prédiction de rendre compte de l'augmentation de la sensibilité Latchup par la diminution de la largeur SAC. Ces résultats ont été validés aussi bien avec les différents points de fonctionnement du Latchup V_{hold} , I_{hold} , V_{trig} , I_{trig} mais également aux moyens de section efficace SEL. Cette méthode offre une représentation plus réaliste de la structure parasite du Latchup sans avoir à émettre des hypothèses au niveau des modèles de transistors bipolaires parasites. A terme, l'une des applications directes de ces derniers travaux de thèse, est la proposition d'évaluation de librerie de cellule et d'aide au durcissement d'évènement SET et SEU tout en considérant la contrainte liée à l'occurrence du phénomène de Latchup. En effet, cette approche est parfaitement transposable à tout autres technologies CMOS du moment que l'accès au design kit ou PDK est possible.

L'autre application et perspective pour ces travaux de thèse est la corrélation de ses sections efficaces calculées avec un environnement radiatif réaliste afin de pouvoir proposer un taux de défaillance Latchup en vol selon la technologie et le design retenu pour le système embarqué, tel qu'il est actuellement possible pour les évènements singuliers non destructifs tels que le SET et le SEU.

Bibliographie

[ADA-1992] L. Adams, E. J. Daly, R. Harboe-Sorensen, R. Nickson, J. Haines, W. Schafer, M. Conrad, H. Griech, J. Merkel, T. Schwall, and R. Henneck, "A verified proton induced Latchup in space", IEEE Trans. Nucl. Sci., vol. 39, no. 6, pp. 1804–1808, Dec. 1992.

[ALL-1959] J. A. Van Allen, C. E. McIlwain and G. H. Ludwig, "Radiation observations with satellite 1958", J. Geophys. Rev., vol. 64, pp. 271 - 286, 1959.

[ARO-1982] N. D. Arora, J. R. Hauser, and D. J. Roulston, "Electron and Hole Mobilities in Silicon as a Function of Concentration and Temperature," IEEE Transactions on Electron Devices, vol. ED-29, no. 2, pp. 292–295, 1982.

[ART-2010] L. Artola et al, "Collected charge analysis for a new transient model by TCAD simulation in 90 nm technology", IEEE, Trans. Nucl. Sci., vol. 57, no.4, pp. 1869-1875, Aug. 2010

[ART-2011] L. Artola et al, "SEU prediction from SET modeling using multi-node collection in bulk transistors and SRAMs down to the 65 nm technology node", IEEE Trans. Nucl. Sci., vol. 58, no. 3, pp. 1338-1346, June 2011.

[ART-2014] L. Artola, G. Hubert, and T. Rousselin, "Single-event Latchup modeling based on coupled physical and electrical transient simulations in CMOS technology," IEEE Trans. Nucl. Sci., vol. 61, no. 6, pp. 3543–3549, Dec. 2014.

[ART-2014*] L. Artola, G. Hubert, « Modeling of elevated temperatures impact on single event transient in advanced CMOS logic beyond the 65-nm technological node », IEEE Trans. Nucl. Sci., vol. 61, no. 4, pp. 1611-1617, Aug. 2014.

[ART-2015] L. Artola, G. Hubert, O. Gilard, S. Ducret, F. Perrier, M. Boutillier, P. Garcia, G. Vignon, B. Baradat, and Nicolas Ricard, "Single Event Upset Sensitivity of D-Flip Flop of Infrared Image Sensors for Low Temperature Applications Down to 77 K", IEEE Trans. Nucl. Sci., vol. 62, no. 6, pp. 2979 – 2987, Dec. 2015.

[ART-2017] L. Artola et al, "Complex Single Event Effects in CMOS pixel selection table and readout integrated circuit dedicated for Infrared Image Sensors", Accepted for IEEE 2017 NSREC conference, New Orleans, July 18th-21st 2017.

[BAU-2005] R. C. Baumann, "Radiation-induced soft errors in advanced semiconductor TECHNOLOGIES", IEEE Transactions on Device and Materials Reliability, vol. 5, pp. 305 - 316, 2005.

[BEC-2002] H. N. Becker, T. F. Miyahira, and A. H. Johnston, —Latent Damage in CMOS Devices From Single-Event Latchup, IEEE Trans. Nucl. Sci., vol. 49, no. 6, pp. 3009–3015, Dec. 2002.

[BOU-1995] J.C Boudenot, “L’Environnement Spatial” Collection “Que sais-je?” Ed. Presses Universitaires de France, 1995.

[BOS-2005] G. Boselli, V. Reddy, and C. Duvvury, “Latcup in 65 nm CMOS technology: a scaling perspective”, IEEE 43rd Annual International Reliability Physics Symposium, San Jose, 2005.

[BRU-1996] G. Bruguier and J.-M. Palau, —Single particle-induced latchup, IEEE Trans. Nucl. Sci., vol. 43, no. 2, pp. 522–532, Apr. 1996.

[BUR-1996] G. Burgier, J. M. Palau, "Single particle induced Latchup", IEEE Trans. Nucl. Sci. Vol.46, No.2, Avril 1996.

[CAP-1984] J.-N. Capdevielle, 1984 Les rayons cosmiques, que sais-je, presse universitaire de France, 128pages.

[CHA-1997] Chain K, Huang JH, Duster J, Ko PK, Hu C (1997) A MOSFET electron mobility model of wide temperature range (77–400K) for IC simulation. Semicond Sci Technol 12:355–358.

[CHE-1996] Chen K, Wann HC, Dunster J, Ko PK, Hu C (1996) MOSFET carrier mobility model based on gate oxide thickness, threshold and gate voltages. Solid-State Electronics 39:1515–1518.

[CHE-2008] S. Chen, B. Liang, B. Liu, and Z. Liu, “Temperature dependence of digital SET pulse width in bulk and SOI technologies,” IEEE Trans. Nucl. Sci., vol. 55, no. 6, pp. 2914 - 2920, Dec. 2008.

[CHE-on] <http://fr.slideshare.net/DelftOpenEr/04-semiconductor-in-equilibrium>

[DEF-90] L. Deferm, E. Simoen, B. Dierickx, and C. Claeys, “Anomalous latch-up behavior of CMOS at liquid helium temperatures,” Cryogenics, vol. 30, pp. 1051–1055, 1990.

[DIN-2011] C. A. Dinkins, "Qualitative characterization of Single Event Transient and Latchup trends in 180 nm CMOS technology", Master of Science manuscript, Vanderbilt University, 2011.

[DUS-2004] L Dusseau, F Saigne, J. Gasiot "Basic Mechanisms", Space Radiation Environment and its effects on spacecraft components and systems, 2004, pp 145-174.

[FLE-1983] R. L. Fleischer, “Cosmic Ray Interactions with Boron: A Possible Source of SoftErrors”, IEEE Trans. Nucl. Sci., Vol. 30(5), pp. 4013-4015, Oct. 1983.

[GOK-1991] T. Goka, S. Kuboyama, Y. Shimano, and T. Kawanishi, —The on-orbit measurements of single event phenomena by ETS-V spacecraft, IEEE Trans. Nucl. Sci., vol. 38, no. 6, pp. 1693–1699, Dec. 1991.

[GRA-2000] Grabinski W, Bucher M, Sallese JM, Krummenacher F (2000) Compact modeling of ultra deep submicron CMOS devices. Int Conf on Signals and Electronic Systems 13–27

[HES-1912] ONLINE:

http://www.nobelprize.org/nobel_prizes/physics/laureates/1936/hessfacts.html

[HSI-1981] C. M. Hsieh, P. C. Murley and R. R. O'Brien, "A field-funneling effect on the collection of alpha-particle-generated carriers in silicon devices", IEEE Electron Device Letters, vol. 2, pp. 103 - 105, 1981.

[HUB-2009] G. Hubert, S. Duzellier, C. Inguibert, C. Boatella-Polo, F. Bezerra, and R. Ecoffet, "Operational SER calculations on the SAC-C orbit using the multi scales single event phenomena predictive platform (MUSCA SEP3)," IEEE Trans. Nucl. Sci., vol. 56, no. 6, pp. 3032–3042, Dec. 2009

[HUB-2013] G. Hubert and L. Artola, "Single-event transient modeling in a 65-nm bulk CMOS technology based on multi-physical approach and electrical simulations," IEEE Trans. Nucl. Sci., vol. 60, no. 6, pp. 4421–4429, Dec. 2013.

[HUS-2007] J. M. Hutson, J. D. Pellish, G. Boselli, R. Baumann, R. A. Reed, R. D. Schrimpf, R. A. Weller, and L. W. Massengill, "The effects of angle of incidence and temperature on Latchup in 65 nm technology," IEEE Trans. Nucl. Sci., vol. 54, no. 6, Dec. 2007.

[IWA-1995] H. Iwata and T. Ohzone, "Numerical simulation of single event Latchup in the temperature range of 77k-450k," IEEE Trans. Nucl. Sci., vol. 42, pp. 148-154, 1995.

[JED-2001] JESD89: Measurement and Reporting of Alpha Particles and Terrestrial Cosmic Ray-Induced Soft Errors in Semiconductor Devices, JEDEC Standard 89, Aug. 2001.

[JOH-1991] A.H. Johnston, B.W. Hughlock, M.P. Baze and R.E. Plaag, "The effect of temperature on single particle Latchup", IEEE Trans. Nucl. Sci., vol. 38, No. 6, pp. 1435-1441, December 1991.

[JOH-1996] A. H. Johnston, —The influence of VLSI technology evolution on radiation-induced Latchup in space systems, IEEE Trans. Nucl. Sci., vol. 43, no. 2, pp. 505–521, Apr. 1996.

[KLA-1992] D. B. M. Klaassen, "A Unified Mobility Model for Device Simulation—I. Model Equations and Concentration Dependence," Solid-State Electronics, vol. 35, no. 7, pp. 953–959, 1992.

[KOL-1979] W. A. Kolasinski, J. B. Blake, J. K. Anthony, W. E. Price, and E. C. Smith, —Simulation of Cosmic Ray Induced Soft Errors and Latchup in Integrated-Circuit Computer Memories, IEEE Trans. Nucl. Sci., vol. 26, no. 6, pp. 5087–5091, Dec. 1979.

[LAN-2001] Lanzerotti, L. J. (2001), Space weather effects on technologies, Space Weather (Song et al., eds.) p. 11{22, AGU, Washington, D.C, doi:10.1029/gm125p0011

[LEA-1969] J. F. Leavy and R. A. Poll, —Radiation-induced integrated circuit Latchup, IEEE Trans. Nucl. Sci., vol. 16, no. 6, pp. 96–103, 1969.

[LI-1977] S. Li, and W. Thurber, "The dopant density and temperature dependence of electron mobility and resistivity in n-type silicon," Solid State Electronics, vol. 20, no. 7, pp. 609-616, Jul. 1977.

[LI-1993] Li S.S. Scattering Mechanisms and Carrier Mobilities in Semiconductors. In: Semiconductor Physical Electronics. Microdevices (Physics and Fabrication Technologies). Springer, Boston, MA (1993).

[LI-2009] L. Ye, G. Xiaohan, X. Weiwei, H. Zhiliang, and D. Killat, "An experimental extracted model for latchup analysis in CMOS process", Proc. IEEE 8th International Conference on ASIC, Hunan (China) 2009, (pp.1035-1038)

[MAR-1989] P. A. Markowich, C. A. Ringhofer and C. Schmeiser: "Semiconductor equations", Springer-Verlag, Wien-New York, 1989.

[MAR-10] Cheryl J. Marshall, Paul W. Marshall, «Mechanisms and Temperature Dependence of Single Event Latchup Observed in a CMOS Readout Integrated Circuit From 16–300 K» IEEE TRANSACTIONS ON NUCLEAR SCIENCE, VOL. 57, NO. 6, DECEMBER 2010

[MAT-2001] H. Matsuura, "Influence of Excited States of Deep Acceptors on Hole Concentration in SiC," in International Conference on Silicon Carbide and Related Materials (ICSCRM), Tsukuba, Japan, pp. 679–682, October 2001.

[MAT-2009] Henry Mathieu, Physique des semi-conducteurs et des composants électroniques, 5eme édition.

[MAT-2009*] M. J. Gadlage, J. R. Ahlbin, V. Ramachandran, P. Gouker, C.A. Dinkins, B. L. Bhuvu, B. Narasimham, R. D. Schrimpf, M. W. McCurdy, M. L. Alles, R. A. Reed, M. H. Mendenhall, L. W. Massengill, R. L. Shuler, and D. McMorro, "Temperature dependence of digital single - event transients in bulk and fully - depleted SOI technologies," IEEE Trans. Nucl. Sci. vol. 56, no. 6, pp. 3115 - 3121, Dec. 2009.

[MIY-2001] T. F. Miyahira, A. H. Johnston, H. N. Becker, S. D. LaLumondiere, and S. C. Moss, —Catastrophic Latchup in CMOS analog-to-digital converters, IEEE Trans. Nucl. Sci., vol. 48, no. 6, pp. 1833–1840, Dec. 2001.

[MOR-1954] F. J. Morin, and J. P. Maita, "Electrical properties of silicon Containing Arsenic and Boron," Phys. Rev., vol. 96, no. 1, pp. 28-35, Oct. 1954.

[MOO-1965] Gordon E. Moore, "Cramming More Components Onto Integrated Circuits", Electronics, vol. 38, 19 avril 1965

[NAS-2016] ONLINE <https://solarscience.msfc.nasa.gov/predict.shtml>

[NIC-1992] D. K. Nichols, J. R. Coss, R. K. Watson, H. R. Schwartz, and R. L. Pease, —An observation of proton-induced Latchup, IEEE Trans. Nucl. Sci., vol. 39, no. 6, pp. 1654–1656, Dec. 1992.

[POL-2002] Igor Polishchuk, "Dual Work Function Metal Gate CMOS Transistors" IEEE ELECTRON DEVICE LETTERS, VOL. 23, NO. 4, APRIL 2002.

[ROC-1995] H. De La Rochette, « Latchup déclenché par ion lourd dans des structures CMOS-1 μm : approche expérimentale, simulation 2D et 3D », Thèse, Université Montpellier II, 1995.

[ROE] ONLINE :[HTTP://WWW.CNRS.FR/SCIENCESPOURTOIS/ABECEDAIRE/PAGES/RONTGEN.HTM](http://www.cnrs.fr/sciencespourtois/abecedaire/pages/rontgen.htm)

[SAB-1979] Sabnis AG, Clemens JT (1979) Characterization of the electron mobility in the inverter Si surface. Int Electron Devices Mtg 18–21.

[SAN-1986] E. Sangiorgi, R. L. Johnston, M. R. Pinto, P. F. Bechtold, and W. Fichtner, “Temperature dependence of latch-up phenomena in scaled CMOS structures,” IEEE Electr. Dev. Lett., vol. EDL-7, pp. 28–31, 1986.

[SCI-ON] <http://www.scifun.ed.ac.uk/card/images/left/cosmic-rays.jpg>

[SEL-1989] S. Selberherr, “MOS device modeling at 77 K,” IEEE Trans. Electron Devices, vol. 36, no. 8, pp. 1464-1474, Aug. 1989.

[SENT-2016] Sdevice_ug.pdf, Sentaurus Device User Guide A-2016.8
https://www.synopsys.com/content/dam/synopsys/silicon/datasheets/sentaurus_ds/

[SILVACO] Slivaco User Guide
<https://dynamic.silvaco.com/dynamicweb/jsp/downloads/DownloadManualsAction.do?req=silen-manuals&nm=atlas>

[SLO-1977] J.W. Slotboom, "Bandgap Narrowing in Silicon Bipolar Transistors", IEEE Transactions on Electron Devices, vol.ED-24, no.8, pp. 1123-1125. 1977

[TIS-2011] J. L. TISSOT ET AL, “ High-performance uncooled amorphous silicon video graphics array and extended graphics array infrared focal plane arrays with 17- μm pixel pitch” SPIE Optical engineering, vol. 50, no.6, May 2011.

[TRO-1983] R. R. Troutman, “Epitaxial layer enhancement of n-well guard rings for CMOS circuits”, IEEE Electron Device Letter, 4, pp. 438-440, 1983.

[TRU-2014] D. Truyen, E. Leduc, and F. Braud “Heavy-Ion Induced Single Event Latch-up in 90 nm Inverter CMOS” ATMEL Nantes, La Chantrerie, BP 70602, F-44306 Nantes cedex 3, France.

[TRU-2007] D. Truyen, J. Boch, B. Sgnes, N. Renaud, E. Leduc, S. Arnal, F. Saigne, "Temperature Effect on Heavy-Ion Induced Parasitic Current on SRAM by Device Simulation: Effect on SEU Sensitivity" , IEEE Trans. Nucl. Sci, vol. 54, no. 4, pp. 1025-1029, Aug. 2007.

[YAO-1986] C. C. Yao, J. J. Tzou, R. Cheung, and H. Chan, "Temperature dependence of latch-up characteristics in LDD CMOS devices," IEEE Electr. Dev. Lett., vol. EDL-7, pp. 92–94, 1986.

[ZIE-1996] J. F. Ziegler and al., "IBM experiments in soft fails in computer electronics (1978-1994)", IBM Journal of Research and Development, vol. 40, pp. 3-18, 1996.

Résumé de la thèse en français

L'environnement radiatif spatial est particulièrement critique pour la fiabilité des circuits intégrés et systèmes électroniques embarqués. Cet environnement chargé en particules énergétiques (proton, électron, ions lourds, etc) peut conduire à des pannes transitoires (SET), ou permanentes (SEU) et dans certains cas destructives (type Latchup, SEL) dans les dispositifs embarqués. L'effet d'une seule particule est identifié comme un événement singulier (SEE). Les contraintes imposées par l'intégration technologique poussent les fabricants micro-électroniques à prendre en considération la vulnérabilité de leurs composants vis-à-vis du Latchup tout en considérant les phénomènes non destructifs tels que la corruption de données (SEU/MBU). Cette thèse est le fruit d'une collaboration entre l'ONERA et Sofradir, fabricant électronique d'imageurs infrarouges. L'objectif de cette thèse est d'étudier les effets singuliers (SET/SEU/SEL) de la technologie CMOS utilisée par Sofradir dans des conditions de températures cryogéniques, et plus particulièrement l'effet Latchup.

Tout d'abord, cette thèse a permis d'analyser des données expérimentales d'évènements transitoires (SET) mesurés sur différents circuits de lecture irradiés par faisceau d'ions lourds pour une large gamme de température de 50K à 300K. Les mesures mettent en évidence une dépendance à la température limitée de la sensibilité SET des deux circuits de lecture des imageurs infrarouges (ROIC). Les sensibilités SEE des deux ROIC sont relativement faibles et conformes aux exigences de Sofradir. Pour terminer, la dépendance mesurée de la multiplicité des SET selon leur durée a été quantifiée et analysée. L'outil de prédiction MUSCA SEP3 est venu confirmer les hypothèses formulées lors de cette analyse. Enfin, aucun évènement Latchup n'a été mesuré.

Cette robustesse au Latchup aux températures cryogéniques a été investiguée. Dans un premier temps, un modèle de simulation a été développé en sélectionnant les modèles physiques les plus pertinents afin de décrire les comportements spécifiques du composant à basses températures. La méthodologie de cette étude s'appuie sur une analyse théorique (simulations TCAD/ SPICE) du déclenchement du Latchup pour la technologie académique. Cette première étude a permis de comprendre les paramètres impliqués dans les mécanismes de déclenchement à basses températures. Cette analyse montre une bonne corrélation des tendances avec les données expérimentales de la littérature.

Afin de généraliser l'étude à la technologie de Sofradir, des simulations TCAD ont été réalisées sur 3 trois structures CMOS correspondant à différentes géométries d'inverseurs utilisés par Sofradir lors du design de ses circuits de lecture. Les simulations montrent une immunité de la technologie Sofradir vis-à-vis le Latchup à basses températures. En revanche, certains évènements Latchup ont été observés à hautes températures. Une étude spécifique des effets technologiques de l'inverseur sur la sensibilité Latchup a alors été conduite. L'impact des paramètres dopage et design sont étudiées afin de proposer des solutions de durcissement au Latchup. Enfin, une modélisation électrique du Latchup a été proposée afin de s'intégrer à la plateforme de prédiction SEE, MUSCA SEP3 développée par l'ONERA dans le but d'adresser à la fois, l'évaluation, la caractérisation et l'aide au développement de circuits CMOS en environnement spatial.

Résumé de la thèse en anglais

Title: Study by modeling of single event effects (SET/SEU/SEL) induced by the radiation environment in CMOS technologies

The spatial radiative environment is particularly critical for the reliability of integrated circuits and embedded electronic systems. This environment loaded with energetic particles (proton, electron, heavy ions, etc.) can lead to transient (SET), or permanent (SEU) and in some cases destructive failures (Latchup, SEL) in embedded devices. The effect of a single particle is identified as a single event effect (SEE). The constraints imposed by technological integration push micro-electronics manufacturers to consider the vulnerability of their components to Latchup while considering non-destructive phenomena such as data corruption (SEU/MBU). This thesis is the result of collaboration between ONERA and Sofradir, an electronic manufacturer of infrared imagers. The aim of this thesis is to study the singular effects (SET / SEU / SEL) of the CMOS technology used by Sofradir under cryogenic temperature conditions, and more particularly the Latchup effect.

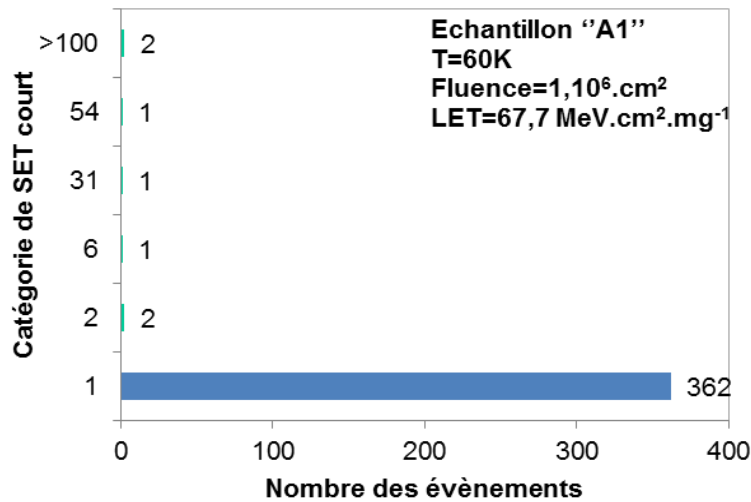
First, this thesis allowed to analyze the impact of cryogenic temperatures on the SET sensitivity of two readout circuit of infrared image sensor designed by Sofradir. Experimental SETs data have been measured during SEE test campaign at UCL (Université Catholique de la Neuve) with the heavy ion test facility in Belgium for a wide temperature range from 50K to 300K. The measurements show a limited temperature dependence of the SETs susceptibility of the two infrared image read circuits (ROIC). The SEE sensitivities of the two ROICs are relatively low and conform to Sofradir requirements. Finally, the multiplicity dependence of SETs according to their duration has been quantified and analyzed. The MUSCA SEP3 prediction tool confirmed the assumptions made in this analysis. No Latchup has been measured during this campaign.

This robustness Latchup at cryogenic temperatures was investigated. First, a simulation model was developed by selecting the most relevant physical models to describe the specific behaviors of the component at low temperatures. The methodology of this study is based on a theoretical analysis (TCAD/SPICE simulations) of the Latchup trigger for academic technology. This first study made it possible to understand the parameters involved in the triggering mechanisms at low temperatures. This analysis shows a good correlation of the trends with the experimental data of the literature. In order to generalize the study to Sofradir's technology, TCAD simulations were carried out on three CMOS structures corresponding to different inverter geometries used by Sofradir during the design of its read circuits. The simulations show an immunity of Sofradir technology against Latchup at low temperatures. On the other hand, some Latchup events were observed at high temperatures. A specific study of the design and doping effects on Latchup sensitivity was conducted in order to propose Latchup hardening solutions. Finally, an electrical modeling of the Latchup has been proposed in order to integrate with the SEE prediction platform MUSCA SEP3 developed by ONERA with the aim of addressing both evaluation, characterization and support Development of CMOS circuits in a space environment.

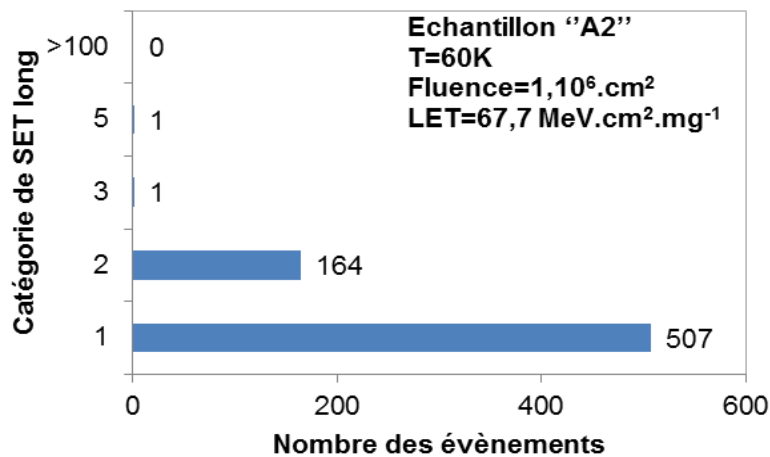
Annexes

Annexe 1

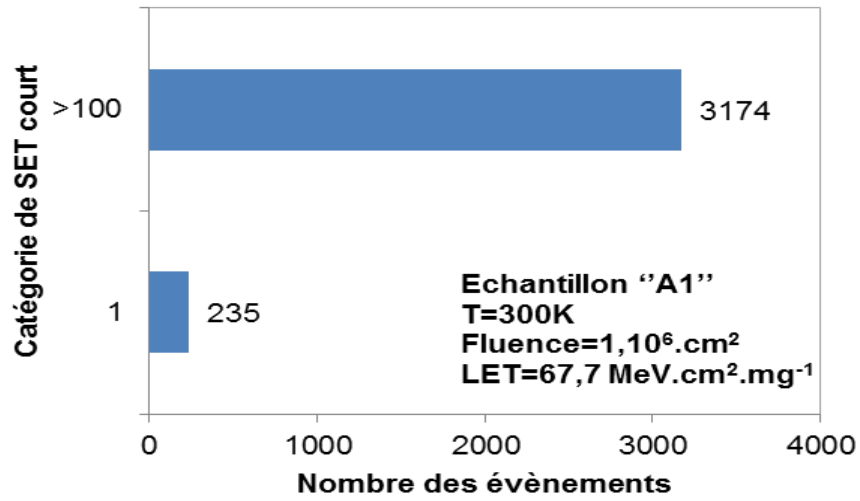
L'annexe 1 présente l'ensemble des histogrammes d'analyse des événements SET court et long lors de la campagne de mesure SEE réalisée par Sofradir à l'UCL.



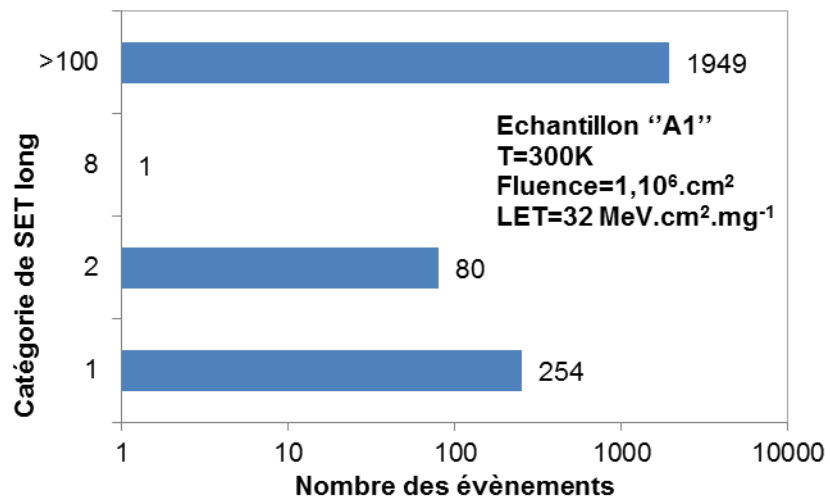
SET court à 60K



SET long à 60K



SET court à 300K



SET long à 300K

Annexe 2

L'annexe 2 présente les deux tableaux d'étude par simulation TCAD des éléments dopage pour les inverseurs Sofradir INV1 et l'INV2 utilisés dans une bascule dans un circuit de lecture d'une imageur infrarouge.

Tableau A.1 : Effets dopage sur la sensibilité au Latchup en fonction de la température (INV2)

Lieu de l'injection de l'ion		Puits P ⁺		Centre de l'espacement SAC (centre de la structure)								
		Avec Caisson -P	C_caiison-P/10	Avec Caisson-P	C_caiison-n-P/10	Sans caisson-P	C_caiison-n-P*10	C_caiison-n-N*10	Sans couche enterrée	Dopage global/10	Dopage global/2	Dopage global*2
T(K)	LET MeV.cm ² .mg ⁻¹	5.0V	5.0V	5.0V	5.0V	5.0V	5.0V	5.0V	5.0V	5.0V	5.0V	5.0V
100	10	-	-	-	-	-	-	-	-	-	-	-
	50	-	-	-	-	-	-	-	-	-	+	-
	100	-	-	-	-	+	-	-	-	+	-	-
150	10	-	-	-	-	-	-	-	-	+	-	-
	50	-	-	-	-	-	-	-	-	+	-	-
	100	-	-	-	-	+	-	-	-	+	-	-
300	10	-	-	-	-	-	-	-	-	+	-	-
	50	-	+	-	+	+	-	-	-	+	+	-
	100	+	+	+	+	+	-	-	-	+	+	-
400	10	-	-	-	-	-	-	-	-	+	-	-
	50	+	+	+	+	+	-	-	+	+	+	-
	100	+	+	+	+	+	-	-	+	+	+	+
	Let _{th}											
1	2	3	4	5	6	7	8	9	10	11	12	13

- Structure de référence
- Latchup
- non Latchup
- Diminution du profil de dopage
- Augmentation du profil de dopage (solution de durcissement)

Tableau A.2 : Effets dopage sur la sensibilité au Latchup en fonction de la température (INV1)

Lieu de l'injection de l'ion		Puits P ⁺		Centre de l'espace SAC (centre de la structure)								
Sofradir (INV1)		Avec Caisson -P	C_caiison-P/10	Avec Caisson-P	C_caiison-n-P/10	Sans caisson-P	C_caiison-n-P*10	C_caiison-n-N*10	Sans couche enterrée	Dopage global/10	Dopage global/2	Dopage global*2
T(K)	LET MeV.cm ² .mg ⁻¹	5.0V	5.0V	5.0V	5.0V	5.0V	5.0V	5.0V	5.0V	5.0V	5.0V	5.0V
100	10	-	-	-	-	-	-	-	-	-	-	-
	50	-	-	-	-	-	-	-	-	-	+	-
	100	-	-	-	-	+	-	-	-	+	-	-
150	10	-	-	-	-	-	-	-	-	-	+	-
	50	-	-	-	-	-	-	-	-	-	+	-
	100	-	-	-	-	+	-	-	-	+	-	-
300	10	-	-	-	-	-	-	-	-	-	+	-
	50	-	+	-	+	+	-	-	-	+	+	-
	100	+	+	+	+	+	-	-	-	+	+	-
400	10	-	-	-	-	-	-	-	-	-	+	-
	50	+	+	+	+	+	-	-	+	+	+	-
	100	+	+	+	+	+	-	-	+	+	+	+
	Let _{th}											
1	2	3	4	5	6	7	8	9	10	11	12	13

- Structure de référence
- Latchup
- non Latchup
- Diminution du profil de dopage
- Augmentation du profil de dopage (solution de durcissement)

Annexe 3 : Liste de publications et de communications

Publications à comité de lecture

- L. Artola, N. J-H. Roche, G. Hubert, A. Al Youssef, A. Khachatrian, P. McMarr, H. Hughes "Analysis of Angular Dependence of Single-Event-latchup Sensitivity for Heavy Ion Irradiations of 0.18 μ m CMOS Technology" IEEE TNS, vol. 62, no. 6, Dec. 2015 (publiée).
- A. Al Youssef, L. Artola, S. Ducret, G. Hubert, F. Perrier, "Investigation of electrical latchup and SEL mechanisms at low temperature for applications down to 50K ", IEEE Trans. Nucl. Sci., vol. 64, no. 8, pp. 2089-2097, Aug. 2017 (publiée).
- A. Al Youssef, L. Artola, S. Ducret, G. Hubert, R. Buiron, C. Poivey, F. Perrier, S. Parola, "Single Event Transients in Readout circuitries at Low Temperature down to 50K", IEEE Trans. Nucl. Sci., vol. xx, no. x, pp. xxxx, Dec. 2017 (accpetée).
- A. Al Youssef, L. Artola, S. Ducret, G. Hubert, F. Perrier, "Single Event Latchup Modeling at Circuit Level used for Design Hardening of DFF in Readout Circuit", IEEE Trans. Nucl. Sci., (en cour de soumission).

Travaux présentés lors de communications lors de congrès internationaux

- A. Al Youssef, L. Artola, S. Ducret, G. Hubert, F. Perrier, "Analysis of Low Temperature On Single Event Latchup Mechanisms by TCAD simulations for Applications down to 50K" RADECS 2016, Bremen, Allemagne, Septembre 2016.
- A. Al Youssef, L. Artola, S. Ducret, G. Hubert, R. Buiron, C. Poivey, F. Perrier, S. Parola, "Single Event Transients in Readout circuitries at Low Temperature down to 50K " NSREC 2017, New Orleans, USA, juillet 2017.
- L. Artola, A. Al Youssef, S. Ducret, G. Hubert, R. Buiron, C. Poivey, F. Perrier, S. Parola, "Complex Single Event Effects in CMOS pixel selection table and readout integrated circuit dedicated for Infrared Image Sensors", Published for IEEE 2017 NSREC conference, New Orleans.

Travaux présentés lors de communications lors de congrès nationaux

- A. Al Youssef, L. Artola, S. Ducret, G. Hubert, F. Perrier, "Physical investigation of Desgin and Temperature Effects on the Latchup Sensitivity in CMOS Technology by TCAD Simulations", national conference (JNRDM 2016), Toulouse, France, May. 2016 (publiée).